
Integrierte Systeme und Schaltungen

Prof. Dr. Michael Siegel

Institut für Mikro- und Nanoelektronische Systeme (IMS)

Fakultät für Elektrotechnik und Informationstechnik

Universität Karlsruhe (TH)

<http://www.ims.uni-karlsruhe.de>



Inhaltsverzeichnis (I)

1. Systementwurf

- 1.1. Systemspezifikation (Aufgabe, funktionale Zusammenhänge I/O, Pflichtenheft, Modulbildung, Entwurf, Realisierung, Test)
- 1.2. Aufbau eines integrierten Systems (Sensor, Signalkonditionierung, ADC, digitale Signalverarbeitung, DAC, Schnittstellen)
- 1.3. Auswahl von Lösungskonzepten (Sensor, Aktor, Komplexität, Technologie)
- 1.4. Diskrete, hybride und integrierte Konzepte (Beispiel: ASSP von Infineon)

2. Signalkonditionierung

- 2.1. Grundlagen (Übersicht über Sensoren und Signale, Frequenzbereich, Dynamik, Rauschen)
- 2.2. Meßverstärker (Grundlagen, Spannungs-, Strom- Ladungs- und Impulsverstärker, Auslegungen mit OPV)
- 2.3. Analog-Digital Wandler (Aufbau, Funktion, Spezifikation für DACs: sukzessive Approximation, Dual-slope, Sigma-Delta)
- 2.4. Mehrkanalsysteme (MUX, Schalter, MEMS, Besonderheiten dc/rf-Signale)
- 2.5. Auslegung von Analog-Digital Wandlern



Inhaltsverzeichnis (II)

3. Besonderheiten analoger Systeme

- 3.1. Anschluß von Signalquellen (Schirmung, Masse, Störungen)
- 3.2. Stromversorgung (dual rail, single rail, Masse, Störungen)
- 3.3. dc-dc-Wandler (Festspannungsregler, Schaltnetzteile, dc/dc-IC's, praktische Chips)
- 3.4. Auslegung von Analog-Digital Wandlern
- 3.5. Beispiele verschiedener Hersteller

4. Digitale Signalverarbeitung

- 4.1. Anforderungen an die digitale Signalverarbeitung
- 4.2. Hardware Basis (FPGA, DSP, μC)
- 4.3. Beispiel: Digitalfilters mit FPGA von ALTERA
- 4.4. Kriterien für Auswahl von DSP und μC (I/O-Komplexität, Rechenumfang, Geschwindigkeit)



Inhaltsverzeichnis (III)

5. Digitale Komponenten in integrierten Systemen

- 5.1. Einführung
- 5.2. Mikrocontroller
- 5.3. Digitale Signalprozessoren (DSP)
- 5.4. Entwurf

6. Programmierbare Logikbausteine (PLD)

- 6.1. Räumliche vs. zeitliche Sequentialisierung
- 6.2. Systematisierung der PLD
- 6.3. Beispiele von Altera

7. Aufbau und Montage

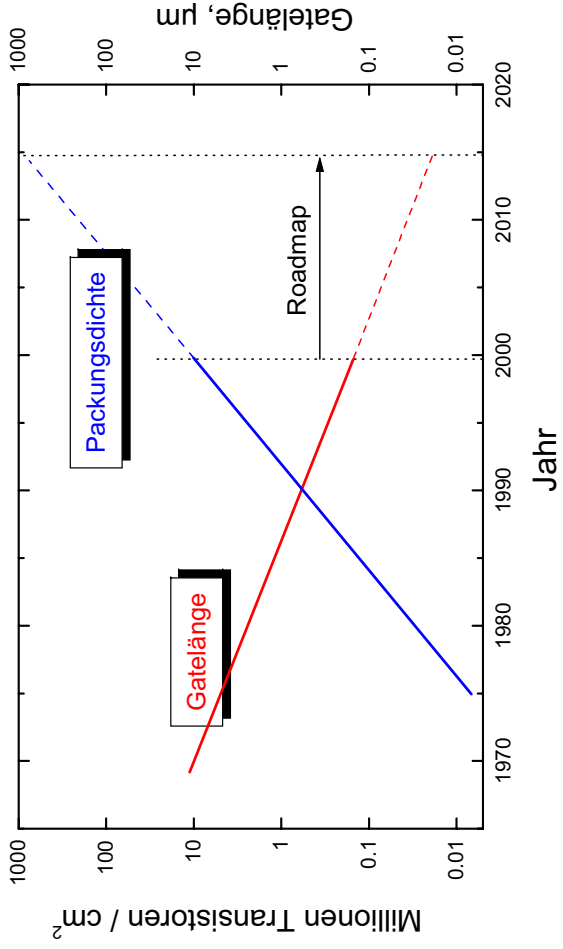
8. RFID – Radio Frequency Identification



Einleitung (I)

Gordon Moore, 1965:

„Integration complexity doubles every three years.“



Traditionelle Triebkraft: Kosten / Funktion



Universität Karlsruhe (TH)

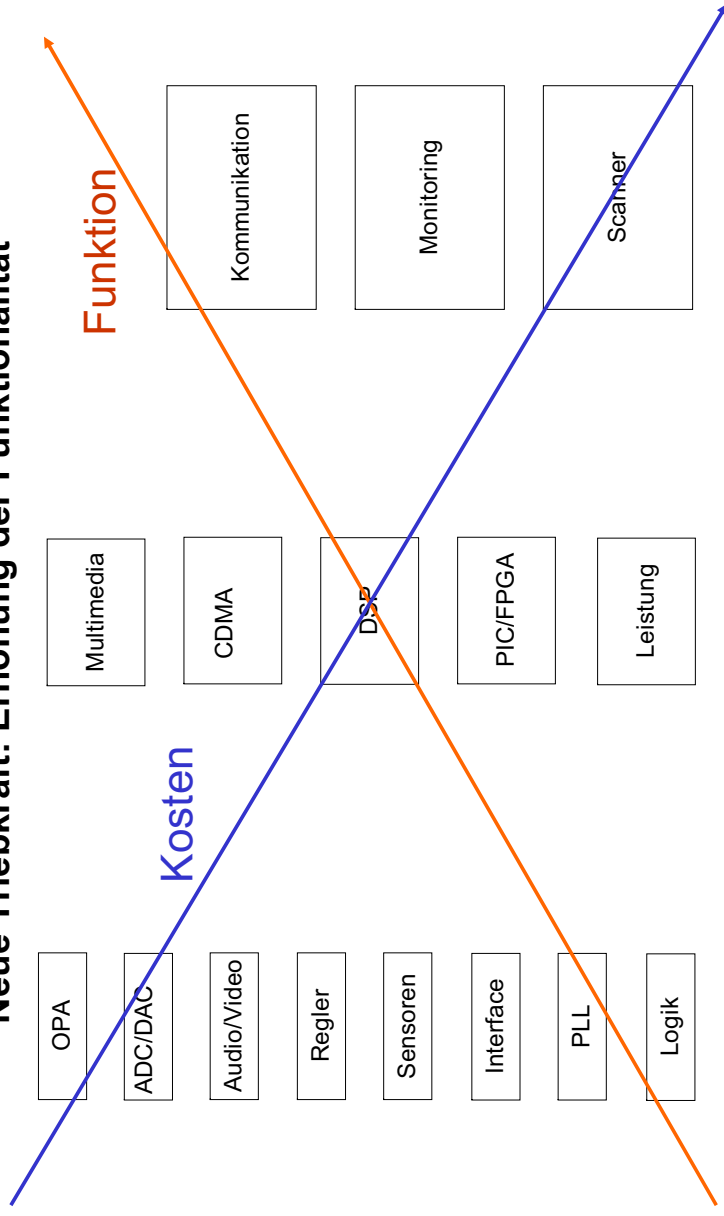
Institut für Mikro-und Nanoelektronische Systeme



5

Einleitung (II)

Neue Triebkraft: Erhöhung der Funktionalität



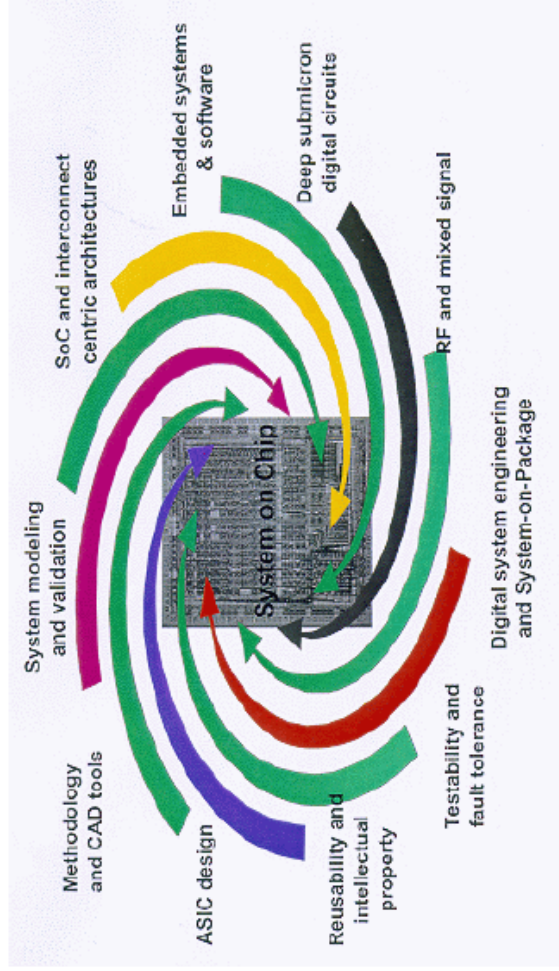
Universität Karlsruhe (TH)

Institut für Mikro-und Nanoelektronische Systeme



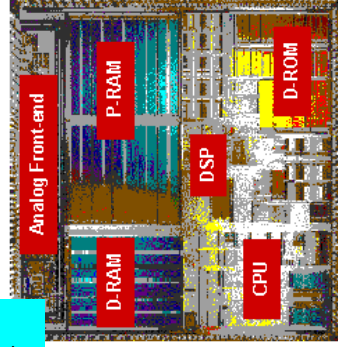
6

System-on-Chip Entwurf und Programmierung

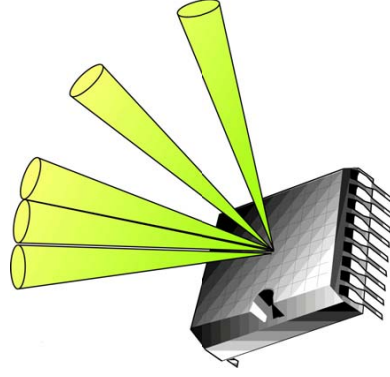
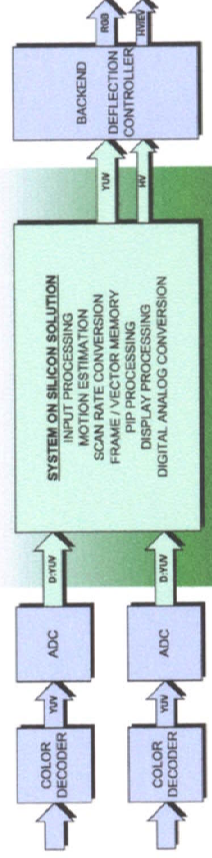


System-on-Chip (II)

GSM/E-Gold+



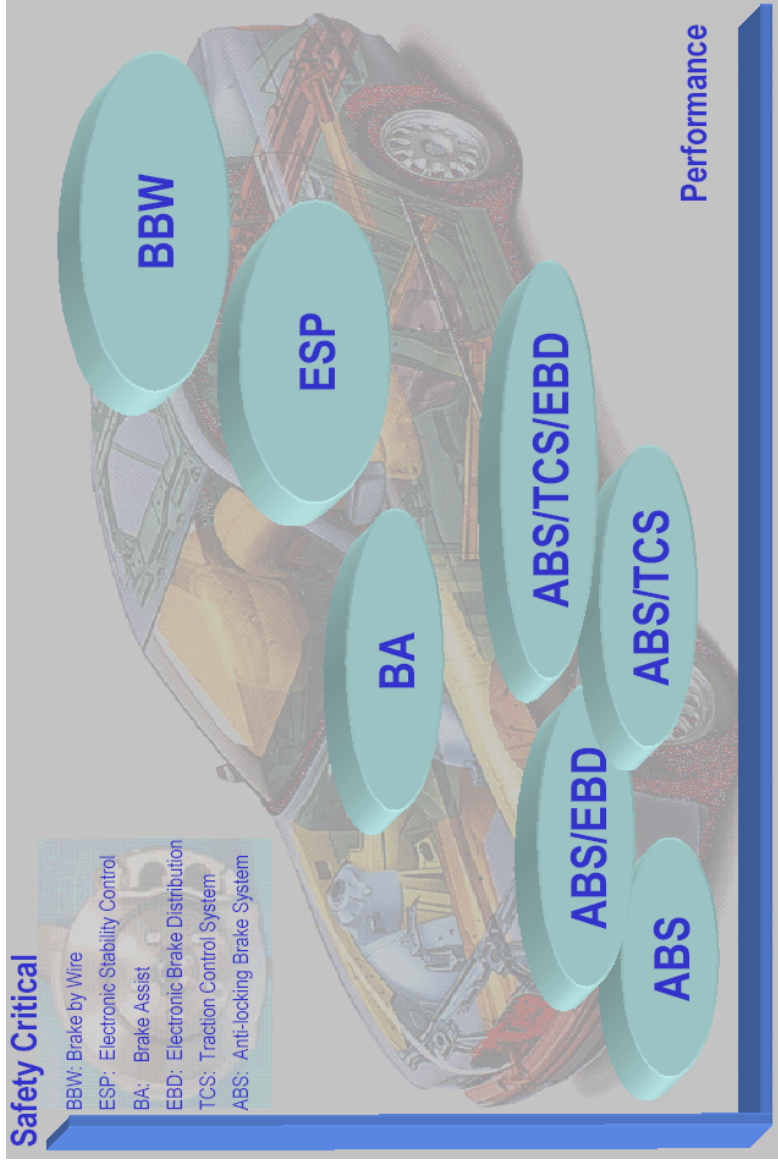
Multimedia-TV-Chip



Radar-on-Chip



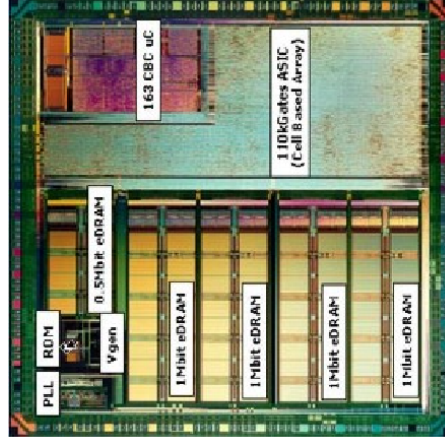
Integrierte Systeme



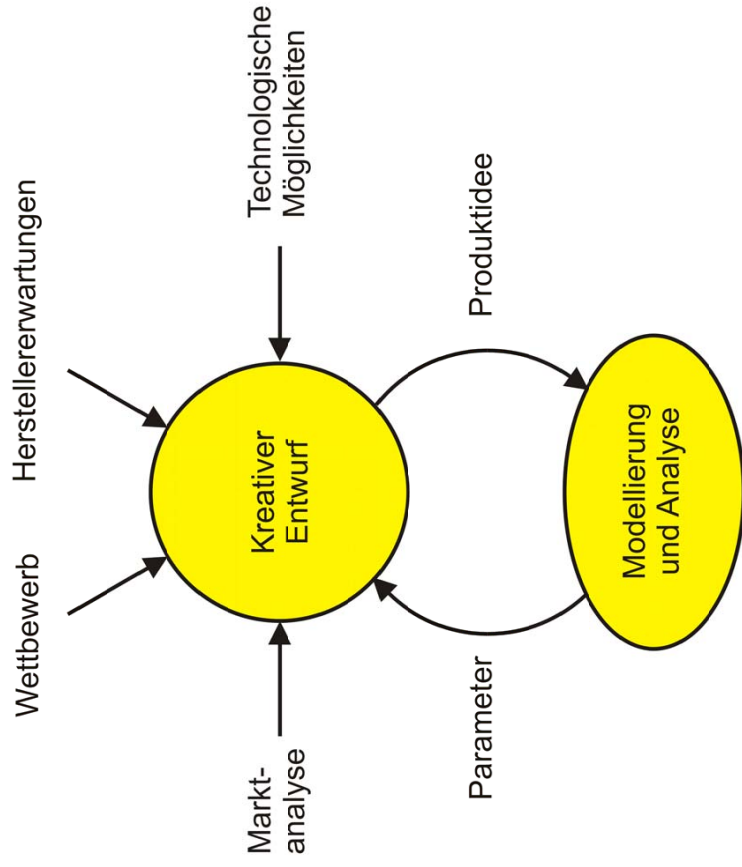
Beispiel: Festplatten

Designqualität und -geschwindigkeit!
Kosten eines Designfehlers:

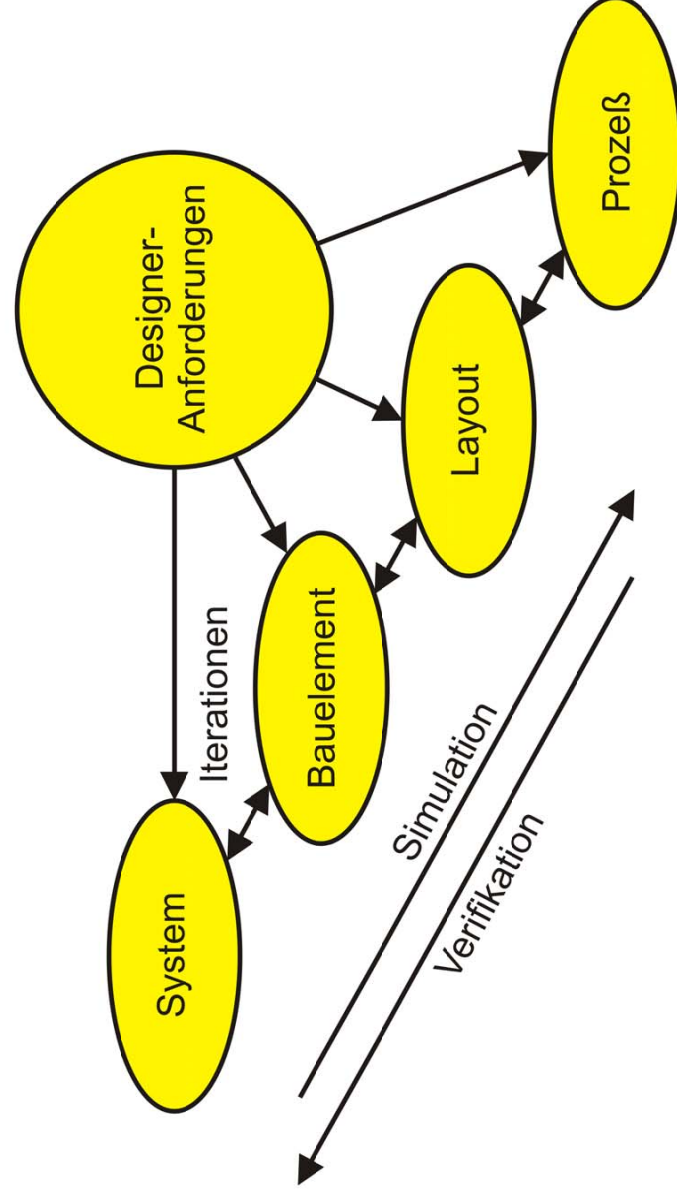
- Materialkosten Fertigungsdurchlauf: 200K€ (0.18µm)
- Personalkosten (12 Wochen Verzögerung): 300K€
- Entgangener Umsatz (12 W.): 10-50 Mio. €
- Lebenszyklus: ≈ 1 Jahr ≈ 2 Plattformen



1. Systementwurf (I)

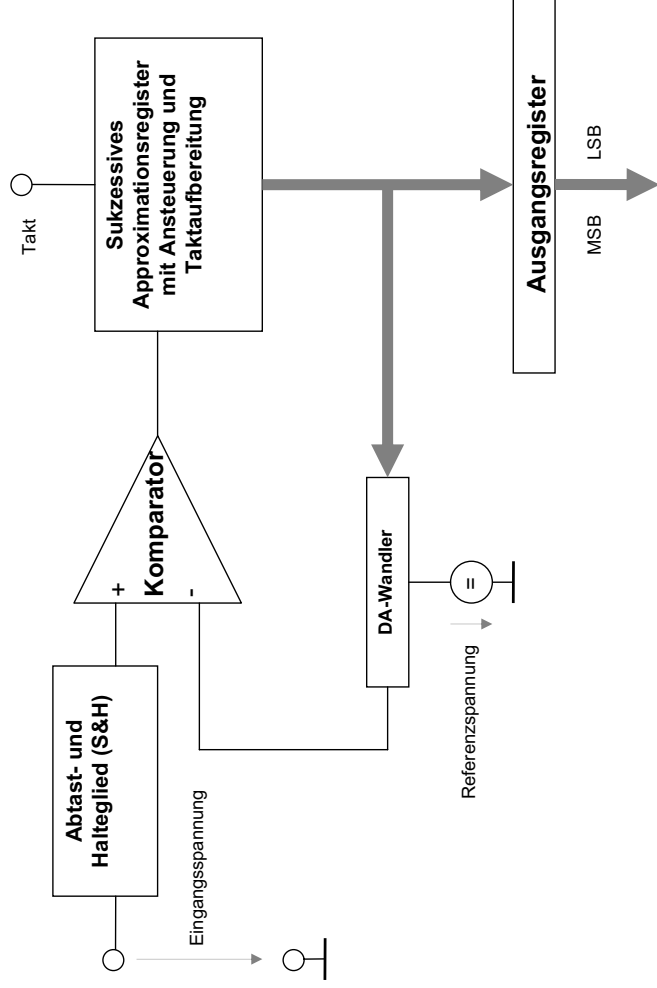


1. Systementwurf (II)



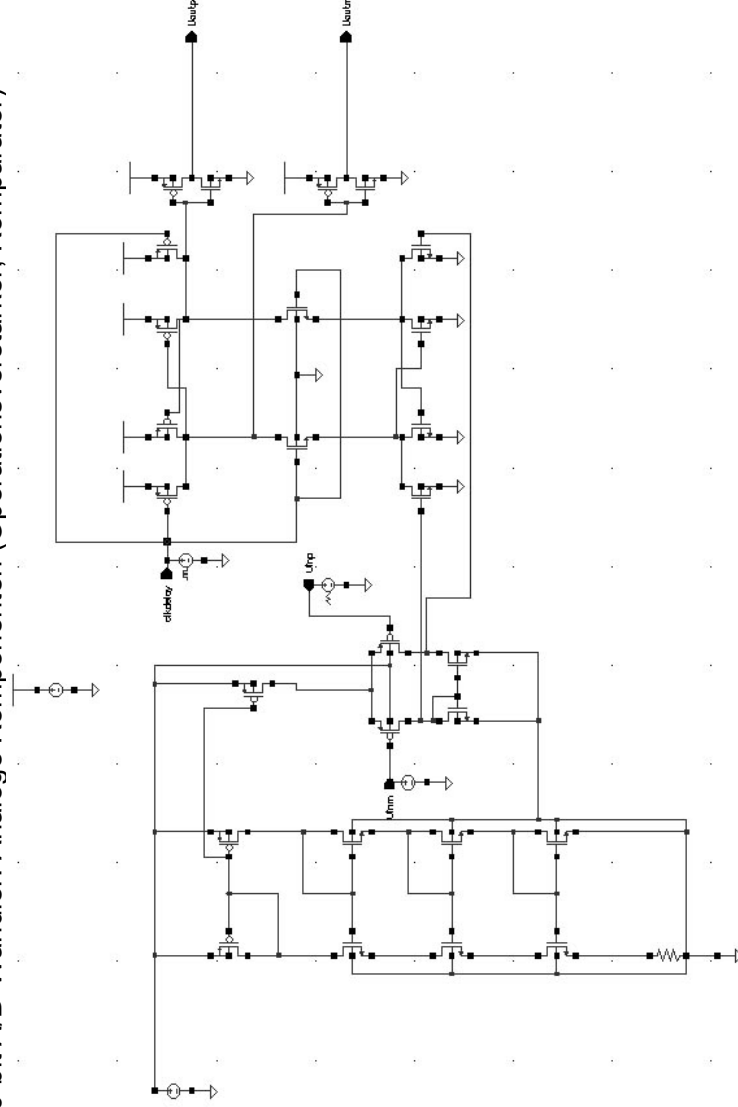
1. Systementwurf [Beispiel (I)]

- 10-bit A/D-Wandler: Blockschaltbild



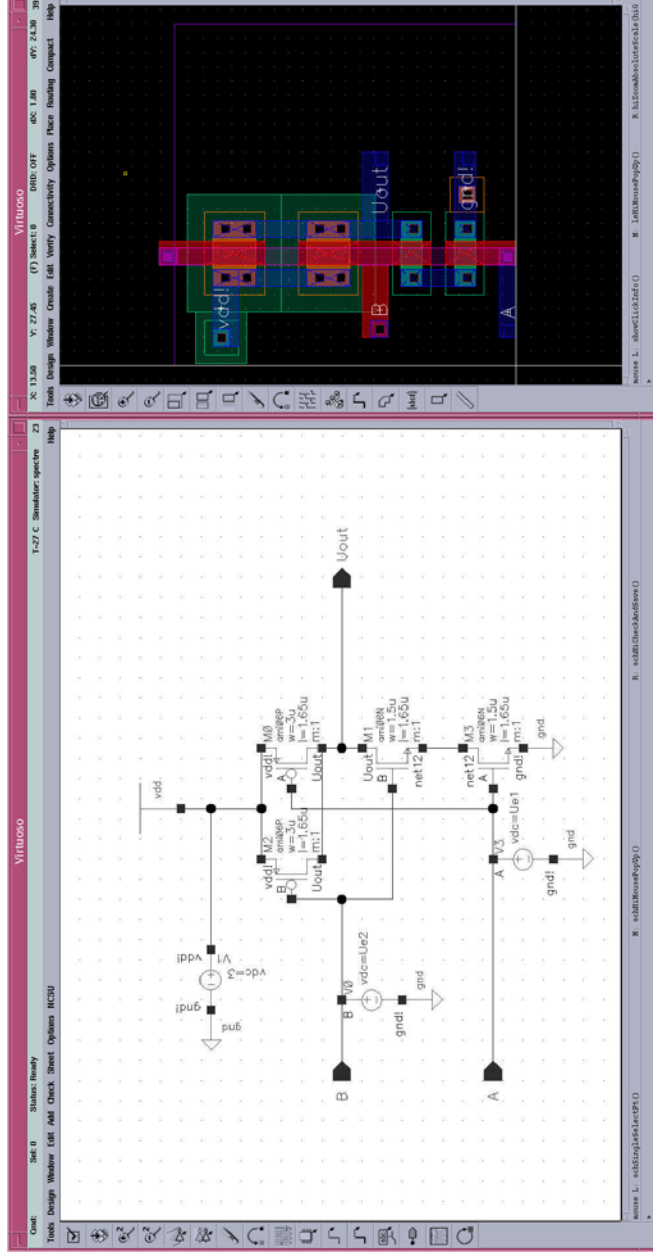
1. Systementwurf [Beispiel (II)]

- 10-bit A/D-Wandler: Analoge Komponenten (Operationsverstärker, Komparator)



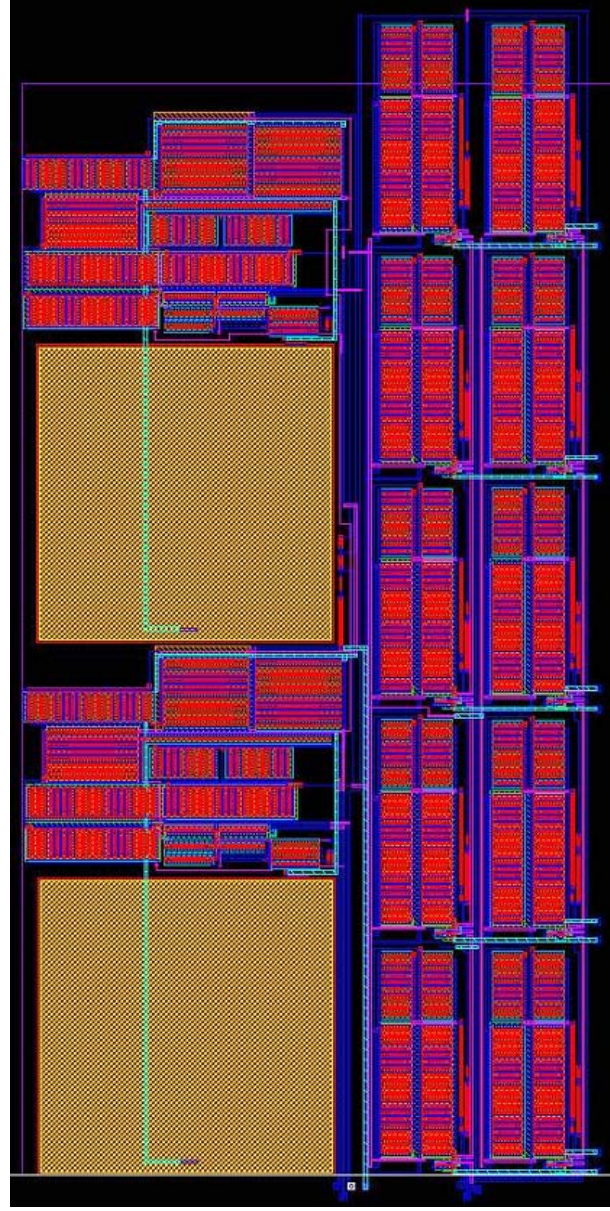
1. Systementwurf [Beispiel (III)]

- 10-bit A/D-Wandler: Digitale Komponenten Schaltplan und Layout eines NAND-Gatters

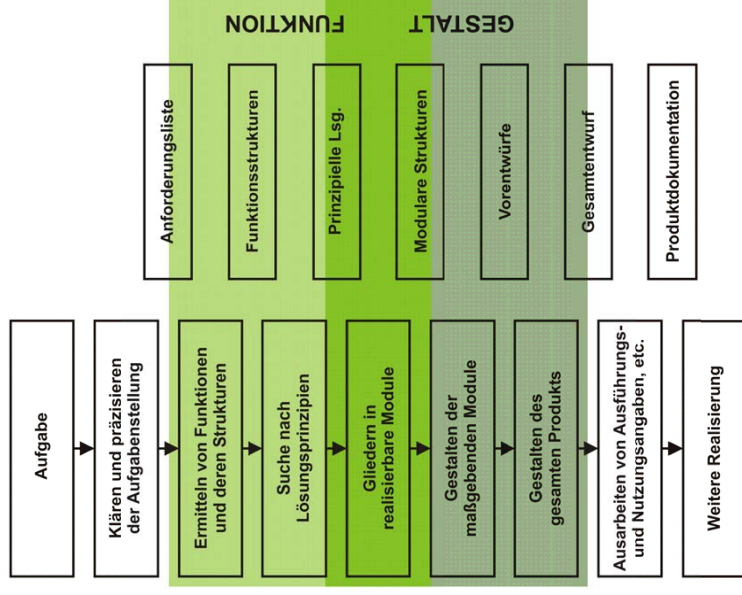


1. Systementwurf [Beispiel (IV)]

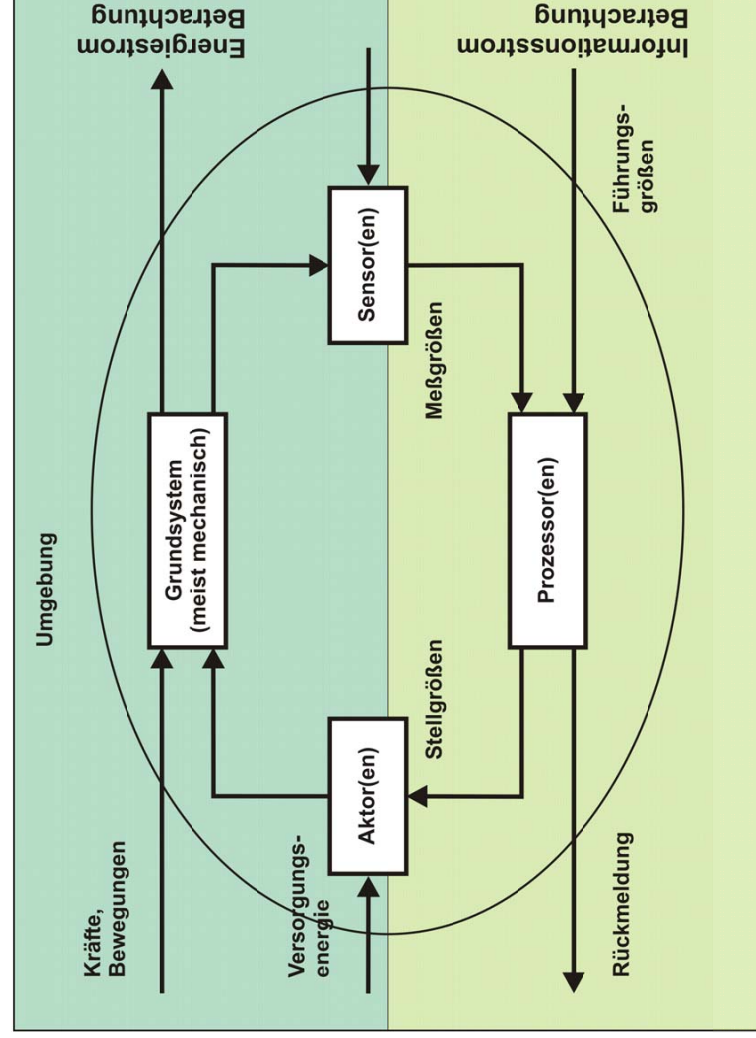
- 10-bit A/D-Wandler: Layout des D/A Wandlers aus Basiszellen (erstellt mit Cadence® Design Systems Software)



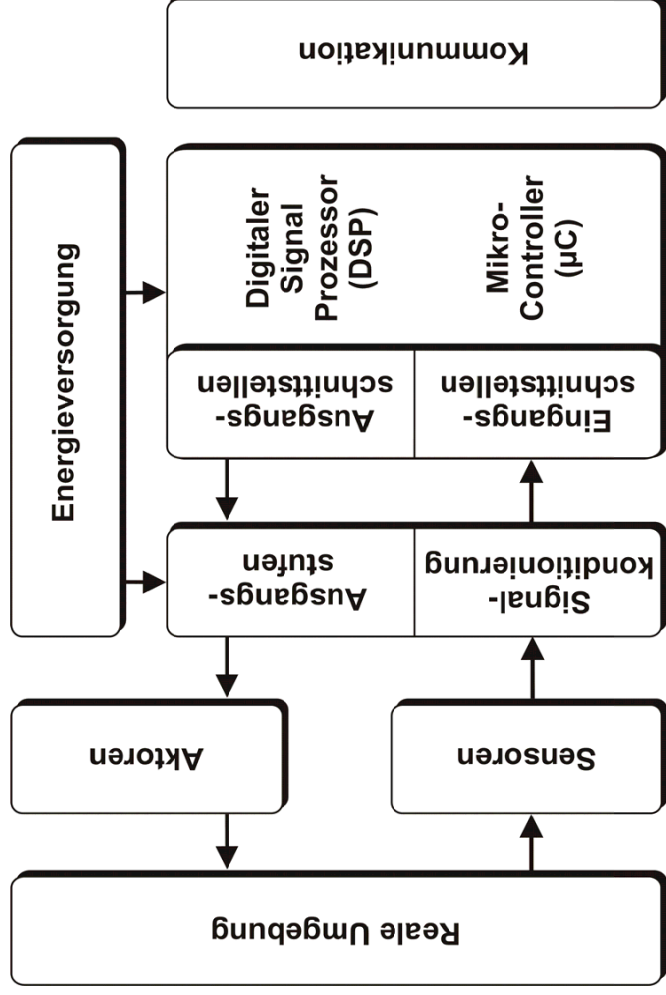
1.1. Systemspezifikation



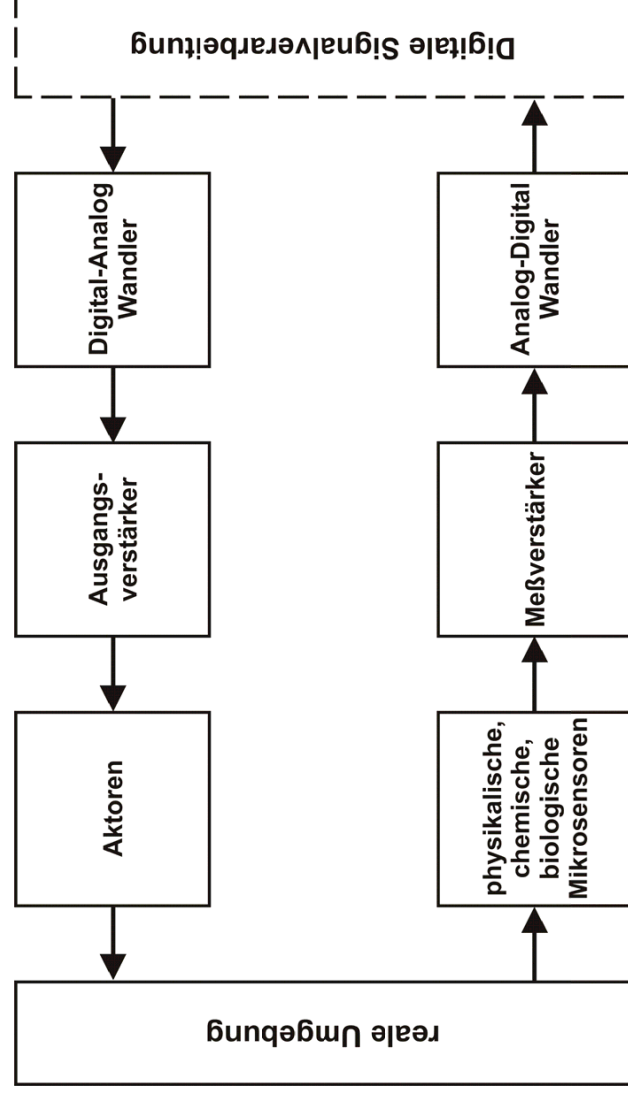
1.2. Aufbau eines integrierten Systems (I)



1.2. Aufbau eines integrierten Systems (II)



1.2. Aufbau eines integrierten Systems (III)



1.3. Auswahl von Lösungskonzepten (I)

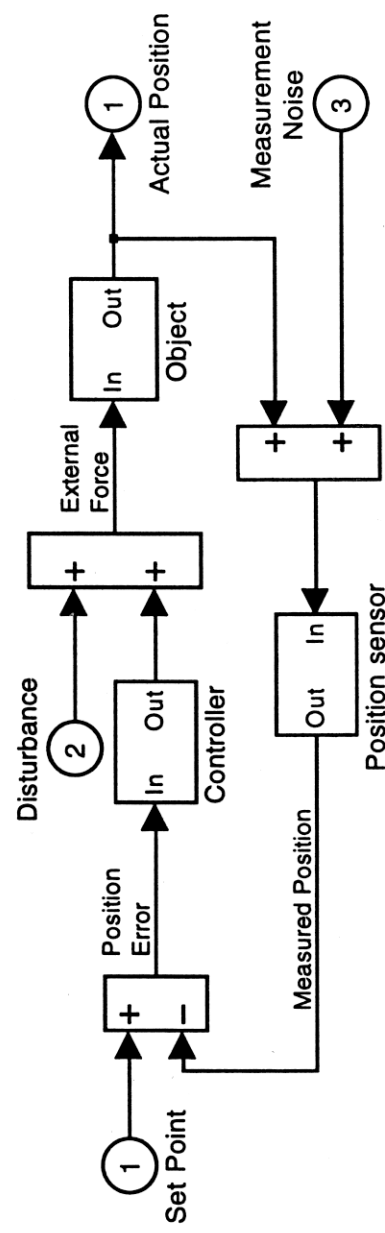
- **Sensoren**
 - elektrische, magnetische, optische, chemische
 - Temperatur, Längenmessung, Drehzahlmessung
 - Mikrowellensensoren
- **Aktoren**
 - Elektro-mechanische Aktoren
 - pneumatische / hydraulische

• Komplexität

• Technologie



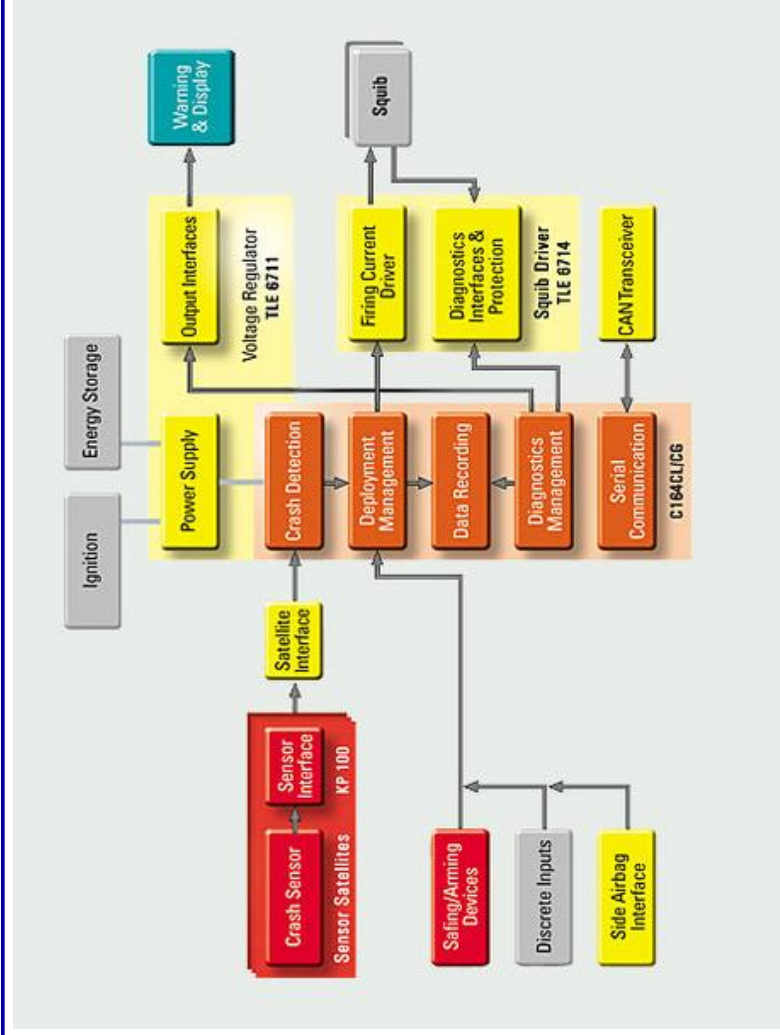
1.3. Auswahl von Lösungskonzepten (II)



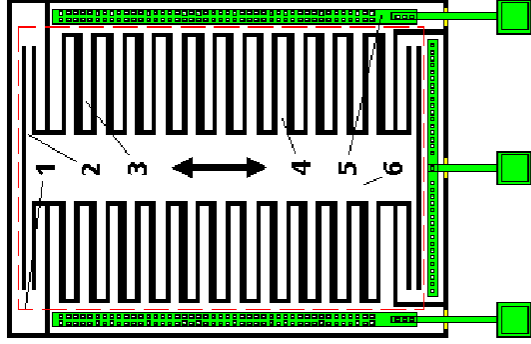
1.4. Diskrete, hybride und integrierte Konzepte

- Begriffe
- Entscheidungskriterien
 - Kosten
 - Stückzahl
 - Wiederverwendbarkeit
 - Kompatibilität (Materialien, Technologien)

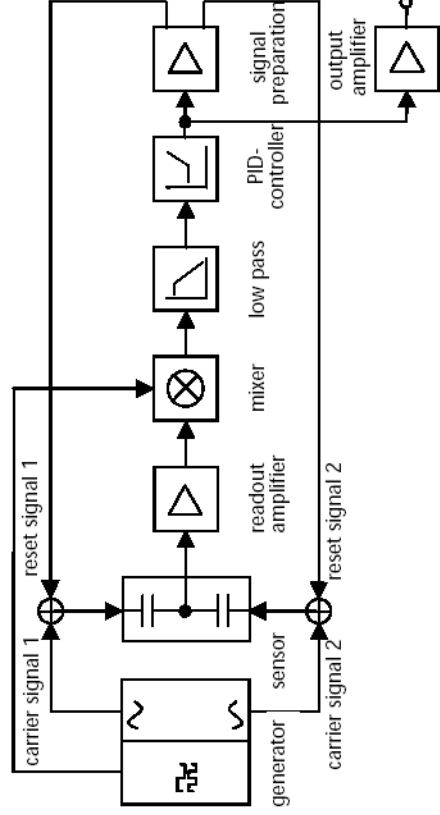
1.4. Beispiel: ASSP von Infineon



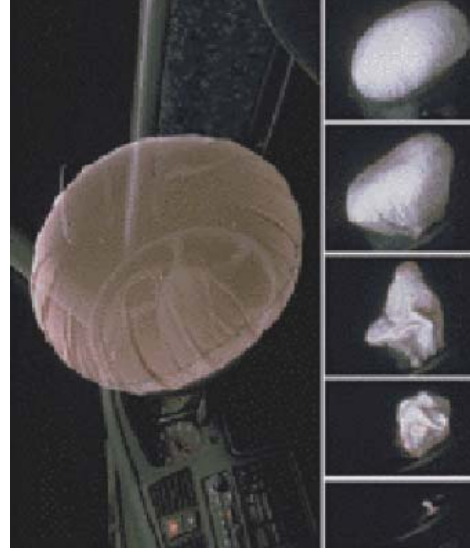
Beschleunigungssensor



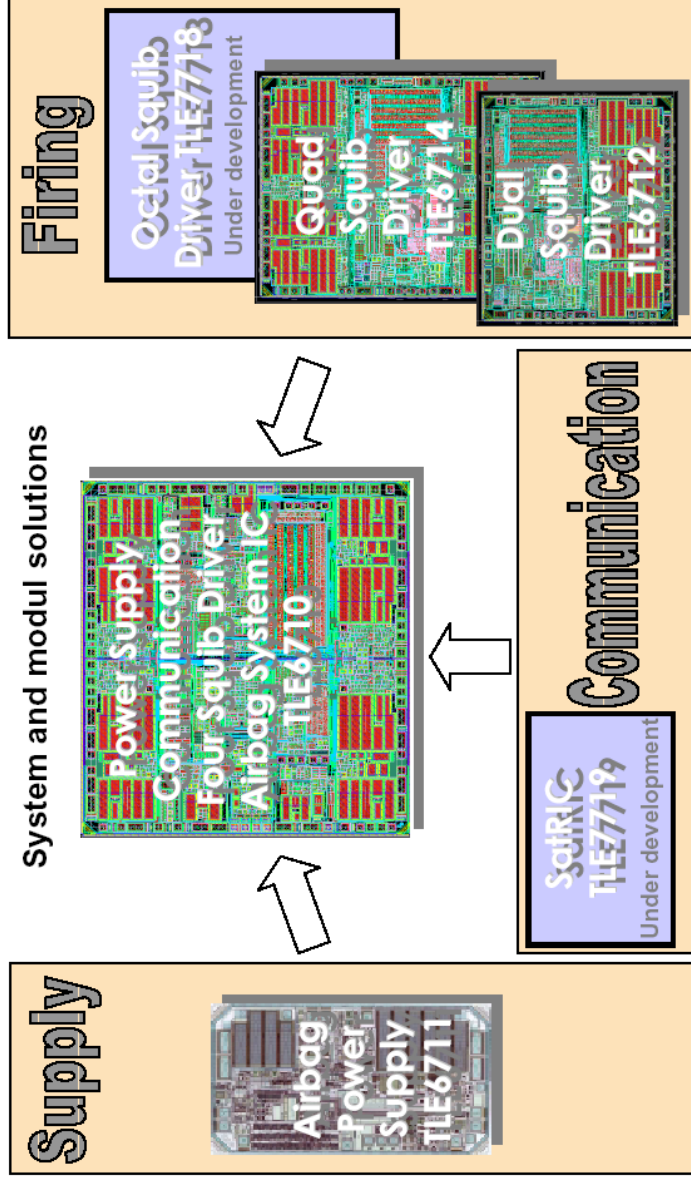
- 1 - Membran
- 2 - Suspension beam
- 3 - Fixed electrodes
- 4 - Moveable electrodes
- 5 - Metal
- 6 - Seismic mass



Application Specific Standard Products For Restraint Systems



SoC: Airbag System Familie

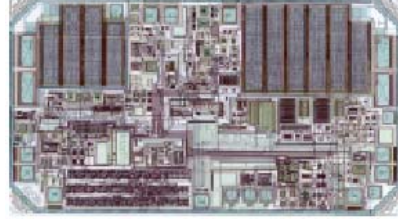


TLE6711G - Airbag Stromversorgungs-IC



Features

- Boost converter 30V (with over- and undervoltage lockout)
- Buck converter 5V (5V generated from 30V converter)
- 2% output voltage tolerance
- Power ON/OFF reset generator
- Window watchdog
- Overtemperature Shutdown
- System Enable Output
- Very low current consumption
- Battery voltage operation range 6V to 40V
- Ambient operating range -40 to +125°C
- P-DSO-14

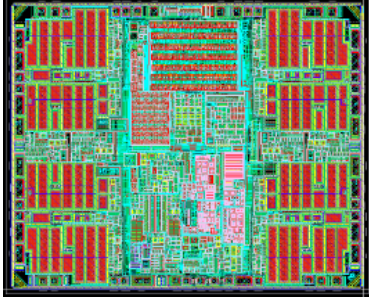


TLE6712/14G - Zwei/Vier Airbag Firing IC



Features

- Two/Four independent squib driver channels
- Thermal and short circuit protection for each high and low side switch
- Current limitation for the firing loops
- Minimum firing current detection
- Squib leakage detection to ground and battery
- Precise squib resistance measurement
- Lost ground detection for all firing channels
- Multiplexed analogue current pin for measurements
- System voltage measurements
- Serial peripheral interface (SPI)
- P-DSO-24/P-DSO-28 and P-TSSOP-28
- TLE6712 and TLE6714 are footprint compatible



TLE6710Q - Airbag System IC

Firing Loop Features

- Four independent squib driver channels
- Thermal and short circuit protection for each high and low side switch
- Current limitation for the firing loops
- Minimum firing current detection
- Squib leakage measurement to ground and battery
- Precise Squib resistance measurement
- System voltage measurements
- Multiplexed analogue output pin for measurements
- Security circuits prevent unwanted firing
- Serial peripheral interface (SPI)

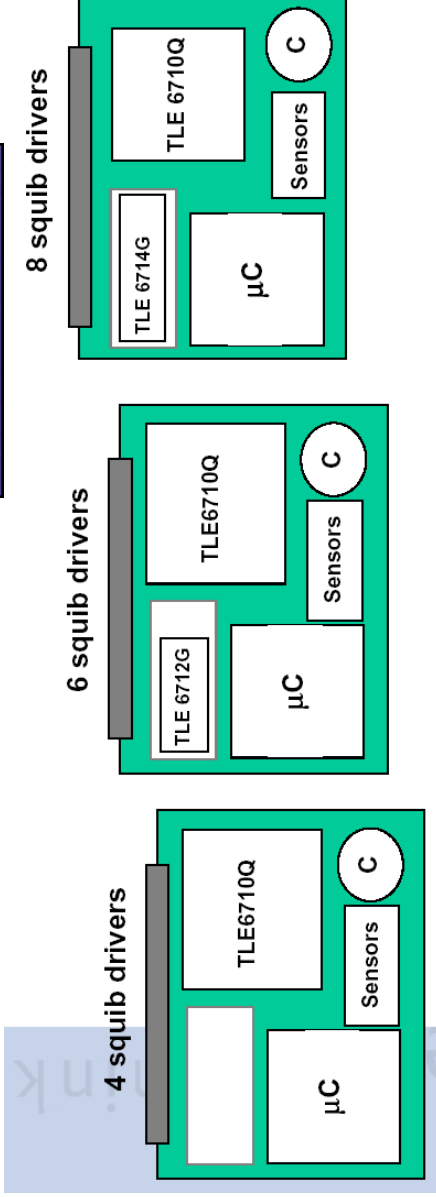
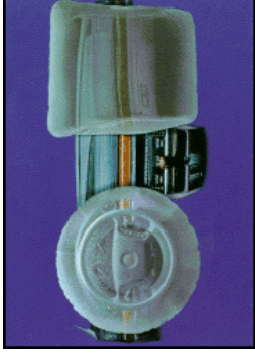
Power Supply Features

- Boost converter 30V
- Buck converter 5V
- Watchdog and power on/off reset generator
- Precise 100kHz oscillator
- Serial interface line driver (ISO 9141)
- Two diagnostic lamp drivers
- Safing Sensor detection
- 4 voltage current sources for diagnostic
- P-MQFP-64

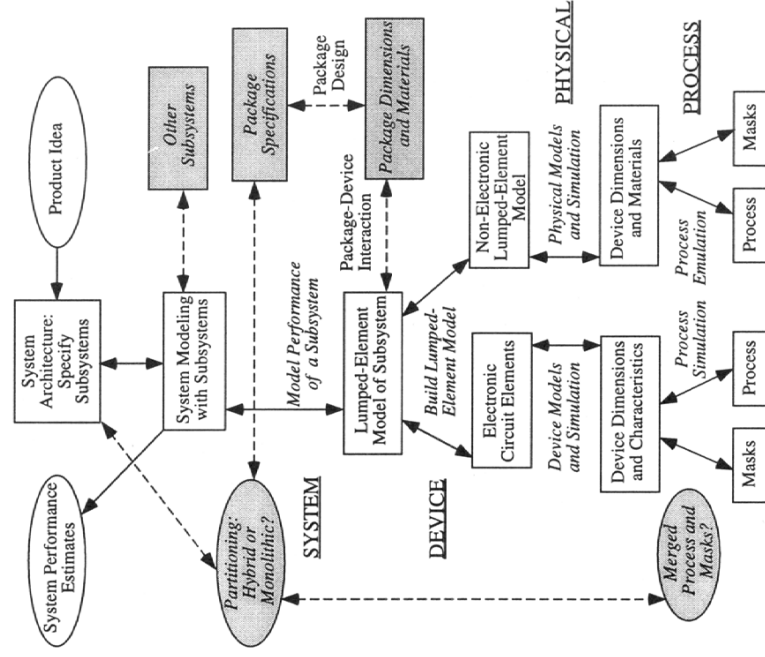


Airbag Board - Systembeispiel

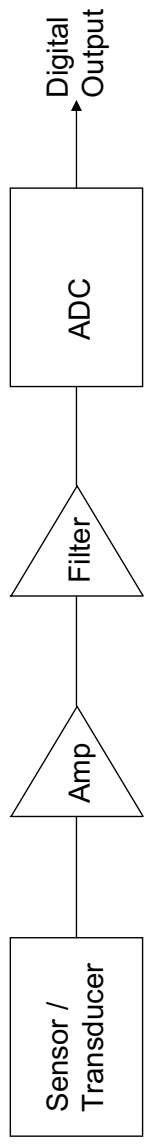
- Einheitliche Platine für 4, 6 or 8 Airbags
- TLE 6712G und TLE 6714G mit kompatiblen Anschlüssen
- Systeme mit 20 Airbags möglich



Zusammenfassung



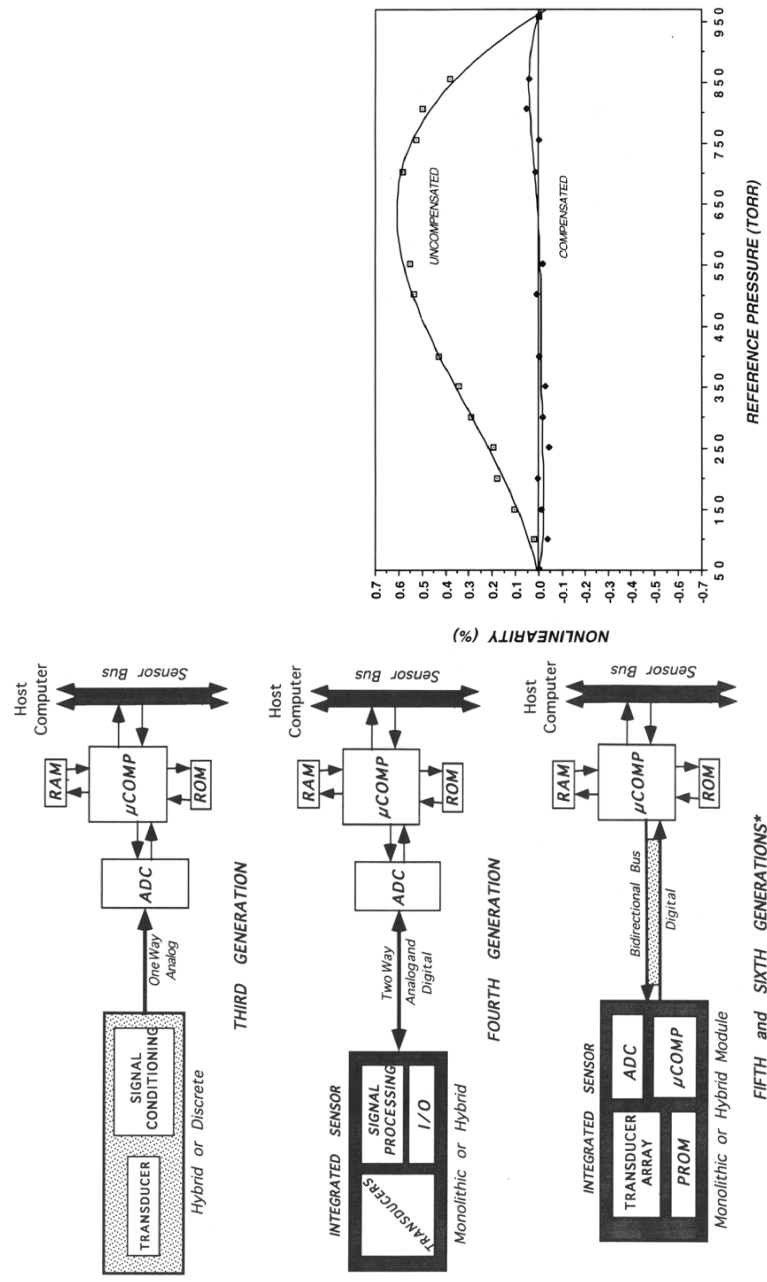
2. Signalkonditionierung



- Signalverstärkung
- Filterung
- Nullpunkt, Compensation, Drift
- Linearisierung
- Signalwandlung



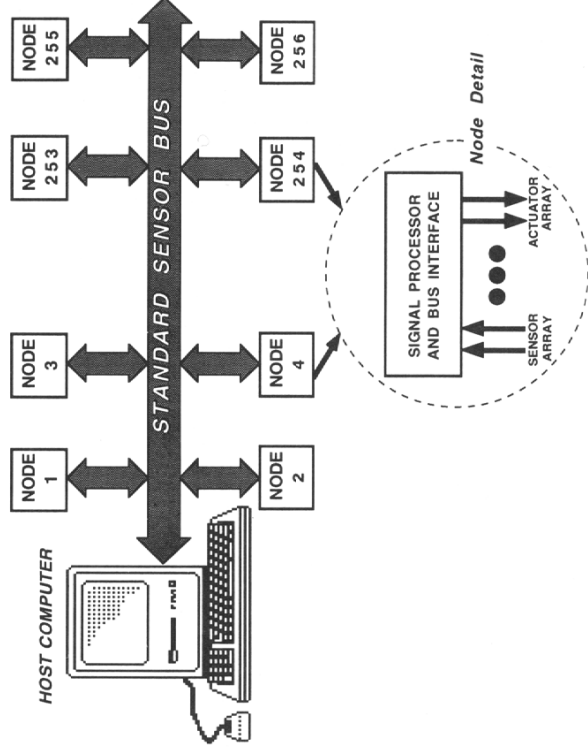
2.1. Grundlagen: “Smart Sensors“ (I)



2.1. Grundlagen: “Smart Sensors“ (II)

Host:

- System Controller
- Datenvorverarbeitung

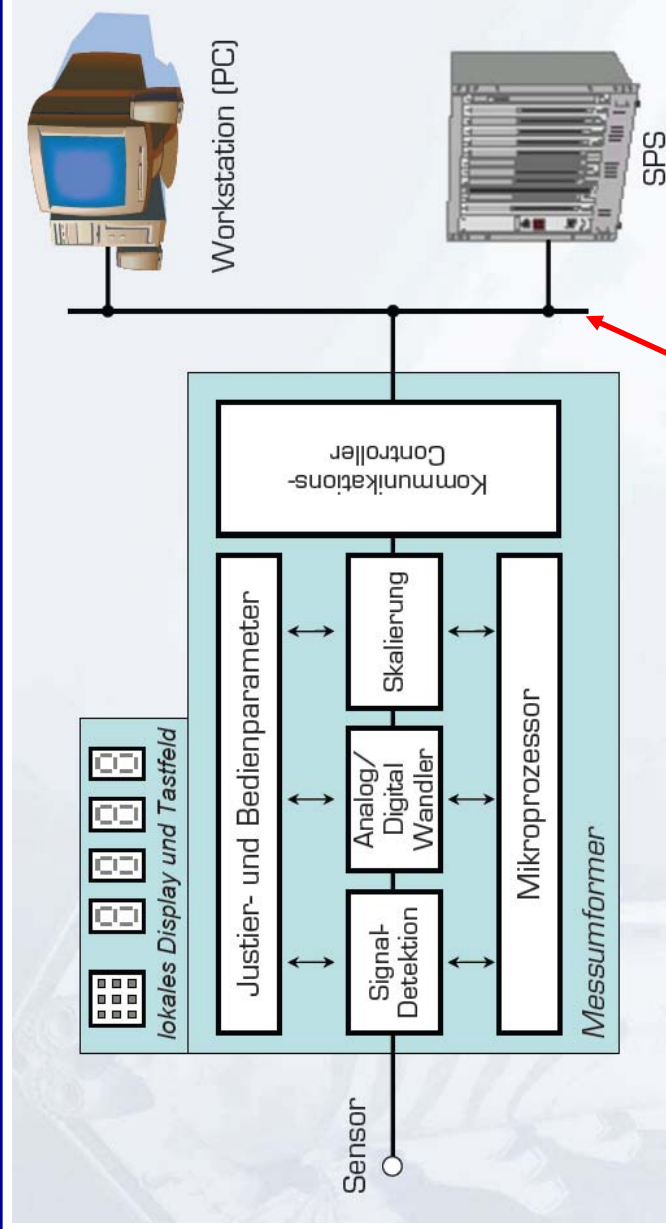


Sensor Node:

- Selbsttest
- adressierbar
- programmierbar
- ‚free-running‘ mode



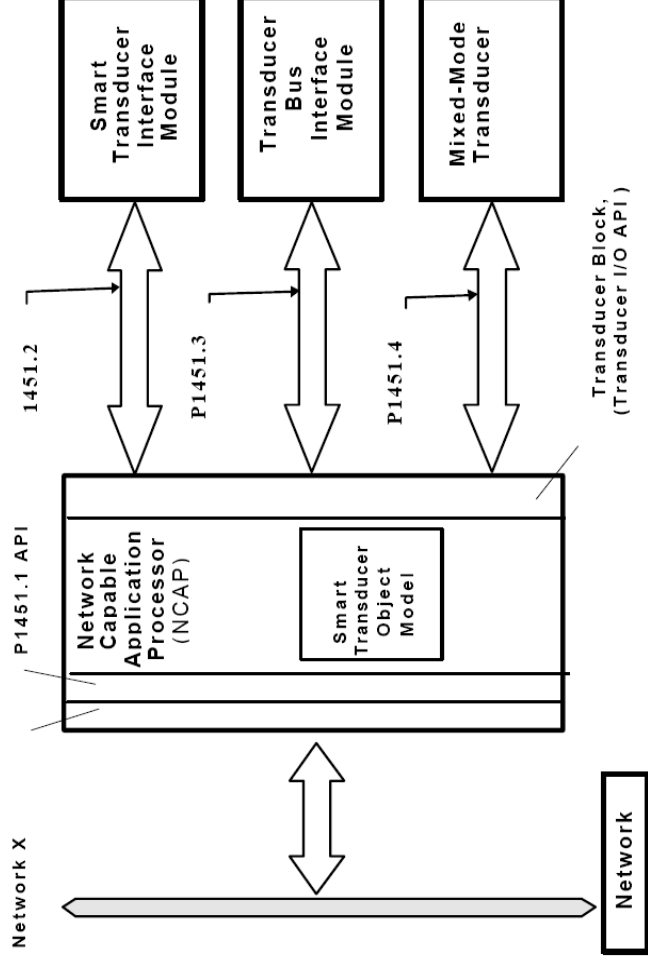
2.1. Grundlagen: “Smart Sensors“ (III)



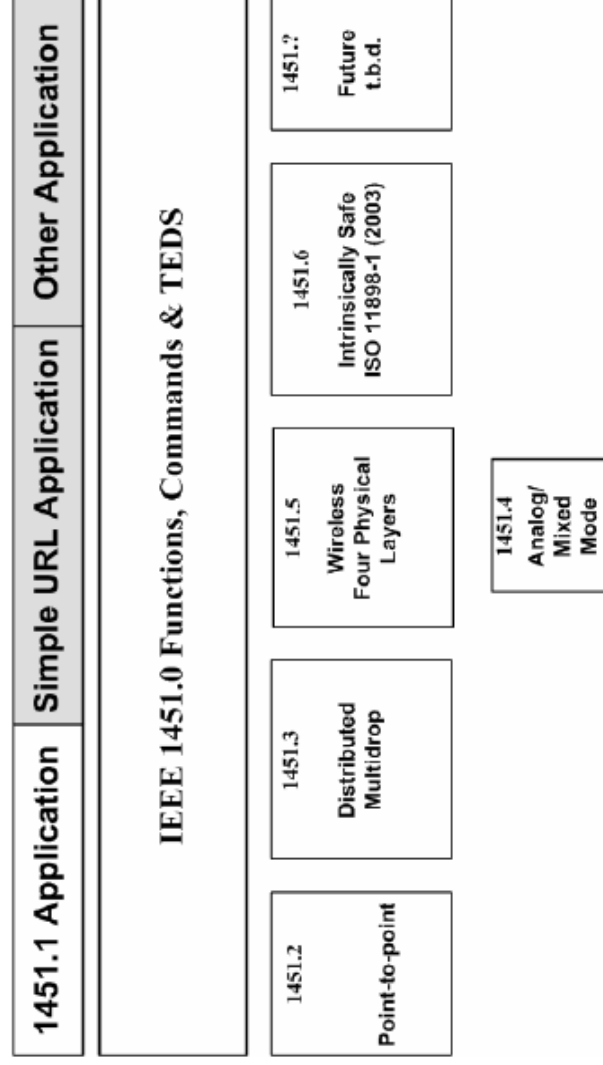
IEEE P1451.x



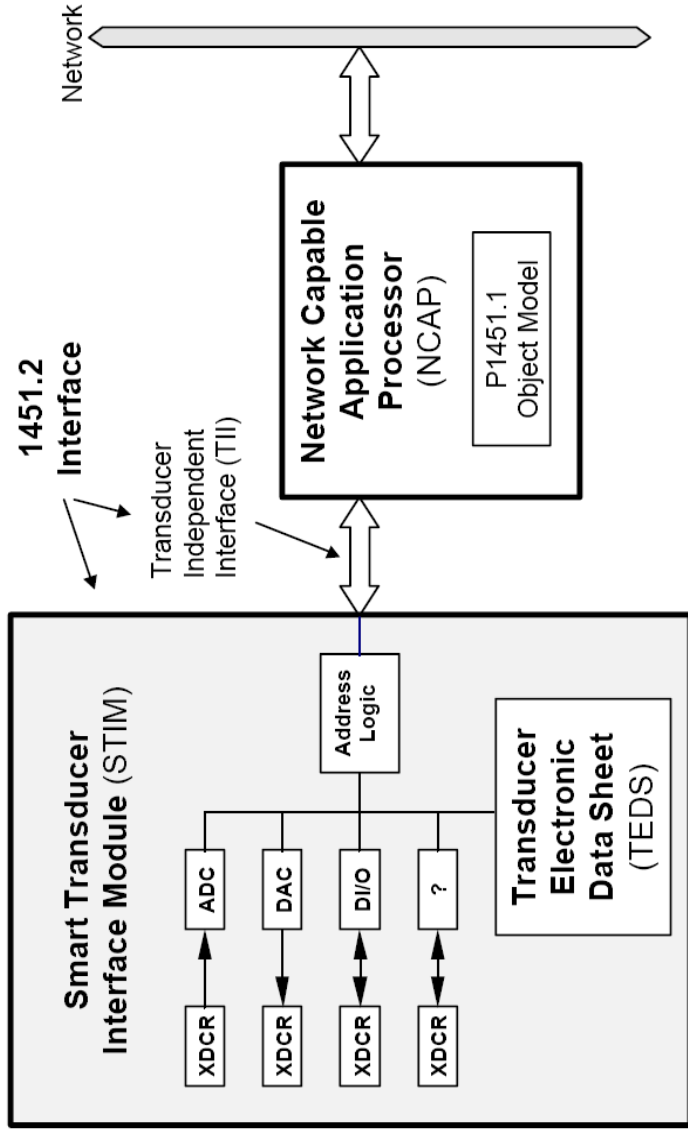
2.1. Grundlagen: IEEE P1451 – Bus (I)



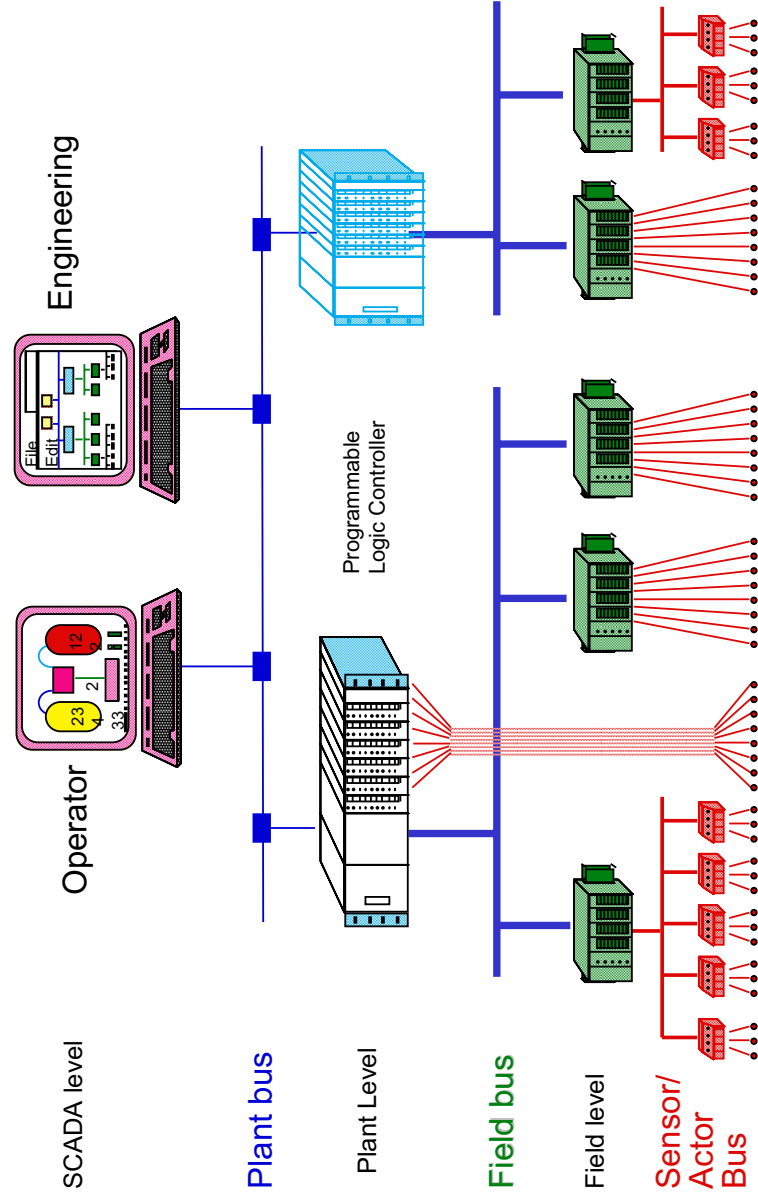
2.1. Grundlagen: IEEE P1451 – Bus (II)



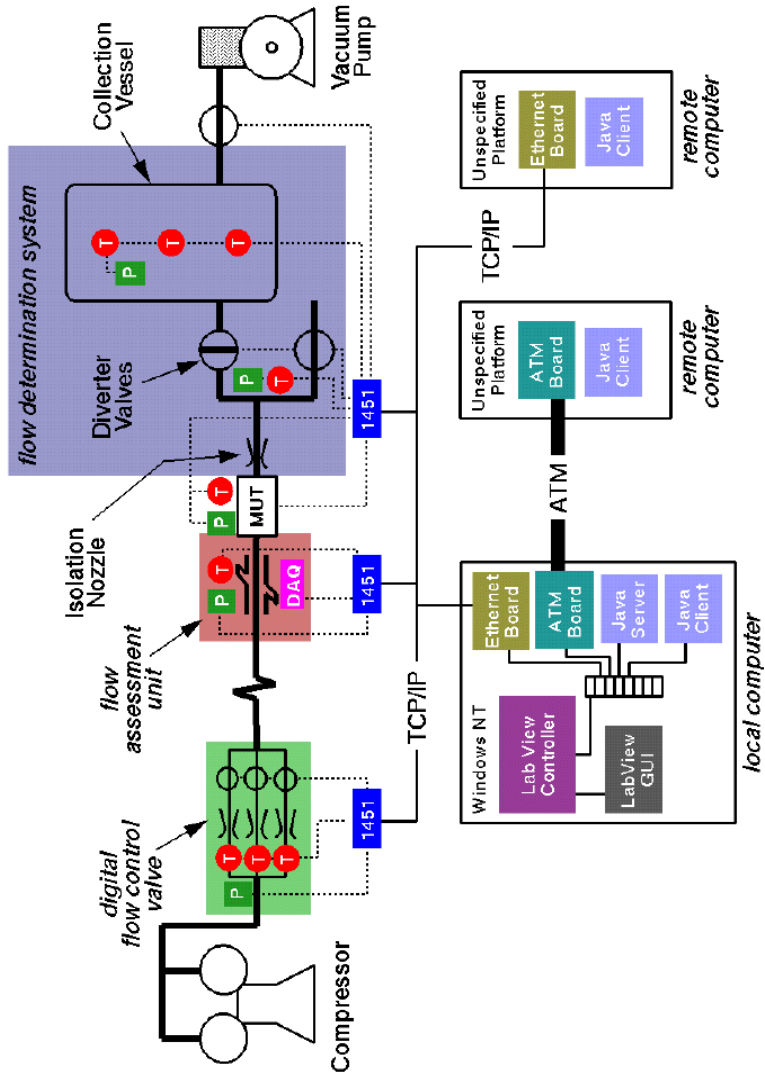
2.1. Grundlagen: IEEE P1451 – Bus (III)



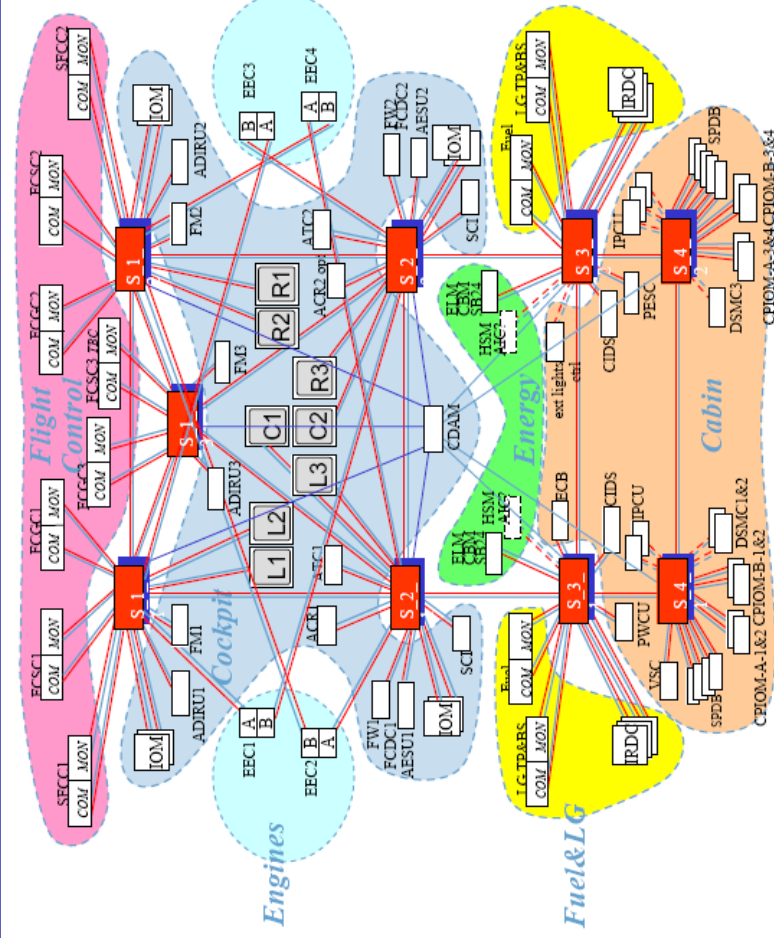
2.1. Grundlagen: Sensornetzwerk



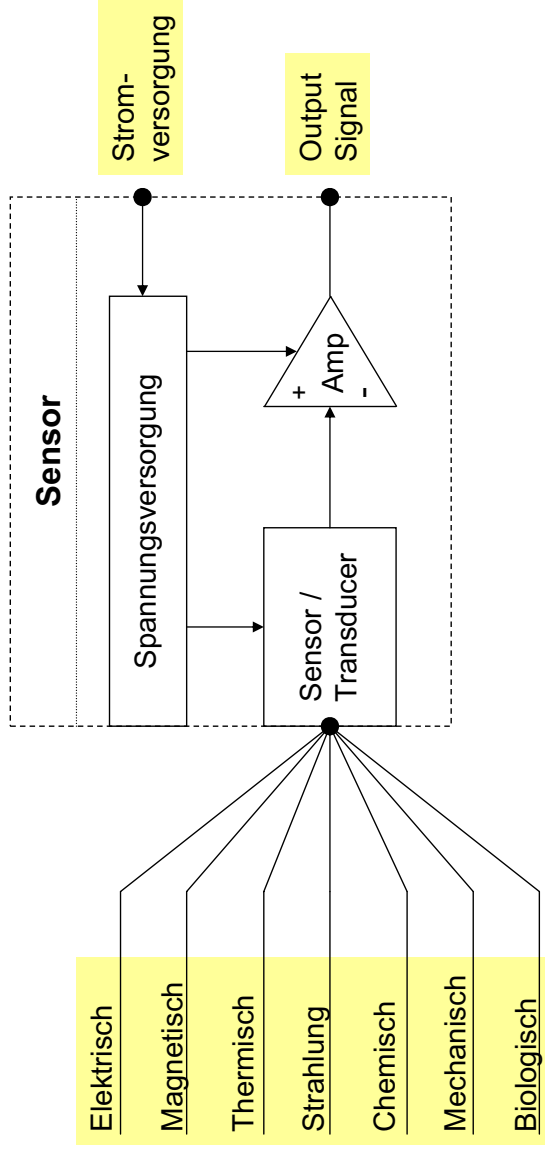
2.1. Grundlagen: Sensornetzwerk - Industrie



2.1. Grundlagen: Sensornetzwerk - Airbus

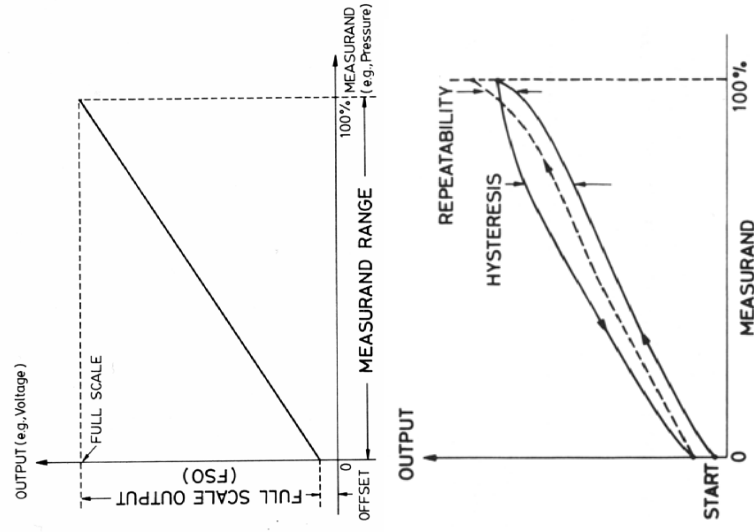


2.1. Grundlagen: Sensoren

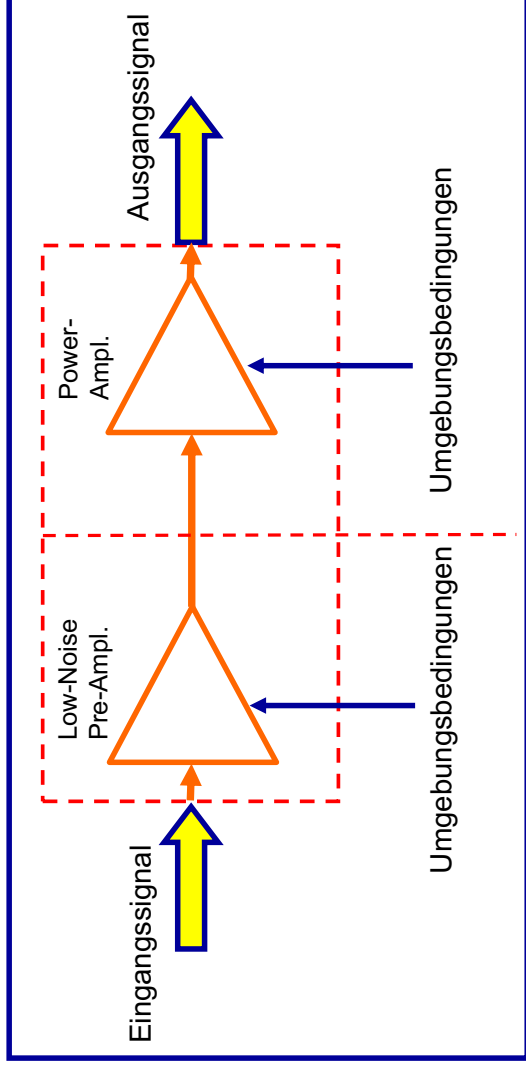


2.1. Grundlagen: Charakterisierung von Sensoren

- Umgebungsbedingungen
- 'Full scale output'
- Hysterese
- Linearität
- Meßbereich
- Offset
- Ausgangsspannungsformat
- Geschwindigkeit/Frequenz
- Auflösung
- Empfindlichkeit
- Rauschen
- Reproduzierbarkeit
- Stabilität



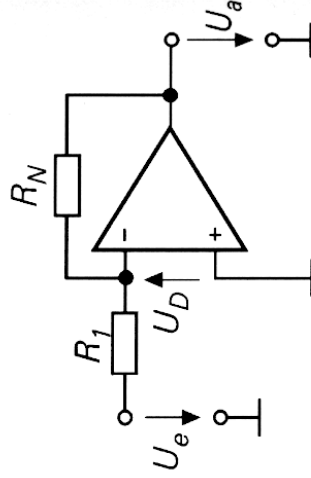
2.2.1. Meßverstärker: Grundlagen



- Bereich der Eingangs- und Ausgangsspannung
- Bereich der Eingangs- und Ausgangsimpedanz
- Bandbreite, Frequenzbereich
- Offset
- Betriebsbedingungen (Spannungen, Leistungen, Temperatur, ...)

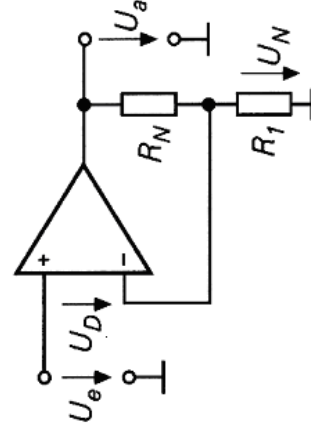
2.2.2. Meßverstärker: Operationsverstärker (I)

Invertierender Verstärker



$$A = \frac{U_a}{U_e} = -\frac{R_N}{R_1}$$

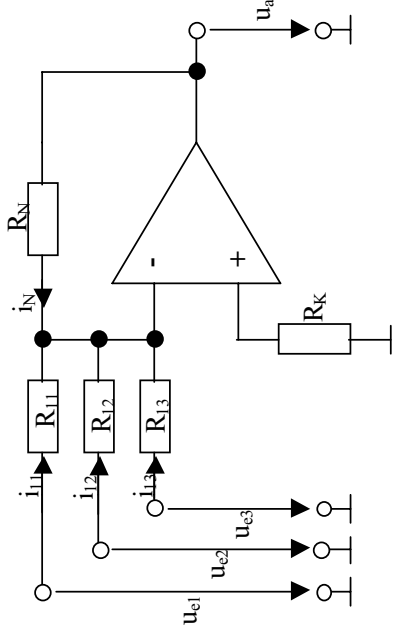
Nichtinvertierender Verstärker



$$A = \frac{U_a}{U_e} = 1 + \frac{R_N}{R_1}$$

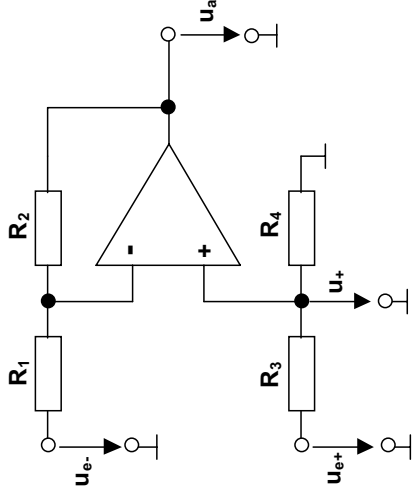
2.2.2. Meßverstärker: Operationsverstärker (II)

Addierer



$$u_a = - \left(\frac{R_N}{R_{11}} \cdot u_{e1} + \frac{R_N}{R_{12}} \cdot u_{e2} + \frac{R_N}{R_{13}} \cdot u_{e3} \right)$$

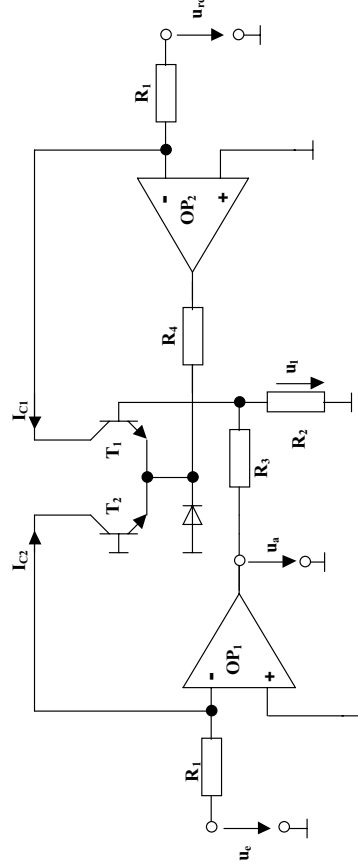
Subtrahierer



$$u_a = \frac{1 + A_-}{1 + A_+} A_+ \cdot u_{e+} - A_- u_{e-}$$

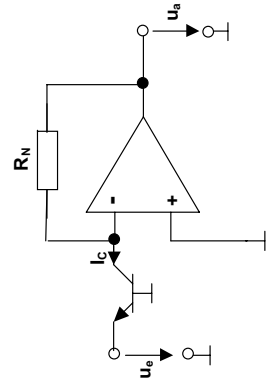
2.2.2. Meßverstärker: Operationsverstärker (III)

Logarithmierer



$$u_a = -U_T \frac{R_2 + R_3}{R_2} \ln \frac{u_e}{u_{ref}}$$

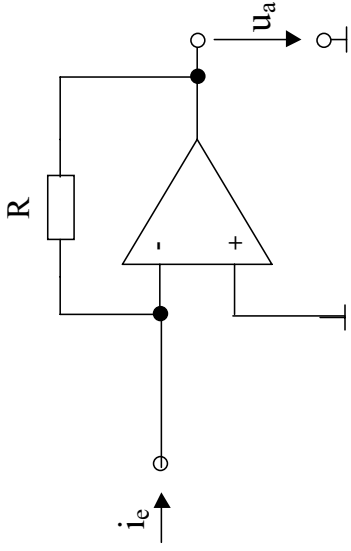
e-Funktionsgenerator



$$u_a = I_C R_N = R_N I_{CS} e^{\frac{-u_e}{U_T}}$$

2.2.2. Meßverstärker: Operationsverstärker (IV)

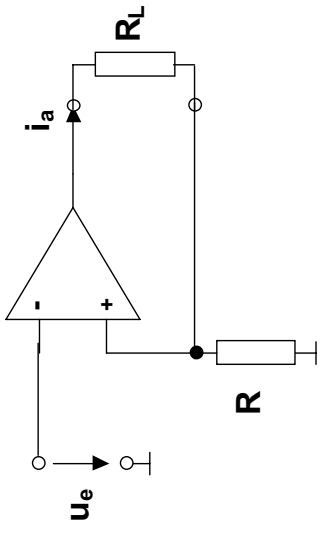
Transimpedanzverstärker



$$u_a = -R \cdot i_e$$

$$|R_e| = \frac{R}{A_0}$$

Transadmittanzverstärker
(Transkonduktanzverstärker)

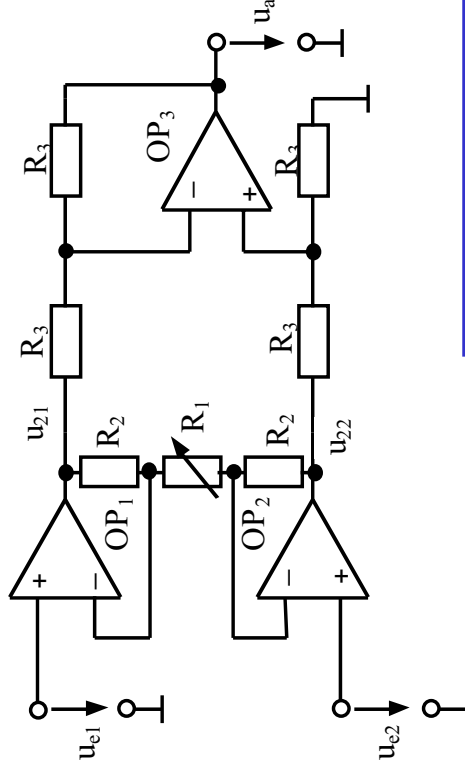


$$i_a = \frac{u_e}{R}$$

$$R_a = R \cdot A_0$$

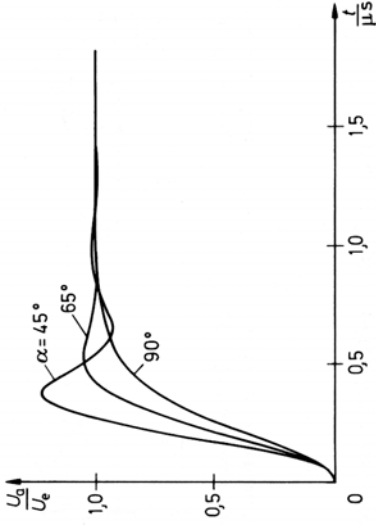
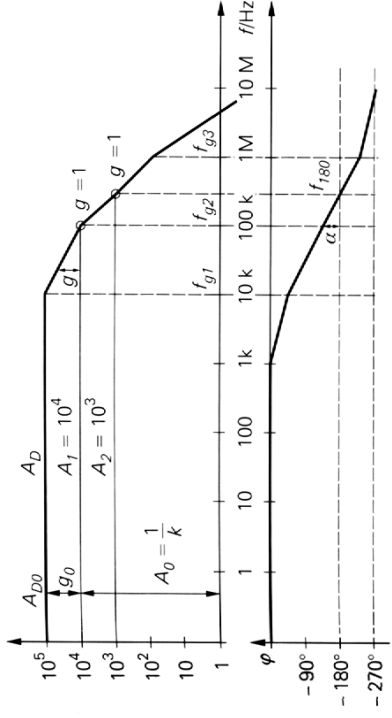
2.2.2. Meßverstärker: Operationsverstärker (V)

Instrumentationsverstärker



$$u_a = \left(1 + \frac{2R_2}{R_1} \right) (u_{e2} - u_{e1})$$

2.2.2. Meßverstärker: Operationsverstärker (VI)



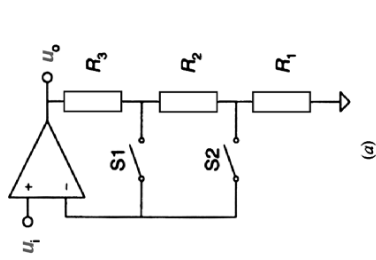
Schwingungsbedingung

$$A_0 = \underline{k} \cdot \underline{A}_D \equiv 1 \Rightarrow \begin{cases} |\underline{A}_0| \equiv |\underline{k}| \cdot |\underline{A}_D| \equiv 1 \\ \varphi \cdot (k \cdot \underline{A}_D) \equiv 0^\circ, 360^\circ, \dots \end{cases}$$

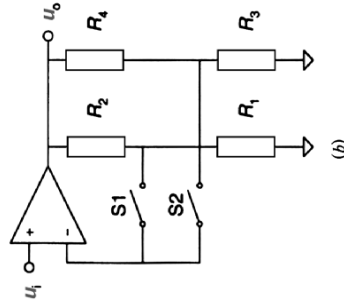
$$\text{mit } k = \frac{1}{\underline{A}}$$



2.2.2. Meßverstärker: Programmierbare Verstärkung



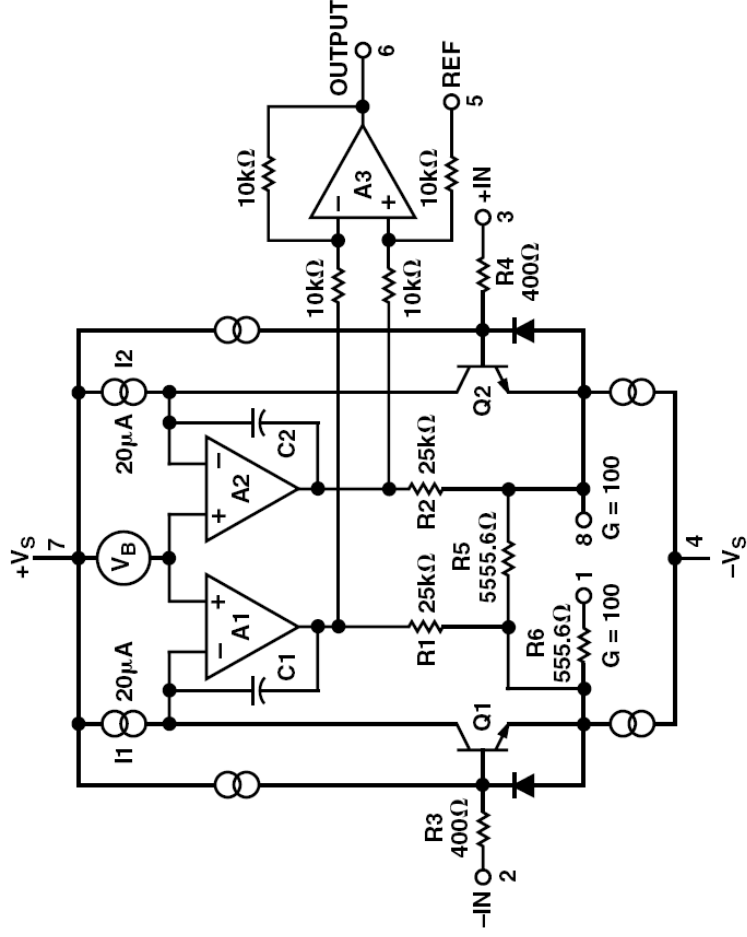
(a)



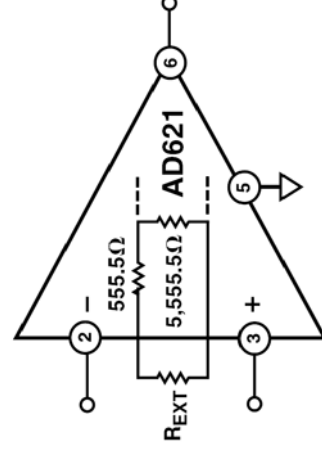
(b)



Beispiel: AD 621 (I)



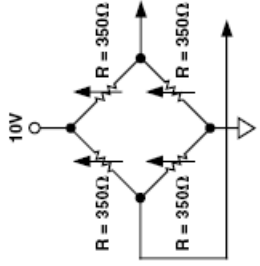
Beispiel: AD 621 (II)



$$G = 1 + \frac{9(R_X + 6,111.111)}{(R_X + 555.555)}$$



Beispiel: AD 621 (III)

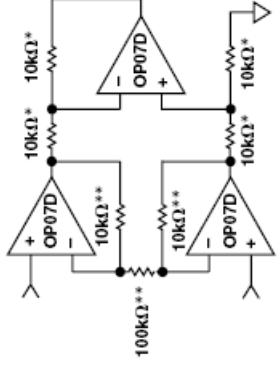


PRECISION BRIDGE TRANSDUCER



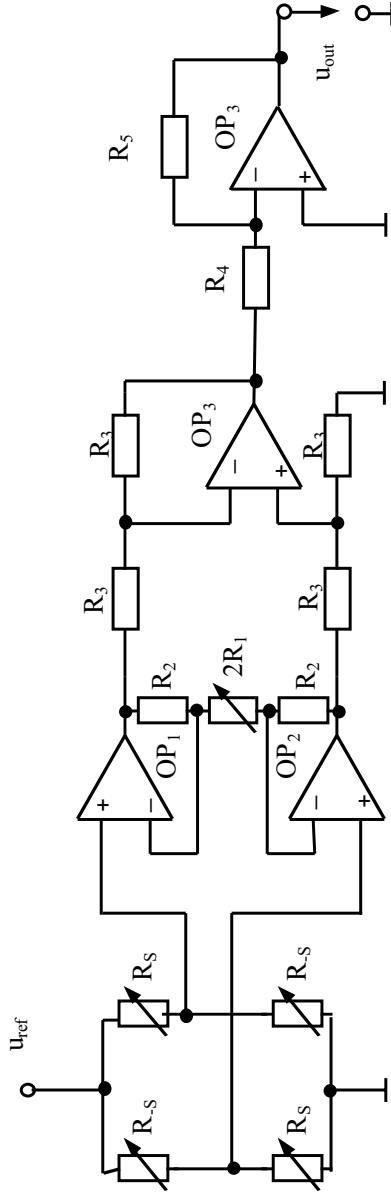
AD621A MONOLITHIC
INSTRUMENTATION
AMPLIFIER, G = 100

SUPPLY CURRENT = 1.3mA MAX



3 OP AMP, IN AMP, G = 100
* 0.02% RESISTOR MATCH, 3PPM/°C TRACKING
** DISCRETE 1% RESISTOR, 100PPM/°C TRACKING
SUPPLY CURRENT = 15mA MAX

2.2.3. Meßverstärker für resistive Sensoren



$$\begin{aligned} R_{-S} &= R - \Delta \\ R_S &= R + \Delta \end{aligned}$$

$$U_{out} = \frac{\Delta \cdot R}{R} \cdot \frac{R_2}{R_1} \cdot U_{ref}$$

2.2.5. Analoge lineare Filter: Einführung (I)

$$s(t) = a_0 + \sum_{k=1}^{\infty} a_k \cos(k\omega t) + \sum_{k=1}^{\infty} b_k \sin(k\omega t) = \sum_{k=-\infty}^{\infty} S_k e^{jk\omega t}$$

Lineare Filterantwort:

$$y(t) = \sum_{k=-\infty}^{\infty} A_k X_k e^{jk\omega t} = \sum_{k=-\infty}^{\infty} Y_k e^{jk\omega t}$$

Transferfunktion:

$$A(j\omega) = \frac{Y(j\omega)}{X(j\omega)} = |A(j\omega)| e^{j \arctan \left\{ \frac{\operatorname{Im}[A]}{\operatorname{Re}[A]} \right\}} = M(\omega) e^{j\varphi(\omega)}$$

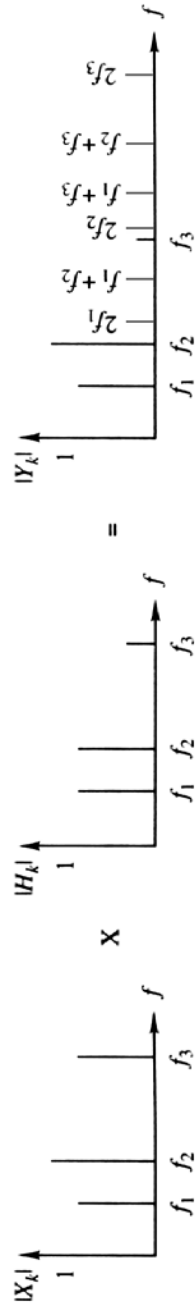
Verstärkung und Phase:

$$G(\omega) = 20 \log_{10} M(\omega) \cdot dB \quad \varphi(\omega) = \arctan \left\{ \frac{\operatorname{Im}[A(j\omega)]}{\operatorname{Re}[A(j\omega)]} \right\} \cdot \frac{180^\circ}{\pi}$$

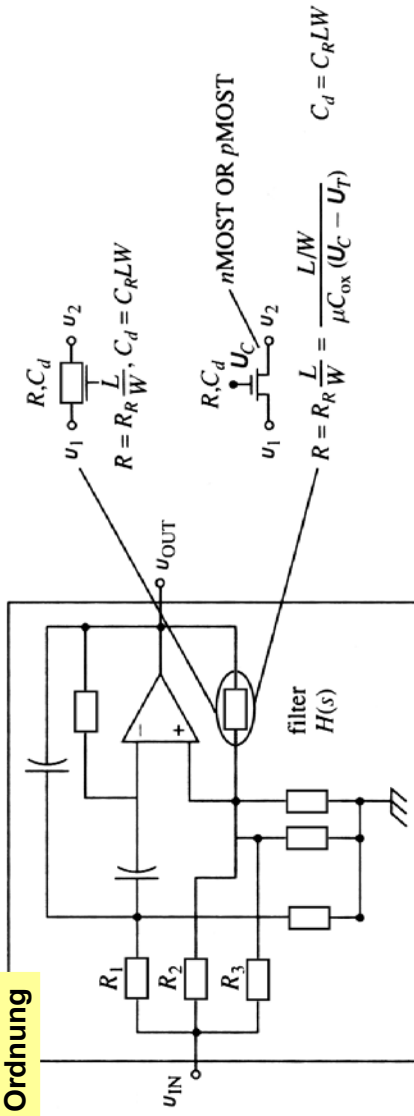


2.2.5. Filter: Einführung (II)

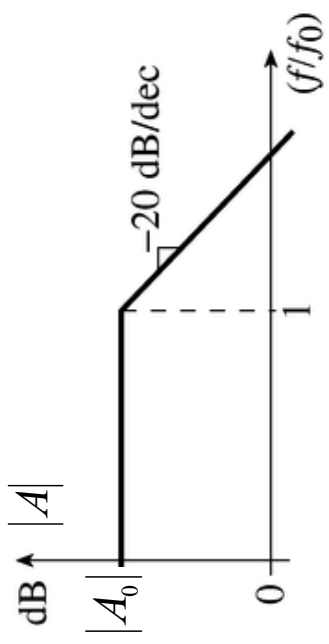
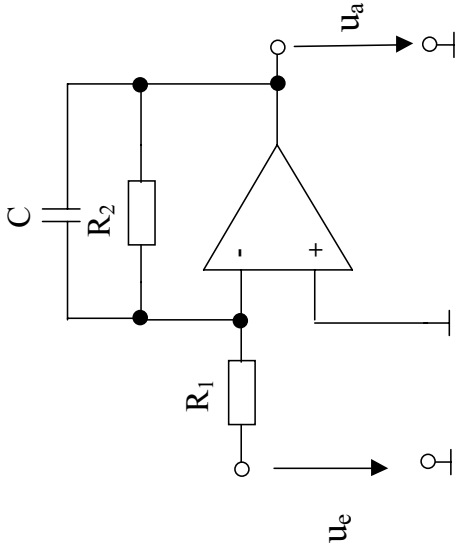
Filterung im Spektralbereich



RC-Filter 2. Ordnung



2.2.5. Filter: Tiefpaß – Filter (I)



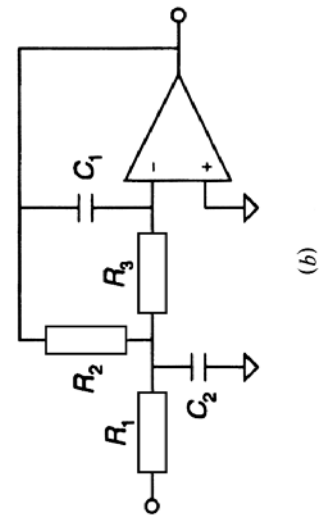
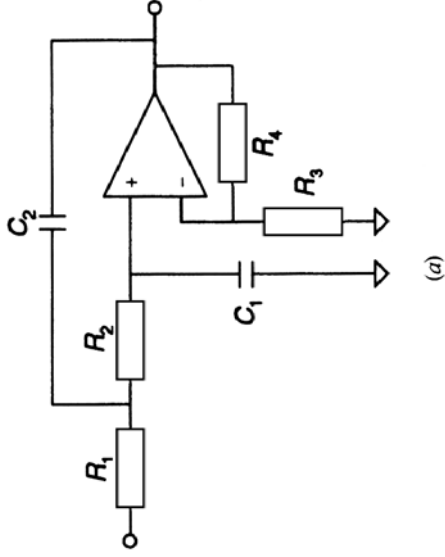
$$A_0 = -\frac{R_2}{R_1} \quad f_0 = \frac{1}{2\pi R_2 C}$$

$$A = A_0 \cdot \frac{1}{1 + j \left(\frac{f}{f_0} \right)}$$

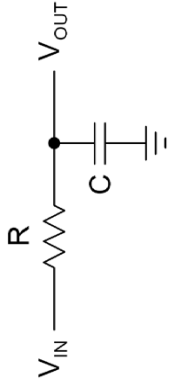
2.2.5. Filter: Tiefpaß – Filter (II)

TP 2. Ordnung

TP 2. Ordnung
(unendliche Verstärkung)



2.2.5. Passiver Tiefpass 1. Ordnung



$$A(s) = \frac{1}{s + \frac{1}{RC}} = \frac{1}{1 + sRC}$$

$$s = j\omega$$

$$f_C = 1/2\pi RC$$

$$A(s) = \frac{1}{1 + s}$$

$$|A| = \frac{1}{\sqrt{1 + \Omega^2}}$$

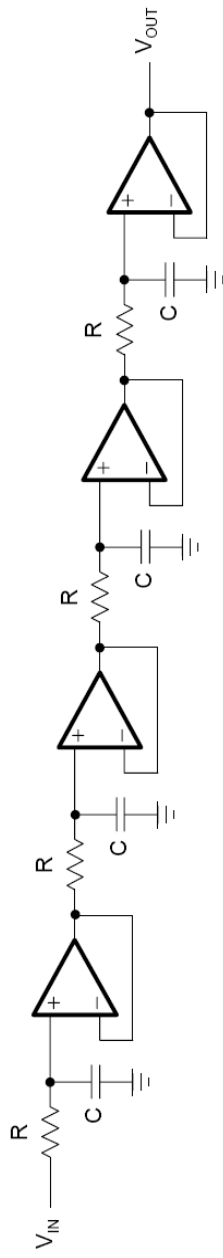
$$s = \frac{s}{\omega_C} = \frac{j\omega}{\omega_C} = j\frac{f}{f_C} = j\Omega$$

TP hoher Ordnung:

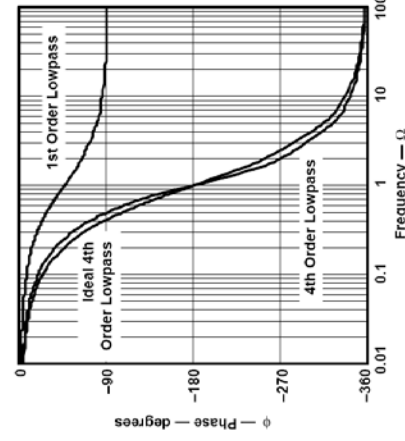
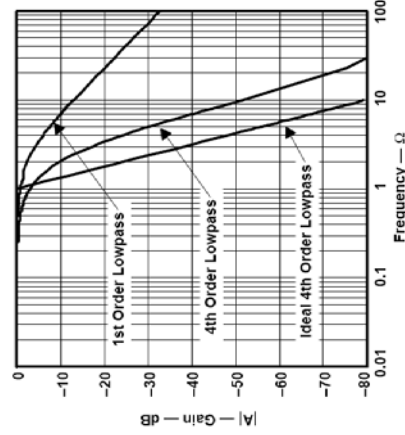
$$A(s) = \frac{1}{(1 + \alpha_1 s)(1 + \alpha_2 s) \dots (1 + \alpha_n s)}$$



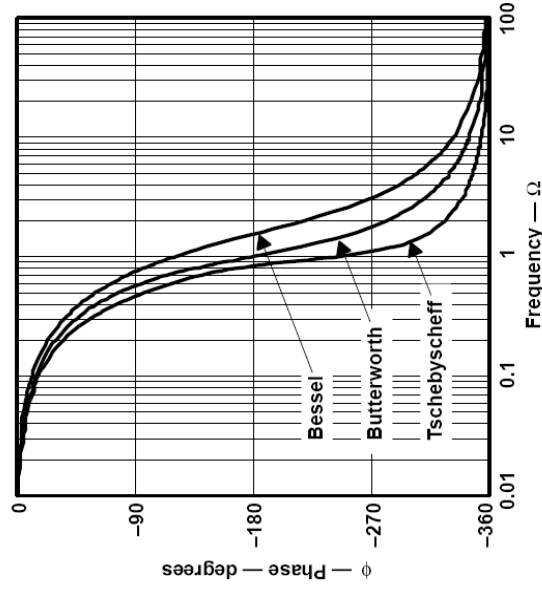
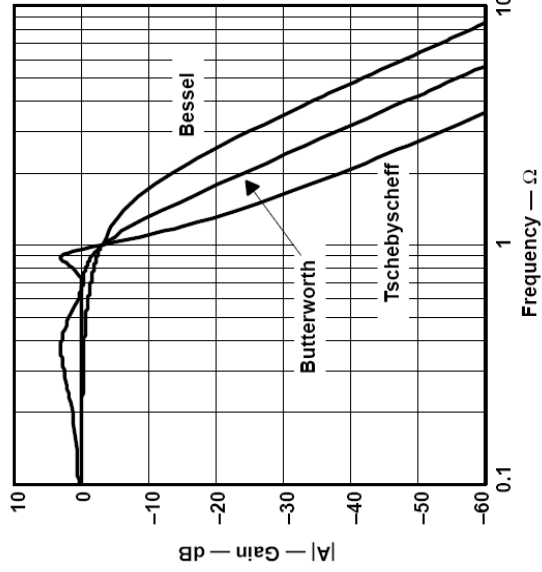
2.2.5. Aktiver Tiefpass 4. Ordnung



$$A(s) = \frac{1}{(1 + \alpha_1 s)(1 + \alpha_2 s) \dots (1 + \alpha_n s)}$$



2.2.5. Auslegung von Tiefpass-Filtern



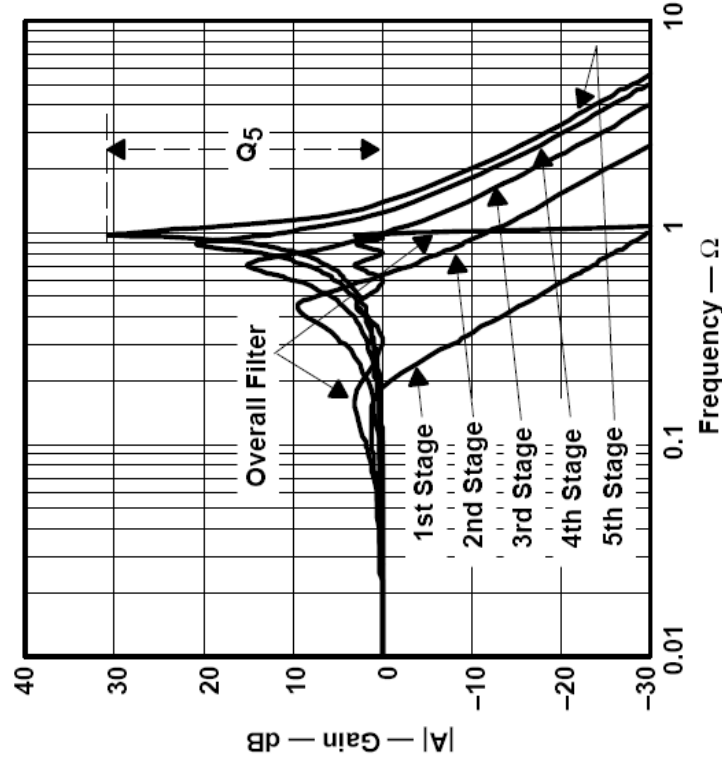
$$A(s) = \frac{A_0}{(1 + a_1s + b_1s^2)(1 + a_2s + b_2s^2) \dots (1 + a_ns + b_ns^2)} = \frac{A_0}{\prod_i (1 + a_is + b_is^2)}$$



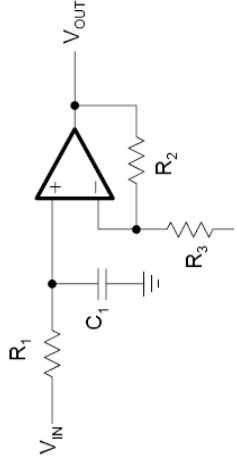
2.2.5. Tiefpass-Filter: Gütefaktor

$$Q = \frac{f_m}{(f_2 - f_1)}$$

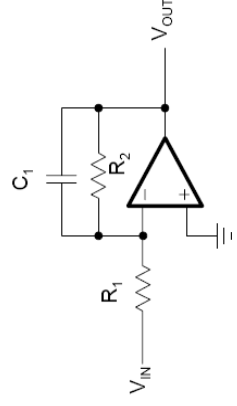
$$Q = \frac{\sqrt{b_i}}{a_i}$$



2.2.5. Tiefpass 1. Ordnung



$$A(s) = \frac{1 + \frac{R_2}{R_3}}{1 + \omega_c R_1 C_1 s}$$



$$A(s) = \frac{-\frac{R_2}{R_1}}{1 + \omega_c R_2 C_1 s}$$

$$A_0 = 1 + \frac{R_2}{R_3} \quad R_1 = \frac{a_1}{2\pi f_c C_1}$$

$$A_0 = -\frac{R_2}{R_1} \quad R_2 = \frac{a_1}{2\pi f_c C_1}$$

$$a_1 = \omega_c R_1 C_1 \quad R_2 = R_3(A_0 - 1)$$

$$R_1 = -\frac{R_2}{A_0}$$

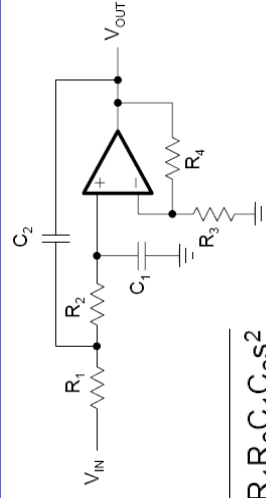
$$1. \text{ Ordnung, } A_0=1 \quad R_1 = \frac{a_1}{2\pi f_c C_1} = \frac{1}{2\pi \cdot 10^3 \text{ Hz} \cdot 47 \cdot 10^{-9} \text{ F}} = 3.38 \text{ k}\Omega$$

$$3. \text{ Ordnung, } A_0=1 \quad R_1 = \frac{a_1}{2\pi f_c C_1} = \frac{0.756}{2\pi \cdot 10^3 \text{ Hz} \cdot 47 \cdot 10^{-9} \text{ F}} = 2.56 \text{ k}\Omega$$



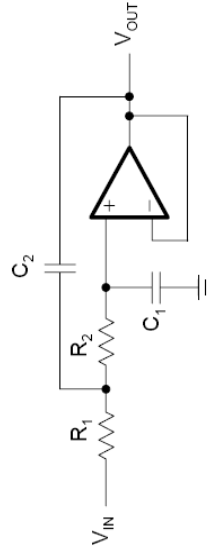
2.2.5. TP-Filter: Sallen-Key-Topologie (2. Ordnung) (I)

Generelle Topologie



$$A(s) = \frac{A_0}{1 + \omega_c [C_1(R_1 + R_2) + (1 - A_0) R_1 C_2] s + \omega_c^2 R_1 R_2 C_1 C_2 s^2}$$

Topologie mit
 $A_0=1$

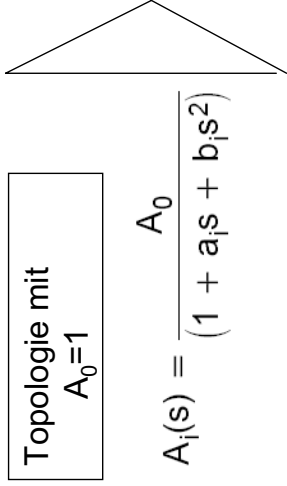


$$A(s) = \frac{1}{1 + \omega_c C_1 (R_1 + R_2) s + \omega_c^2 R_1 R_2 C_1 C_2 s^2}$$



2.2.5. TP-Filter: Sallen-Key-Topologie (2. Ordnung) (II)

Filterentwurf:



$$A_i(s) = \frac{A_0}{(1 + a_i s + b_i s^2)}$$

$$A_0 = 1$$

$$a_1 = \omega_c C_1 (R_1 + R_2)$$

$$b_1 = \omega_c^2 R_1 R_2 C_1 C_2$$

$$R_{1,2} = \frac{a_1 C_2 \mp \sqrt{a_1^2 C_2^2 - 4b_1 C_1 C_2}}{4\pi f_c C_1 C_2}$$

$$C_2 \geq C_1 \frac{4b_1}{a_1^2}$$



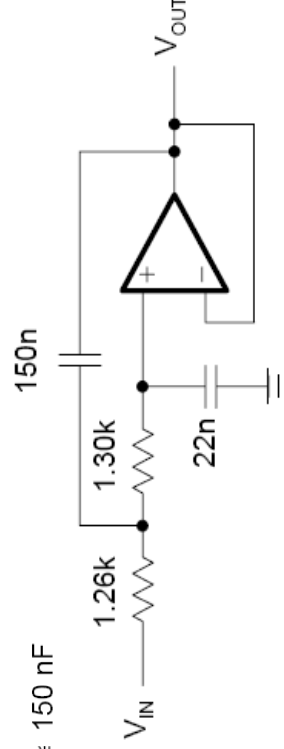
2.2.5. TP-Filter: Sallen-Key-Topologie (2. Ordnung) (III)

Beispiel: $f_c = 3 \text{ kHz}$ mit 3 dB Welligkeit (Ripple)

Table 16–9. Tschebyscheff Coefficients for 3-dB Passband Ripple

n	i	a_i	b_i	$k_i = \frac{f_{ci}}{f_c}$	Q_i
1	1	1.0000	0.0000	1.000	—
2	1	1.0650	1.9305	1.000	1.30
3	1	3.3496	0.0000	0.299	—
2	3.3559	1.1923	1.396	3.07	

$$C_2 \geq C_1 \frac{4b_1}{a_1^2} = 22 \cdot 10^{-9} \text{ nF} \cdot \frac{4 \cdot 1.9305}{1.065^2} \approx 150 \text{ nF}$$



2.2.5. TP-Filter: Sallen-Key-Topologie (2. Ordnung) (IV)

Spezialfall $R_1=R_2=R$ und $C_1=C_2=C$

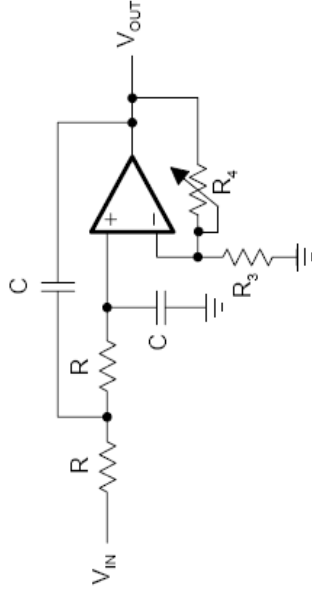
mit $A_0 = 1 + \frac{R_4}{R_3}$

$$A(s) = \frac{A_0}{1 + \omega_c RC(3 - A_0)s + (\omega_c RC)^2 s^2}$$

$$a_1 = \omega_c RC(3 - A_0)$$
$$b_1 = (\omega_c RC)^2$$

$$R = \frac{\sqrt{b_1}}{2\pi f_c C}$$

$$Q = \frac{1}{3 - A_0}$$



SECOND-ORDER	BESSEL	BUTTERWORTH	3-dB TSCHEBYSCHIEFF
a_1	1.3617	1.4142	1.065
b_1	0.618	1	1.9305
Q	0.58	0.71	1.3
R_4/R_3	0.268	0.568	0.234



2.2.5. TP-Filter: Tiefpass höherer Ordnung

Tiefpaß - Butterworth 5. Ordnung

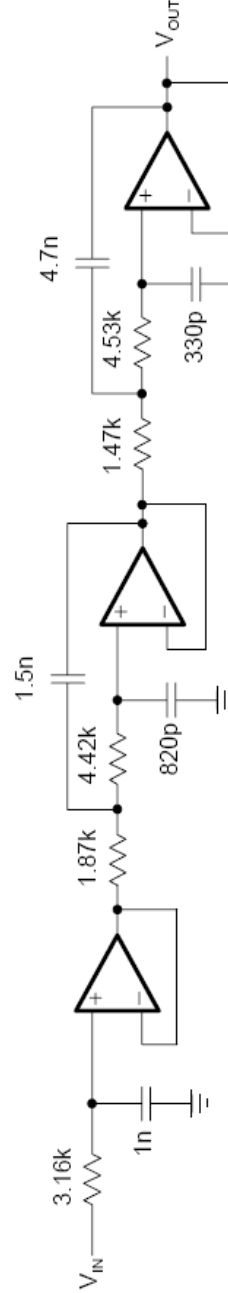


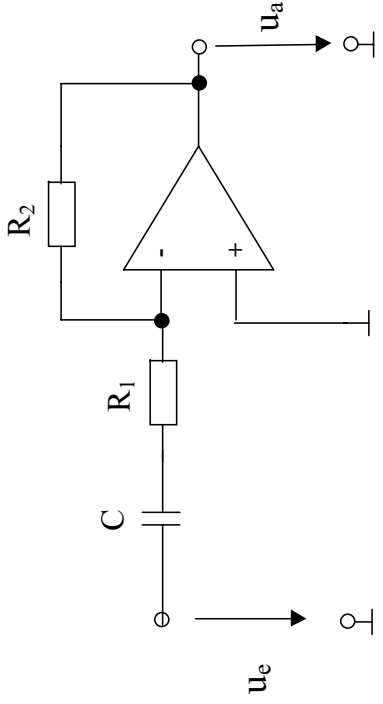
Table 16-5. Butterworth Coefficients

n	i	a_i	b_i	$k_i = \frac{f_{Ci}}{f_c}$	Q_i
4	1	1.8478	1.0000	0.719	0.54
	2	0.7654	1.0000	1.390	1.31

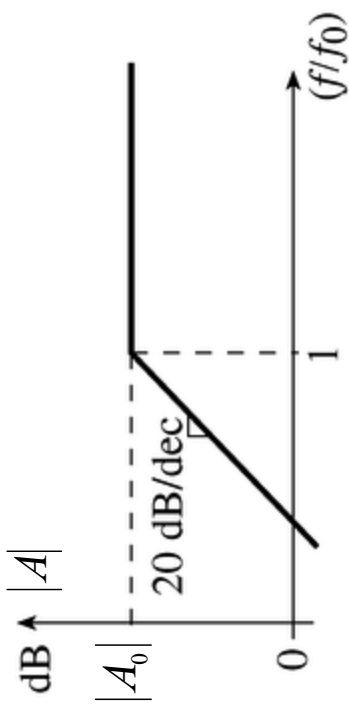
5	1	1.0000	0.0000	1.000	—
	2	1.6180	1.0000	0.859	0.62
	3	0.6180	1.0000	1.448	1.62



2.2.6. Filter: Hochpaß – Filter (I)



$$A = A_0 \cdot \frac{j\left(\frac{f}{f_0}\right)}{1 + j\left(\frac{f}{f_0}\right)}$$



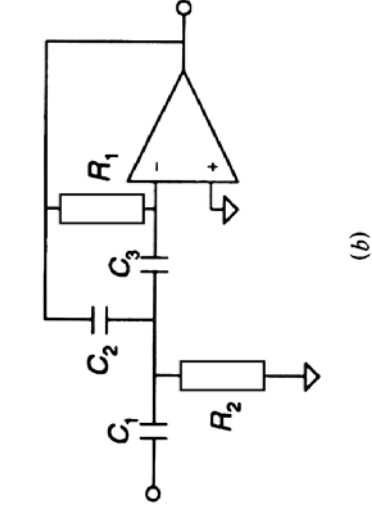
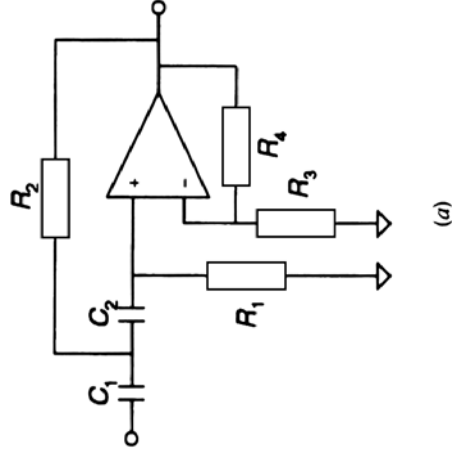
$$A_0 = -\frac{R_2}{R_1}$$

$$f_0 = \frac{1}{2\pi R_1 C}$$

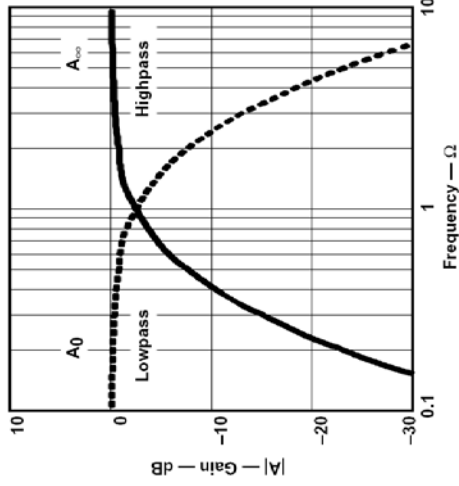
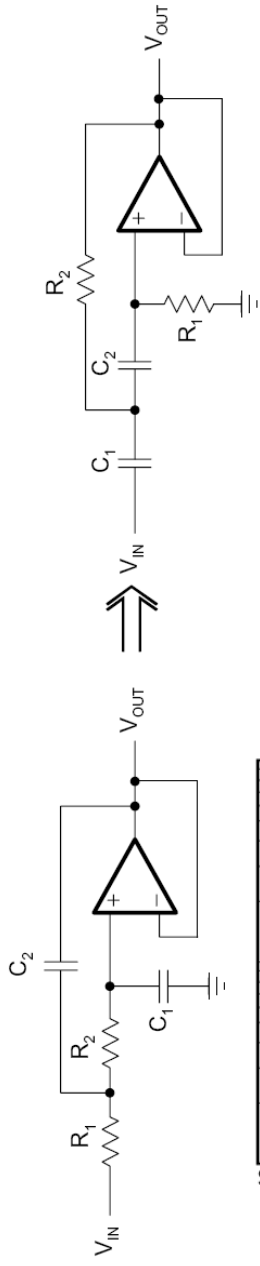
2.2.6. Filter: Hochpaß – Filter (II)

HP 2. Ordnung

HP 2. Ordnung
(unendliche Verstärkung)



2.2.6. Hochpass-Filter: Auslegung (I)

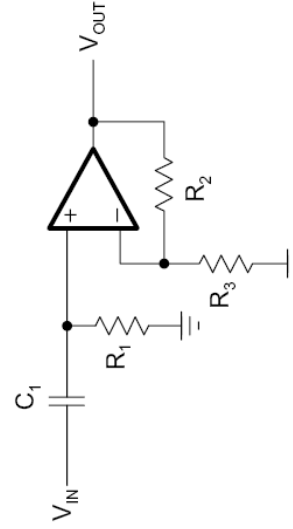


$$A(s) = \frac{A_{\infty}}{\prod_i \left(1 + \frac{a_i}{s} + \frac{b_i}{s^2}\right)}$$

$$A_i(s) = \frac{A_{\infty}}{\left(1 + \frac{a_i}{s} + \frac{b_i}{s^2}\right)}$$

2.2.6. Hochpass-Filter: 1. Ordnung

$$A(s) = \frac{A_0}{1 + \frac{a_i}{s}}$$



$$A(s) = \frac{1 + \frac{R_2}{R_3}}{1 + \frac{1}{\omega_c R_1 C_1} \cdot \frac{1}{s}}$$

$$A_{\infty} = 1 + \frac{R_2}{R_3}$$

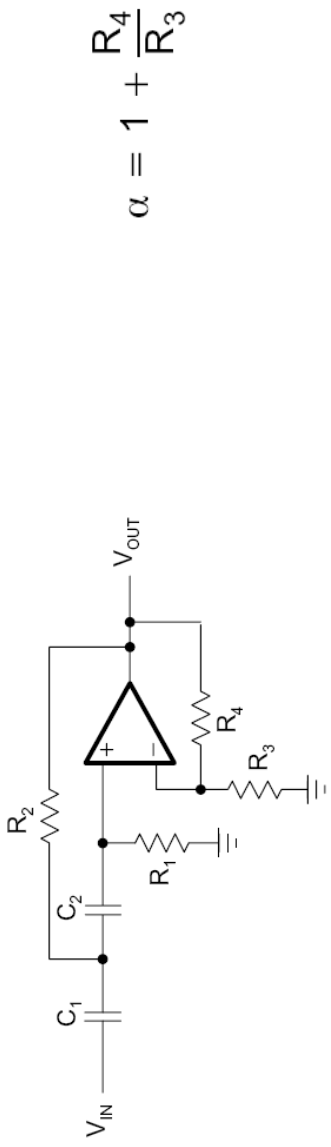
$$a_1 = \frac{1}{\omega_c R_1 C_1}$$

$$R_1 = \frac{1}{2\pi f_c a_1 C_1}$$

$$A(s) = - \frac{\frac{R_2}{R_1}}{1 + \frac{1}{\omega_c R_1 C_1} \cdot \frac{1}{s}}$$

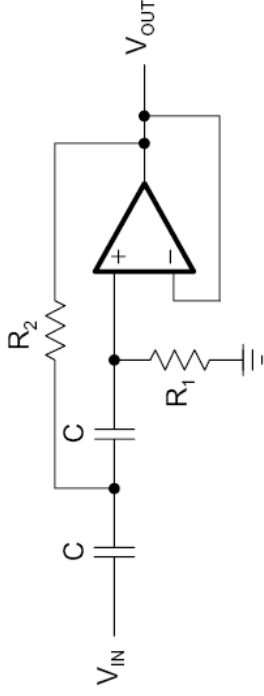
$$A_{\infty} = - \frac{R_2}{R_1}$$

2.2.6. Hochpass-Filter: Sallen-Key-Topologie

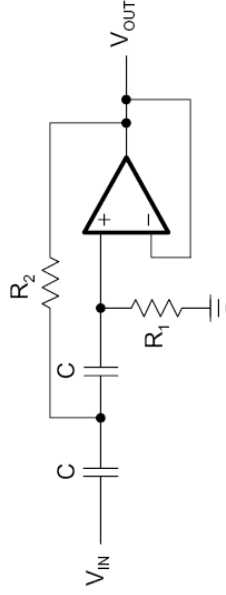


$$\alpha = 1 + \frac{R_4}{R_3}$$

$$A(s) = \frac{\alpha}{1 + \frac{R_2(C_1 + C_2) + R_1C_2(1 - \alpha)}{\omega_c R_1 R_2 C_1 C_2} \cdot \frac{1}{s} + \frac{1}{\omega_c^2 R_1 R_2 C_1 C_2} \cdot \frac{1}{s^2}}$$



2.2.6. Sallen-Key-Hochpass $A_0=1$



$$C_1 = C_2 = C$$

$$\alpha = 1$$

$$A(s) = \frac{1}{1 + \frac{2}{\omega_c R_1 C} \cdot \frac{1}{s} + \frac{1}{\omega_c^2 R_1 R_2 C^2} \cdot \frac{1}{s^2}}$$

$$A_\infty = 1$$

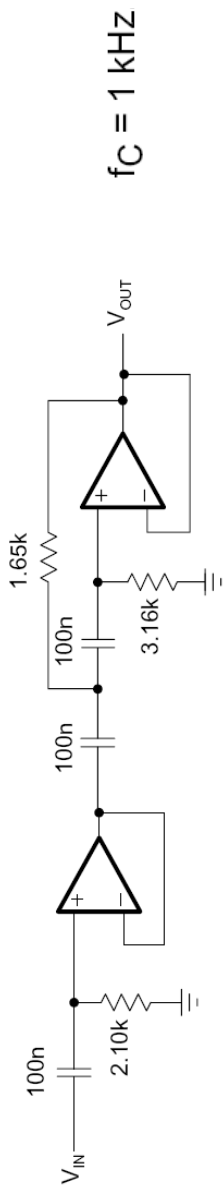
$$a_1 = \frac{2}{\omega_c R_1 C}$$

$$b_1 = \frac{1}{\omega_c^2 R_1 R_2 C^2}$$

$$R_1 = \frac{1}{\pi f_c C a_1}$$

$$R_2 = \frac{a_1}{4 \pi f_c C b_1}$$

2.2.6. Sallen-Key-Hochpass (höherer Ordnung)



Filter 1 $a_1 = 0.756$ $b_1 = 0$

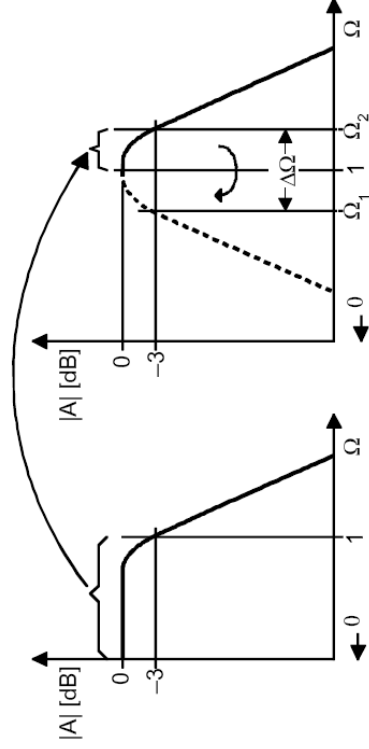
Filter 2 $a_2 = 0.9996$ $b_2 = 0.4772$

$$R_1 = \frac{1}{2\pi f_c a_1 C_1} = \frac{1}{2\pi \cdot 10^3 \text{ Hz} \cdot 0.756 \cdot 100 \cdot 10^{-9} \text{ F}} = 2.105 \text{ k}\Omega$$

$$R_1 = \frac{1}{\pi f_c C a_1} = \frac{1}{\pi \cdot 10^3 \cdot 100 \cdot 10^{-9} \cdot 0.756} = 3.18 \text{ k}\Omega$$

$$R_2 = \frac{a_1}{4\pi f_c C b_1} = \frac{0.9996}{4\pi \cdot 10^3 \cdot 100 \cdot 10^{-9} \cdot 0.4772} = 1.67 \text{ k}\Omega$$

2.2.7. Sallen-Key-Bandpass (I)



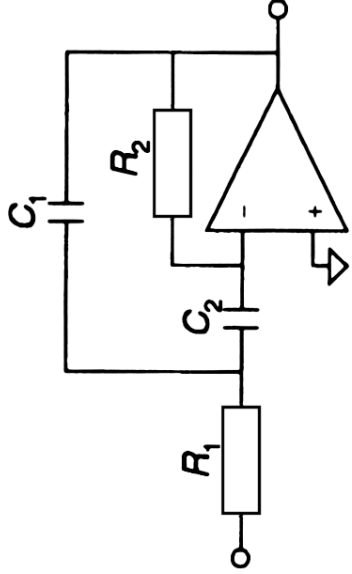
$$s \longrightarrow \frac{1}{\Delta\Omega} \left(s + \frac{1}{s} \right)$$

$$\Delta\Omega = \Omega_2 - \Omega_1$$

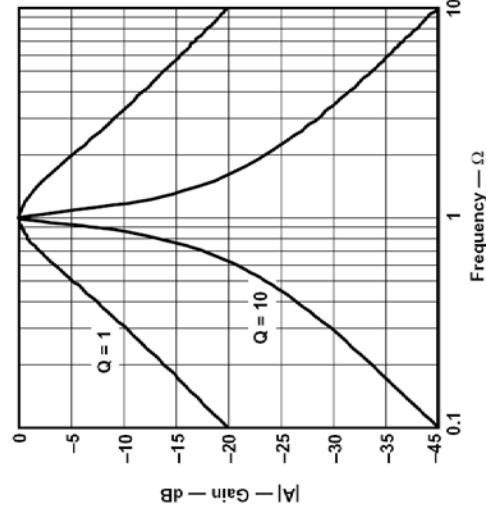
$$\Omega_m = 1 = \Omega_2 \cdot \Omega_1$$

$$Q = \frac{f_m}{B} = \frac{f_m}{f_2 - f_1} = \frac{1}{\Omega_2 - \Omega_1} = \frac{1}{\Delta\Omega}$$

2.2.7. Bandpass und Universalfilter (I)



2.2.7. Sallen-Key-Bandpass (II)

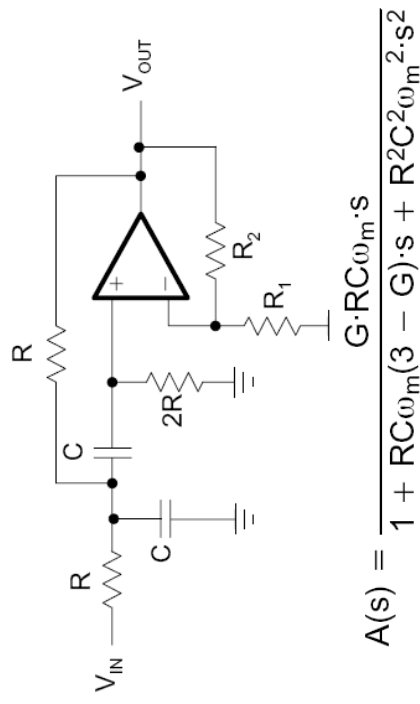


$$f_m = \frac{1}{2\pi RC}$$

$$A_m = \frac{G}{3 - G}$$

$$G = 1 + \frac{R_2}{R_1}$$

$$Q = \frac{1}{3 - G}$$



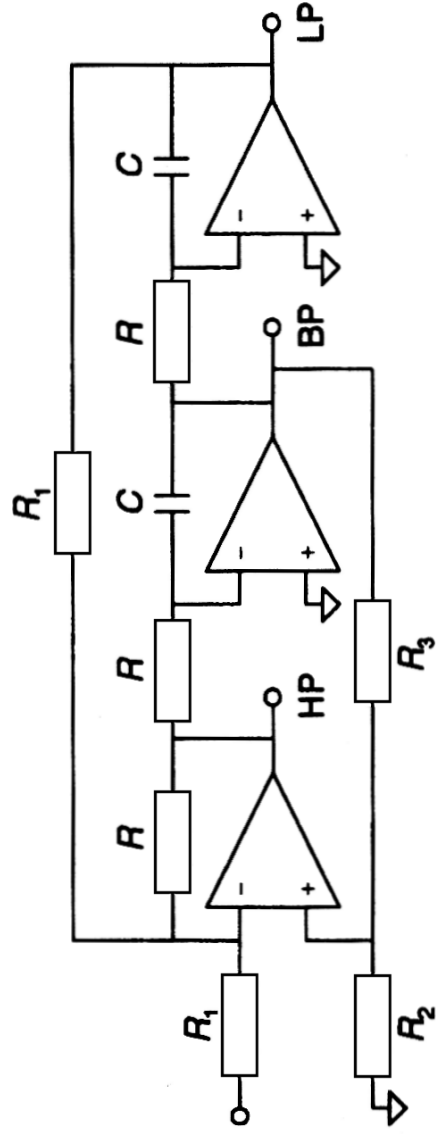
$$A(s) = \frac{G \cdot RC\omega_m \cdot s}{1 + RC\omega_m(3 - G) \cdot s + R^2 C^2 \omega_m^2 \cdot s^2}$$

$$R = \frac{1}{2\pi f_m C}$$

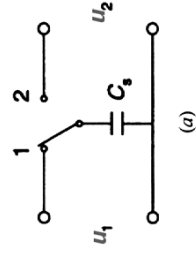
$$R_2 = \frac{2A_m - 1}{1 + A_m}$$

$$R_2 = \frac{2Q - 1}{Q}$$

2.2.7. Bandpass und Universalfilter (II)



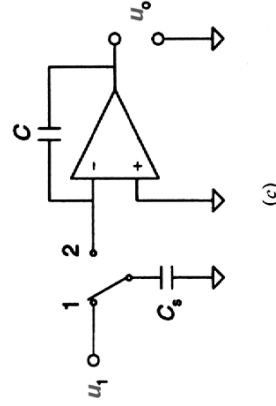
2.2.8. Filter mit geschalteten Kapazitäten



$$Q_C = C_S (v_1 - v_1)$$

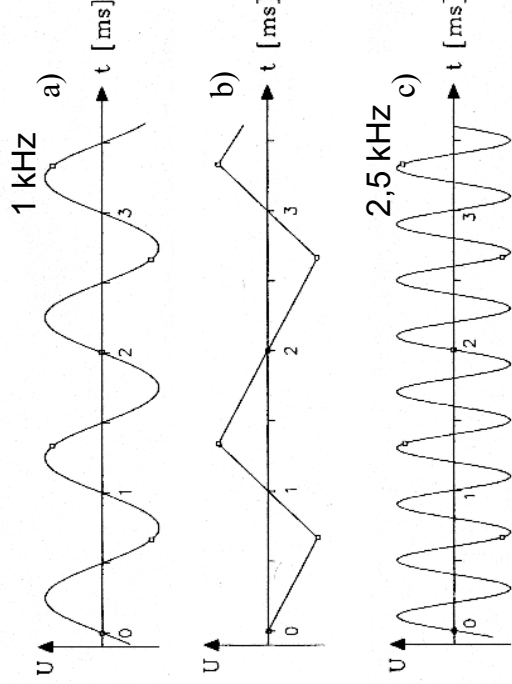
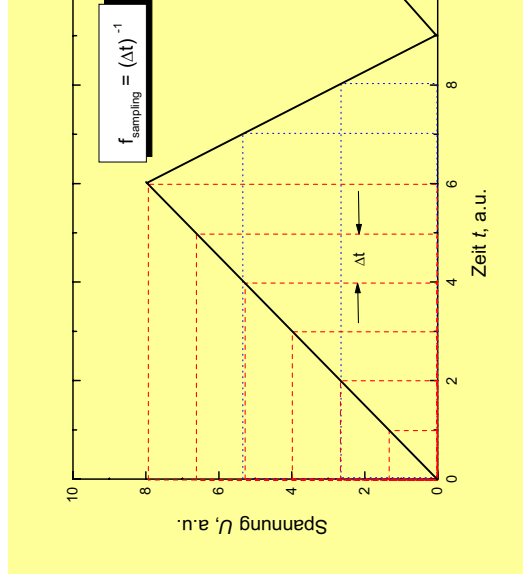
$$i(t) = \frac{C_S (v_1 - v_1)}{T_C}$$

$$R_{equ} = \frac{(v_1 - v_1)}{i} = \frac{T_C}{C_S} = \frac{1}{f_C C_S}$$



2.3. Analog-Digital-Wandler (ADC)

2.3.1. Grundfunktion: Abtasten

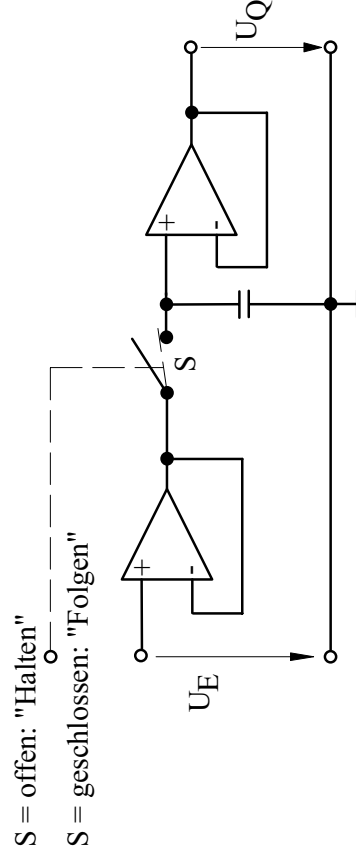


Abtasten mit 1.5 kHz

2.3.2. Sample & Hold

Nyquist – Theorem

Der zeitliche Verlauf eines Signals mit den Frequenzkomponenten f_{max} kann durch Abtastung mit einer Frequenz von mindestens $2 \cdot f_{\text{max}}$ eindeutig wiedergegeben werden.

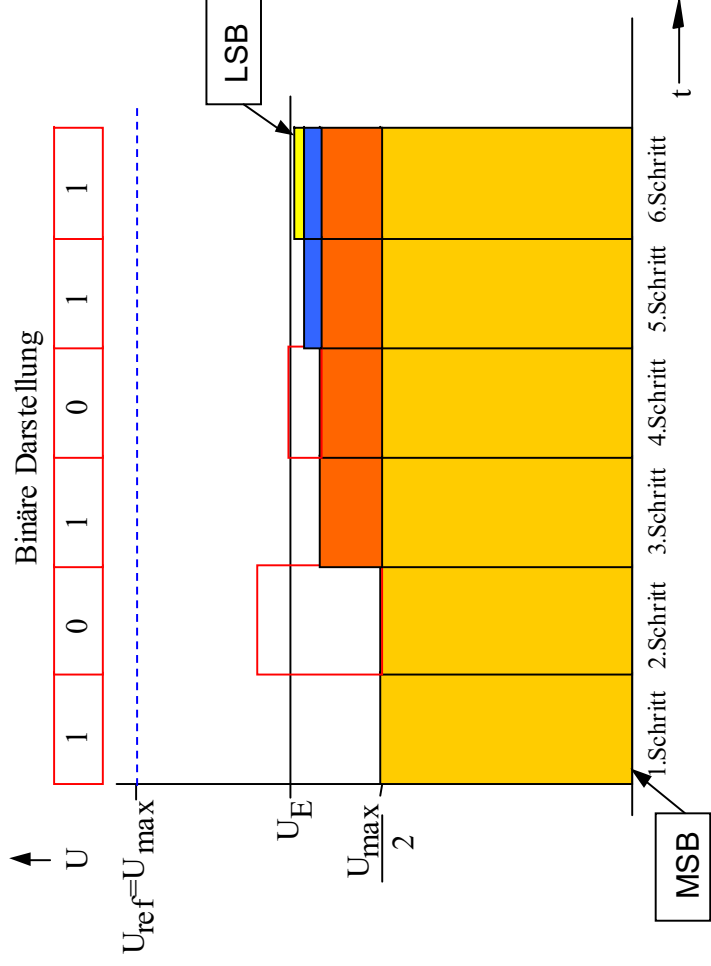


S = offen: "Halten"

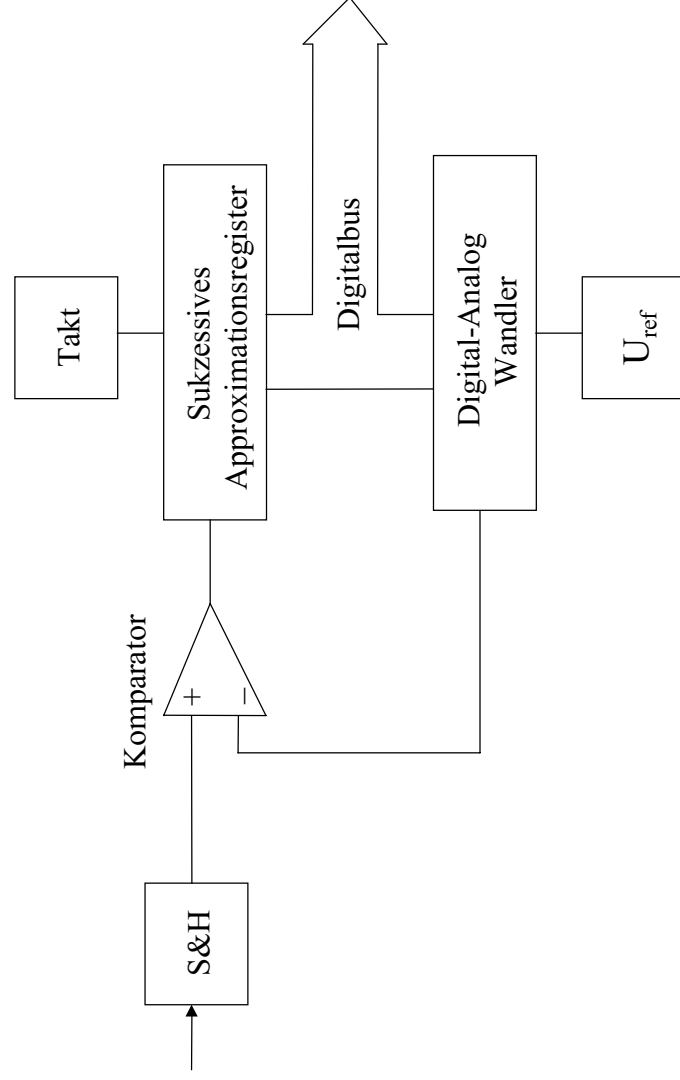
S = geschlossen: "Folgen"

Spannungsverlust: $\Delta U \ll 1/2 U_{\text{LSB}}$

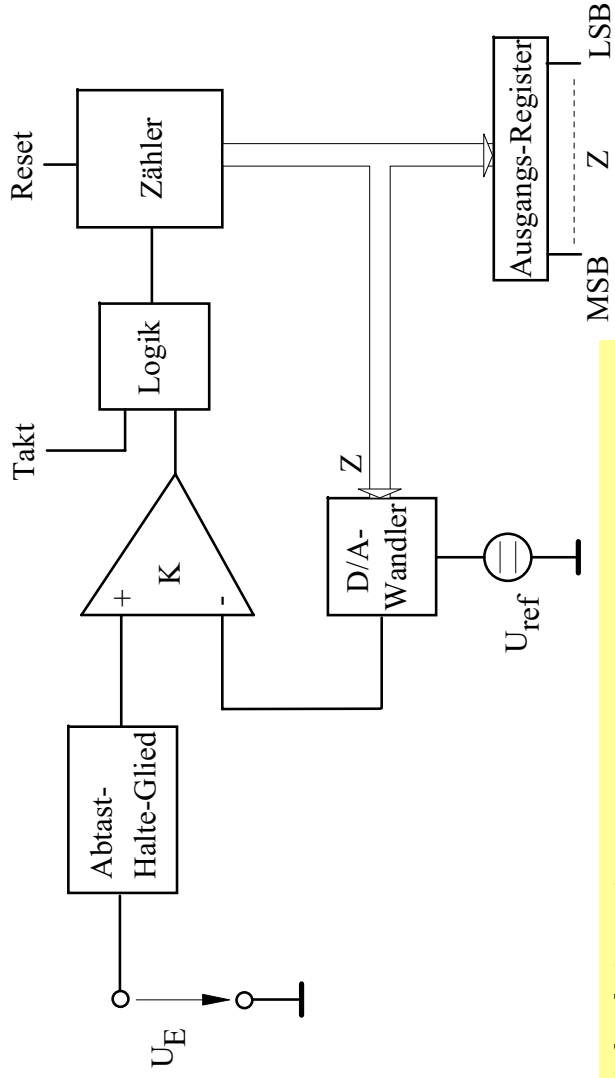
2.3.3. ADC: Sukzessive Approximation (I)



2.3.3. ADC: Sukzessive Approximation (II)



2.3.3. Integrationsverfahren

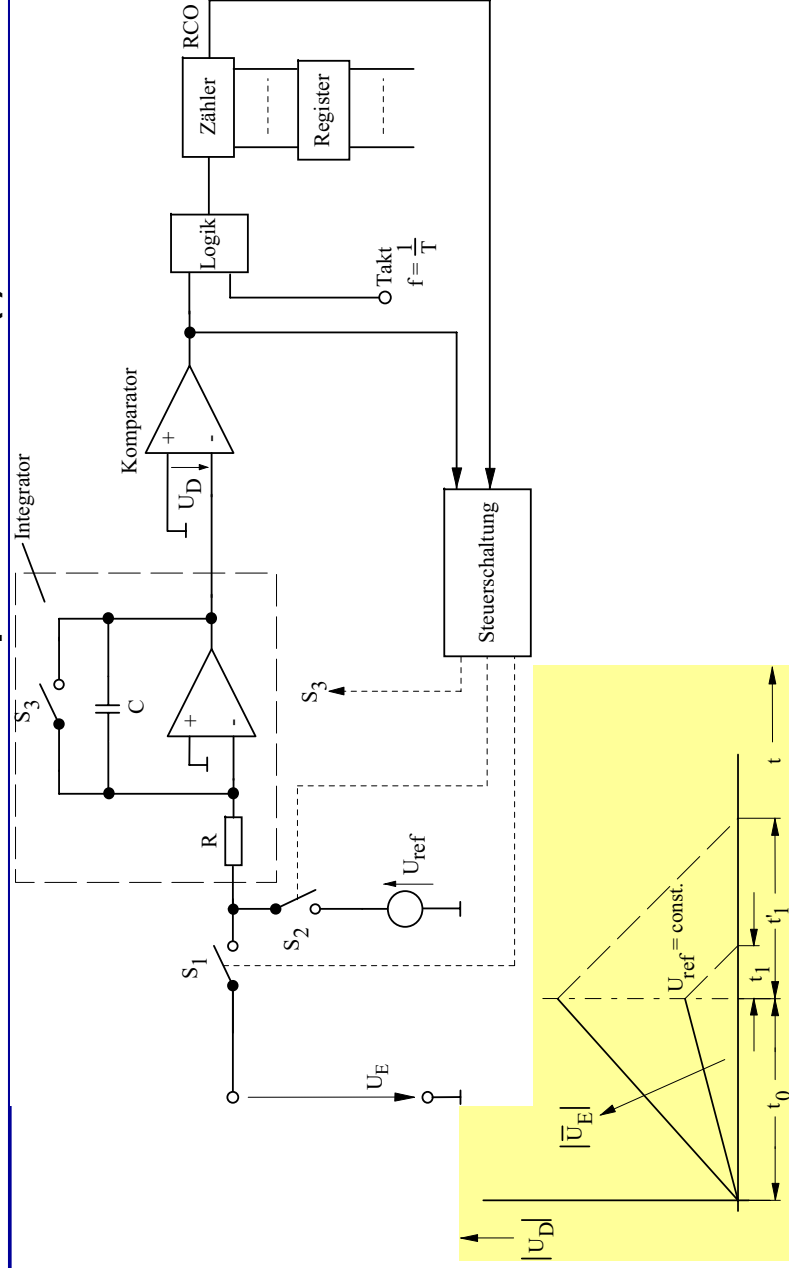


Digitaler Integrator:

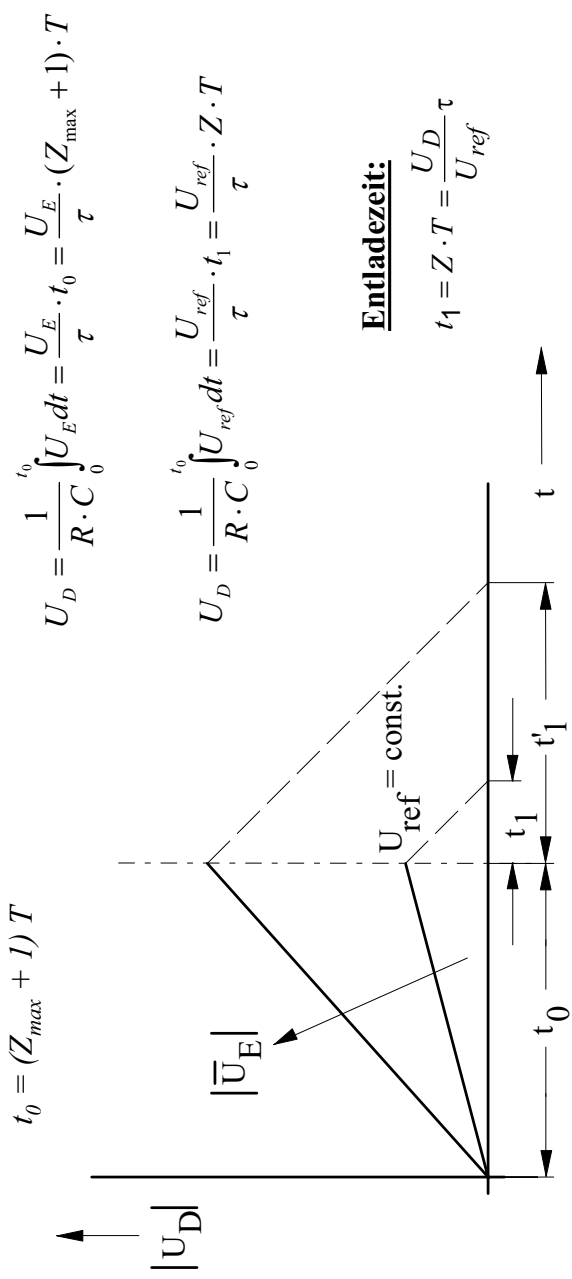
Dauer der Stufen und Stufenhöhe sind immer gleich groß:

Stufenhöhe entspricht $\Delta U = U_{L,SB}$

2.3.3. Dual – Slope – Verfahren (I)



2.3.3. Dual – Slope – Verfahren (II)



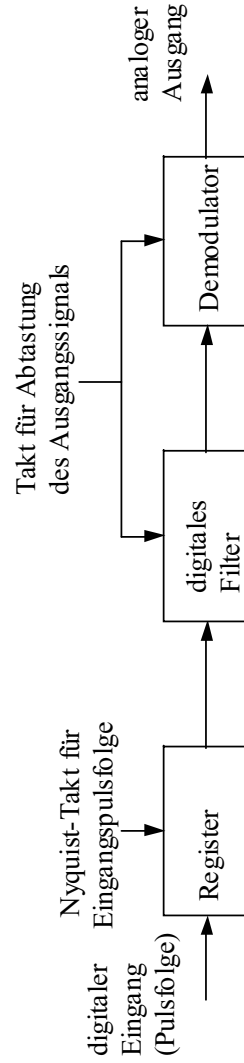
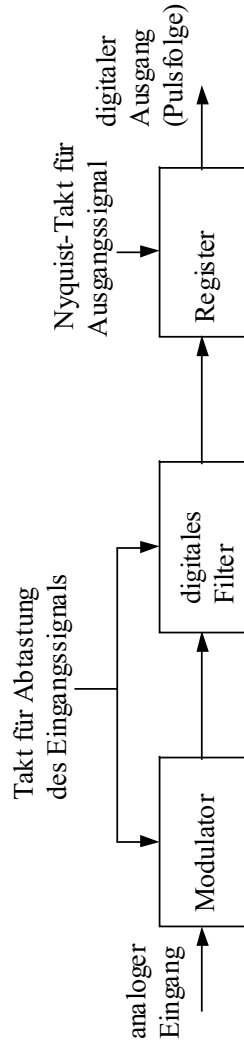
Den Zählerstand Z gewinnt man durch Einsetzen von U_D :

$$Z = (Z_{max} + 1) \frac{\bar{U}_E}{U_{ref}}$$

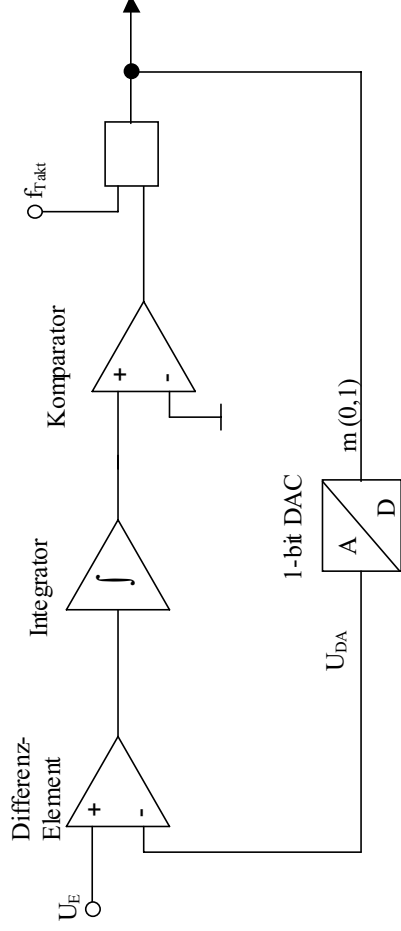
2.3.4. Sigma – Delta – Wandler (Δ - Σ)

U_E auf den Bereich $-U_{max} < U_E < +U_{max}$

$$U_{DA} = \begin{cases} -U_m & \text{für } m = 0 \\ +U_m & \text{für } m = 1 \end{cases}$$



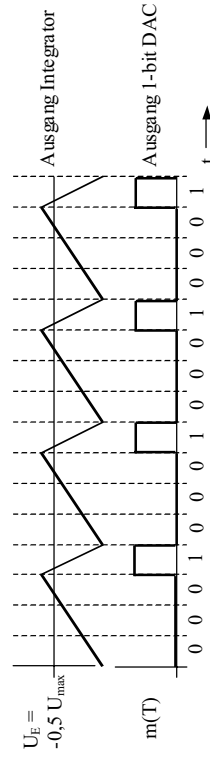
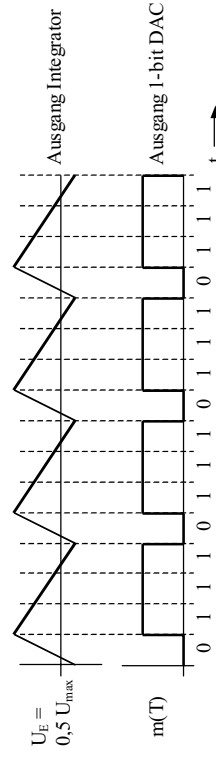
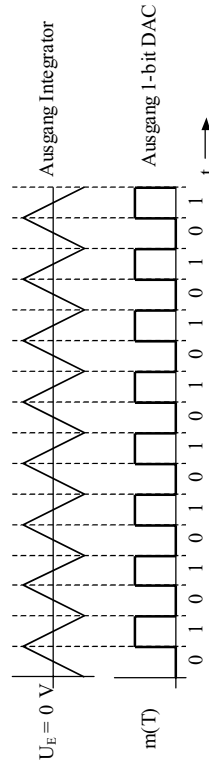
2.3.4. Δ - Σ : Modulator (I)



$$U_E - U_{DA} = \begin{cases} U_E + U_m & \text{für } m = 0 \\ U_E - U_m & \text{für } m = 1 \end{cases}$$

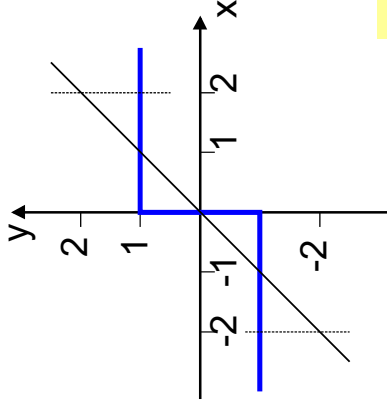
$$u_{AI}(t) = \frac{1}{T} \cdot \int_0^t [u_E(\tau) - u_{DA}(\tau)] d\tau$$

2.3.4. Δ - Σ : Modulator (II)

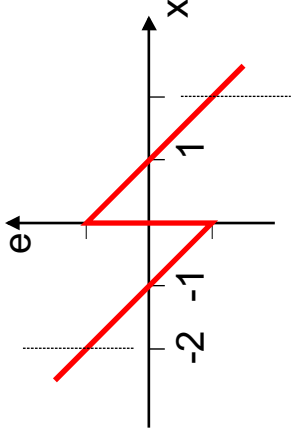


2.3.4. Δ - Σ : Quantisierungsfehler

Komparator



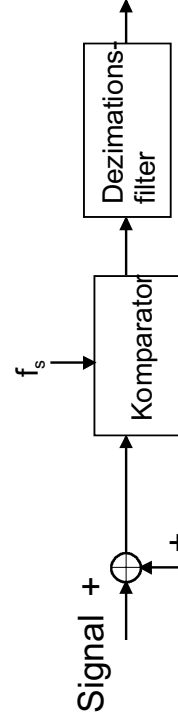
Quantisierungsfehler



Mittlere Leistung
mit $\Delta = U_{\text{LSB}}$

$$e_{\text{rms}}^2 = \frac{1}{\Delta} \int_{-\frac{\Delta}{2}}^{\frac{\Delta}{2}} e^2 de = \frac{\Delta^2}{12}$$

2.3.4. Δ - Σ - Oversampling: Dithering



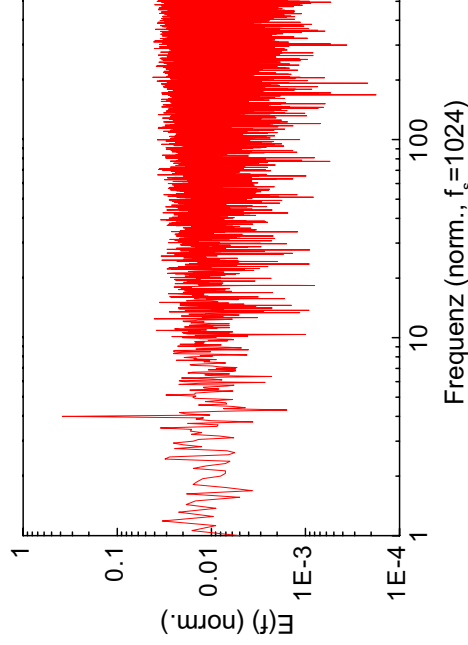
OSR $\uparrow$: Auflösung $\uparrow$

$$OSR = \frac{f_s}{2 \cdot f_0}$$

Signal +
Rausch-
signal

Spektrale Rauschleistungsdichte

$$E(f) = e_{\text{rms}} \cdot \sqrt{2/f_s}$$

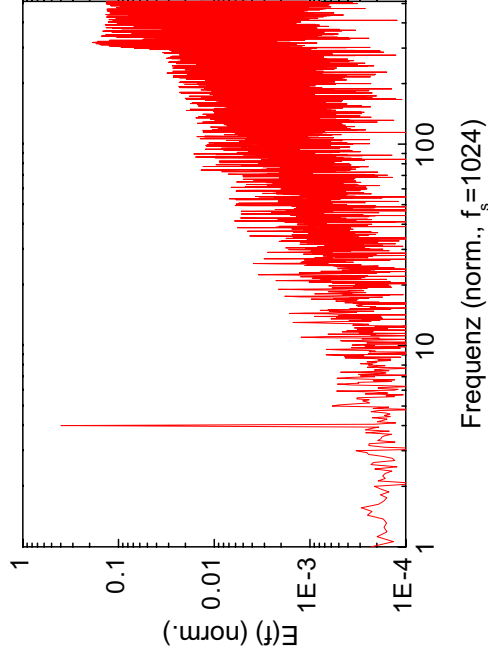
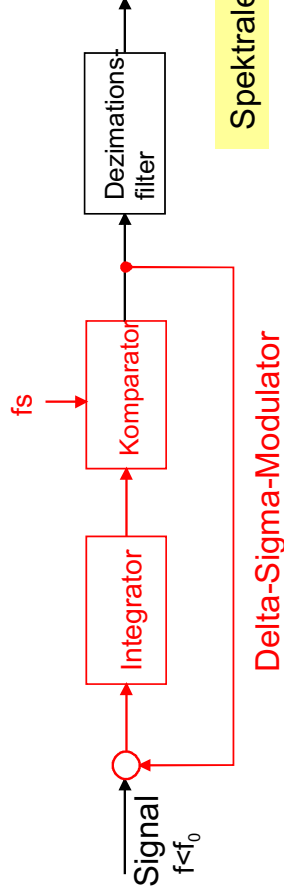


Rauschleistung

$$n_0^2 = \int_0^{f_0} E^2(f) df = e_{\text{rms}}^2 \cdot \frac{1}{OSR}$$

Verdopplung von OSR reduziert
Rauschleistung um 3 dB

2.3.4. Δ - Σ : Quantisierungsfehler



Spektrale Rauschleistungsdichte

$$E(f) = 2e_{rms} \sqrt{2/f_s} \sin\left(\frac{\pi f}{f_s}\right)$$

Rauschleistung

$$n_0^2 = \int_0^{f_0} E^2(f) df \approx e_{rms}^2 \cdot \frac{\pi^2}{3} \cdot \left(\frac{1}{OSR}\right)^3$$

Verdopplung von OSR reduziert
Rauschleistung um 9 dB



2.3.4. Δ - Σ : Auflösung

Signal-Rauschverhältnis

$$SNR = \frac{U_{Signal}}{\sqrt{\frac{1}{f_0} \int_0^{f_0} E^2(f) df}}$$

$\Rightarrow$

$$ENOB = \frac{SNR - 1,76}{6,02}$$

Korrelation zwischen SNR and OSR

Einfaches Dithering

First Order Sigma-Delta
Modulator

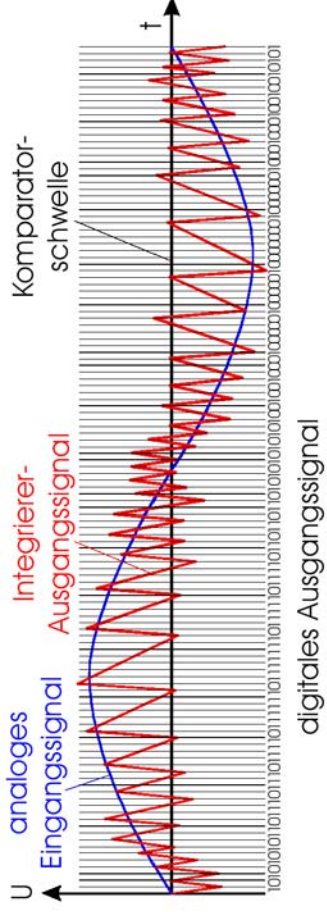
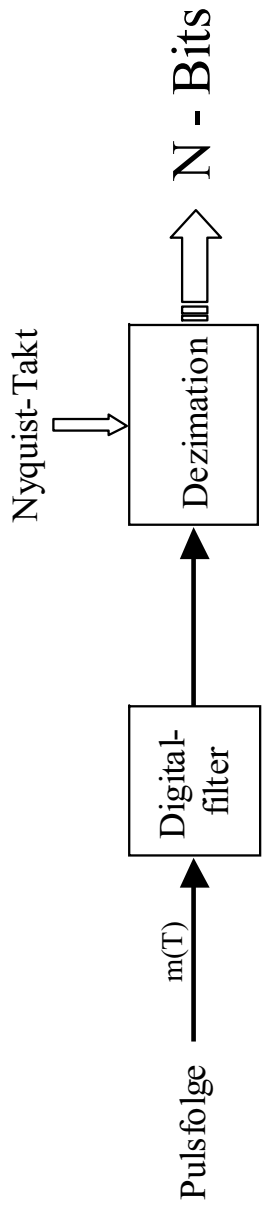
0.5 bit
(3 dB)

1.5 bit
(9 dB)

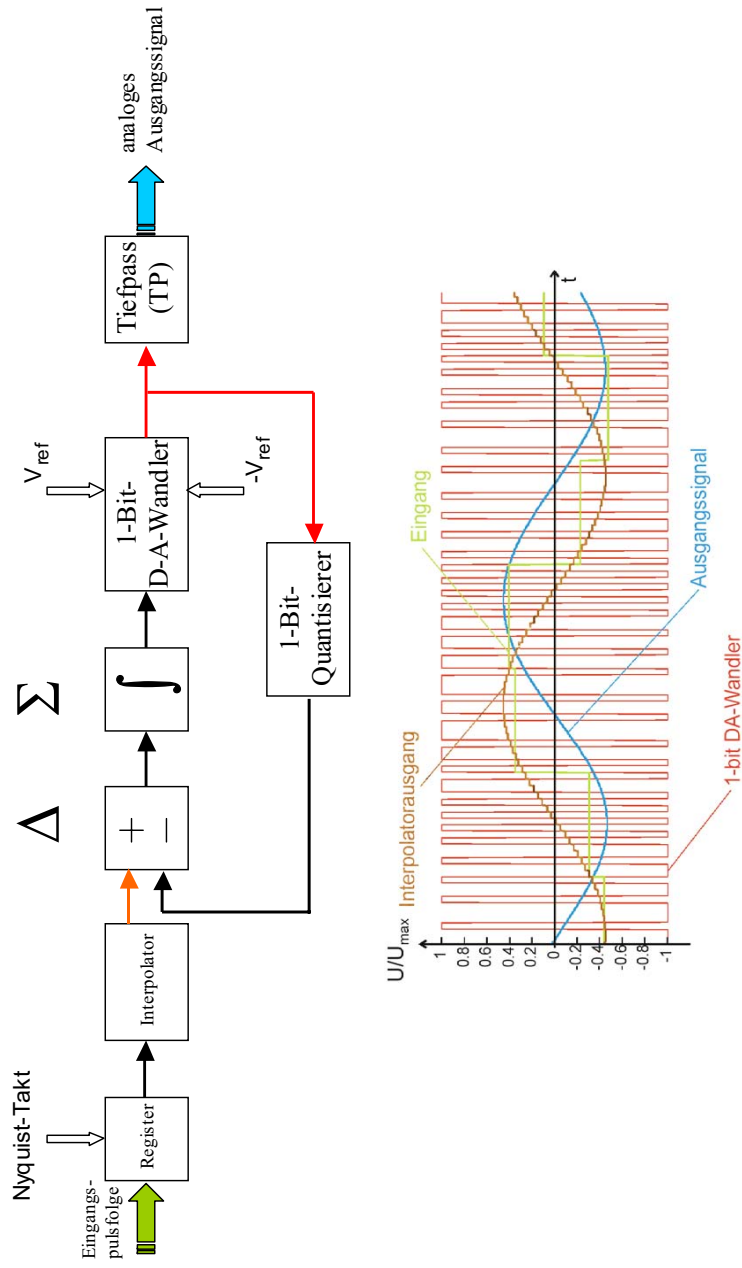
Erhöhung der Auflösung
mit Verdopplung von $OSR = f_s / (2f_0)$



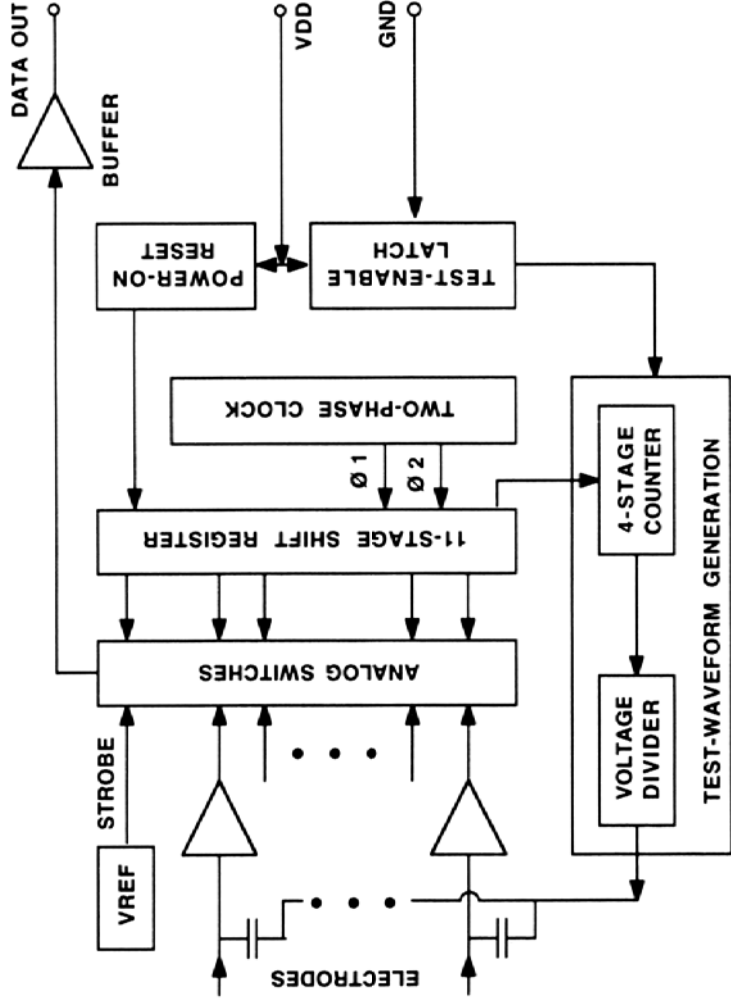
2.3.4. Δ - Σ : Dezimationsfilter



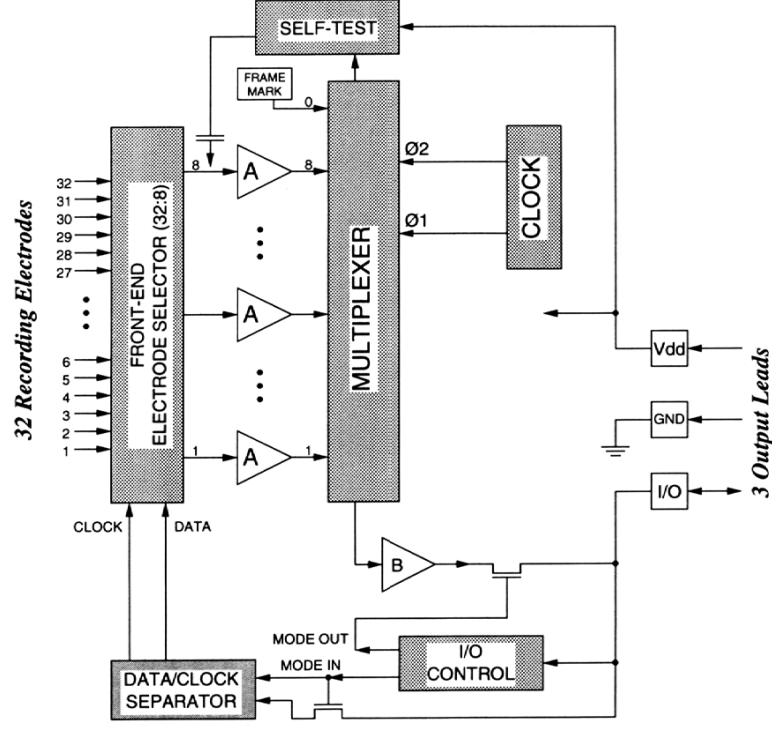
2.3.4. Δ - Σ : Digital – Analog - Wandler



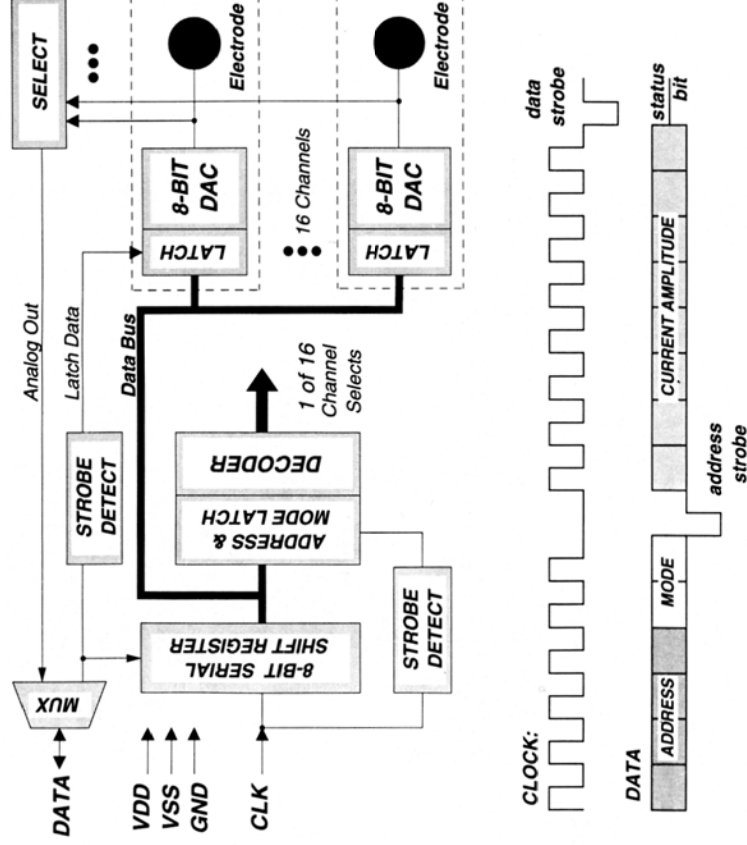
2.4. Mehrkanalsysteme: Hybrid - System



2.4.1. Mehrkanalsysteme: System-on-Chip (I)

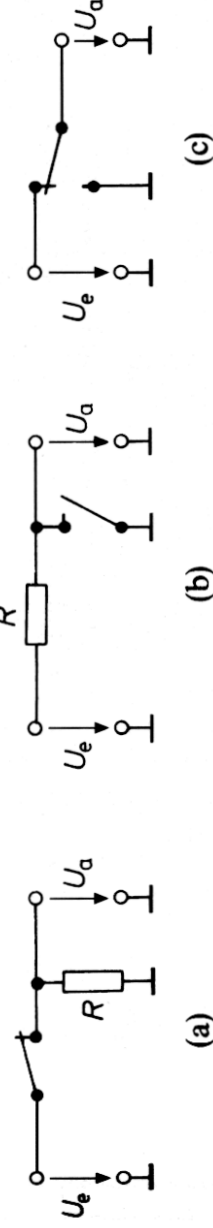


2.4.1. Mehrkanalsysteme: System-on-Chip (II)

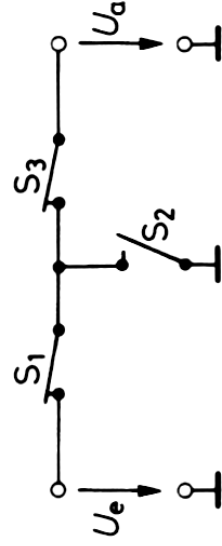


2.4.2. Schalter

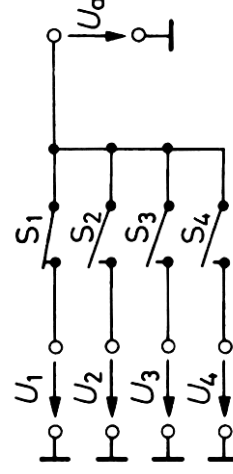
Mechanische Schalter



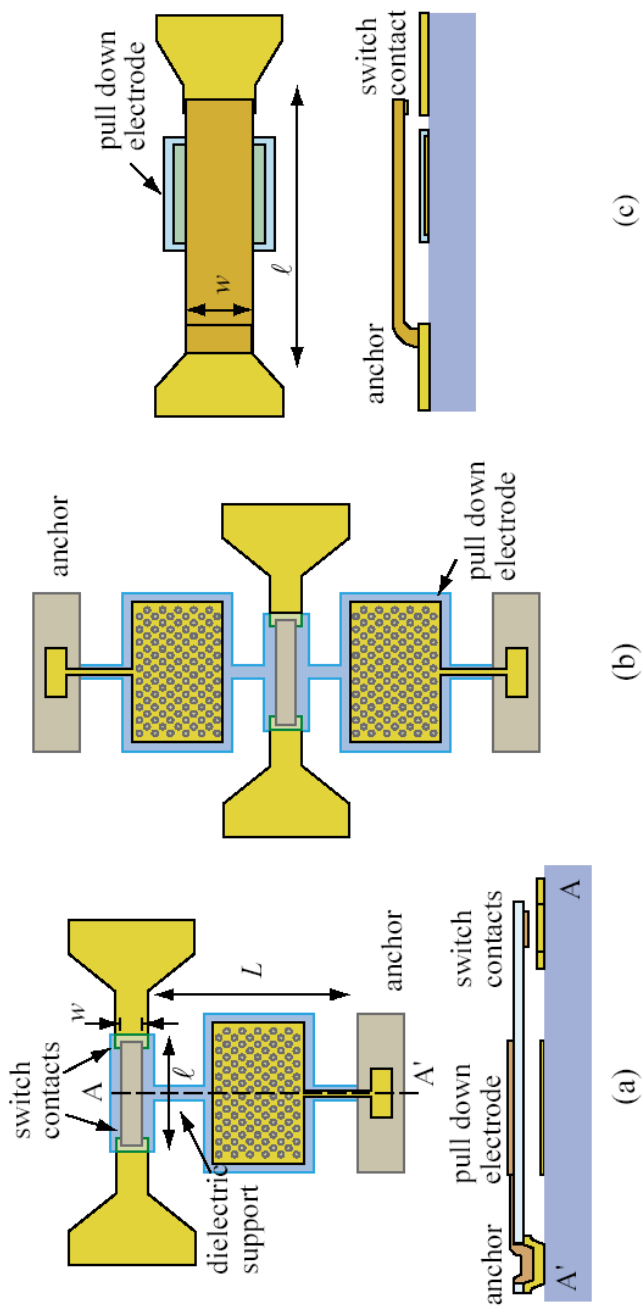
Schalter mit verbesserter Sperrdämpfung



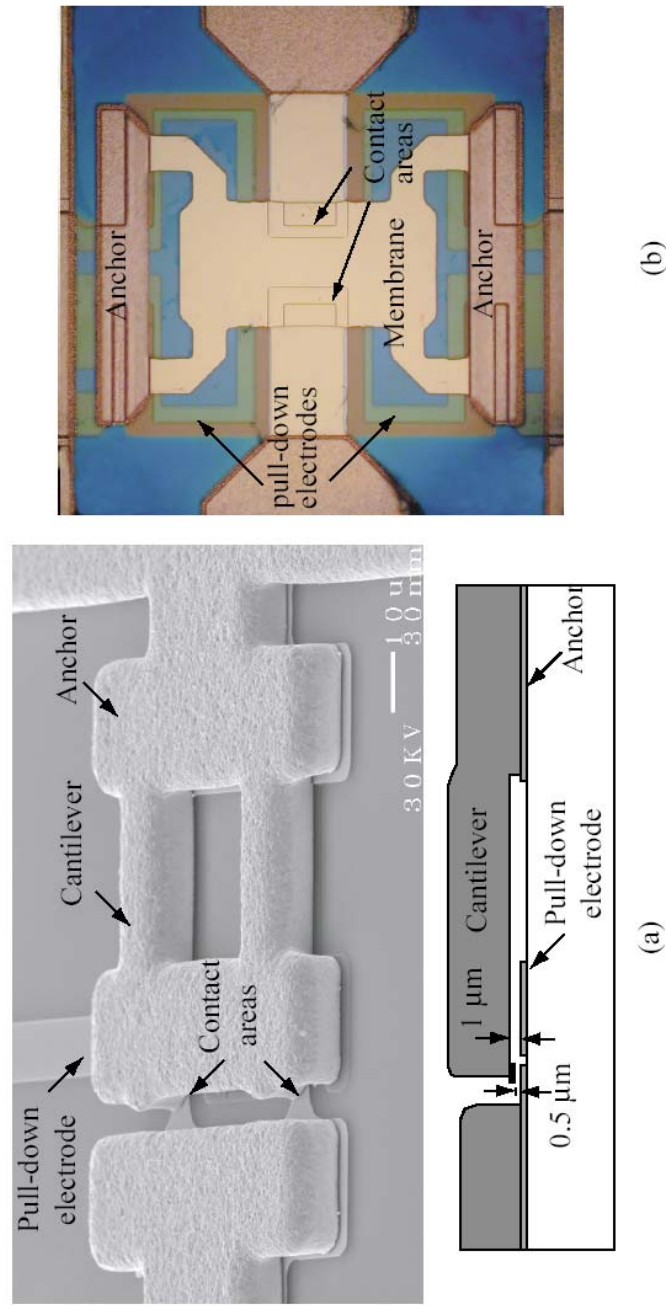
Analog-Multiplexer-Demultiplexer



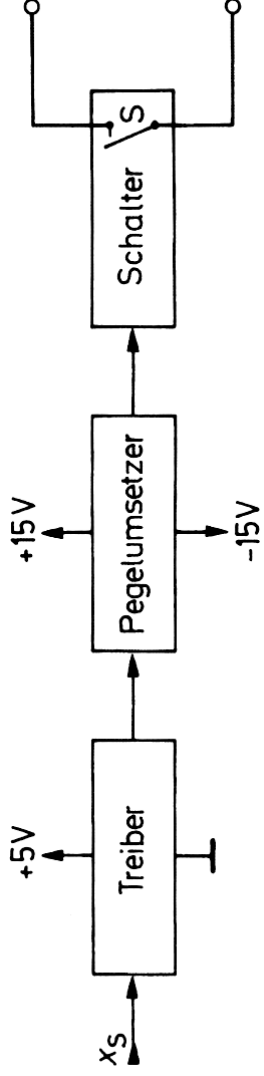
2.4.2. Mikro-elektromechanische Schalter (MEMS I)



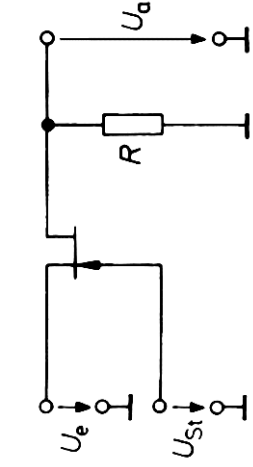
2.4.2. Mikro-elektromechanische Schalter (MEMS II)



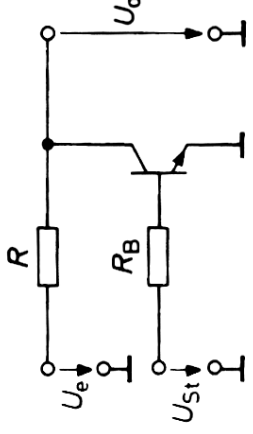
2.4.2. Transistoren als Schalter



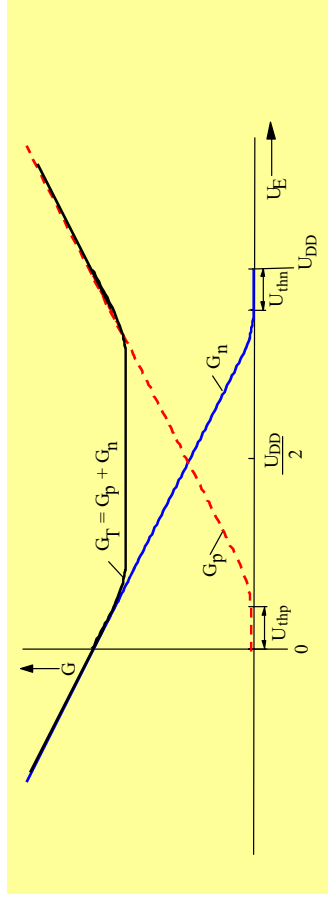
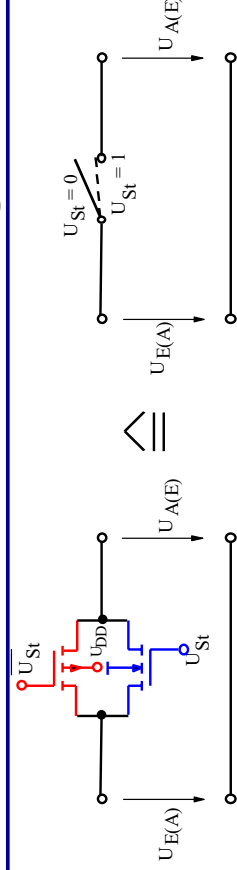
FET als Schalter



Bipolartransistor als Schalter

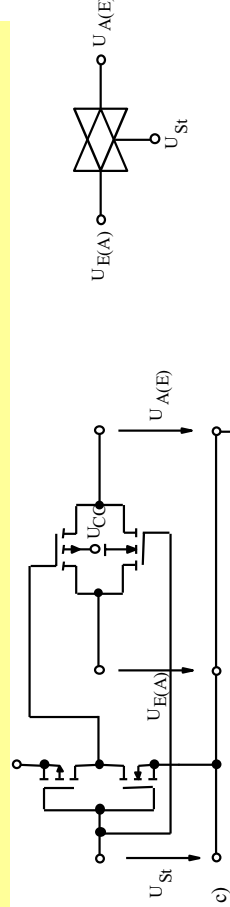


2.4.2. CMOS-Transferrgatter als Schalter

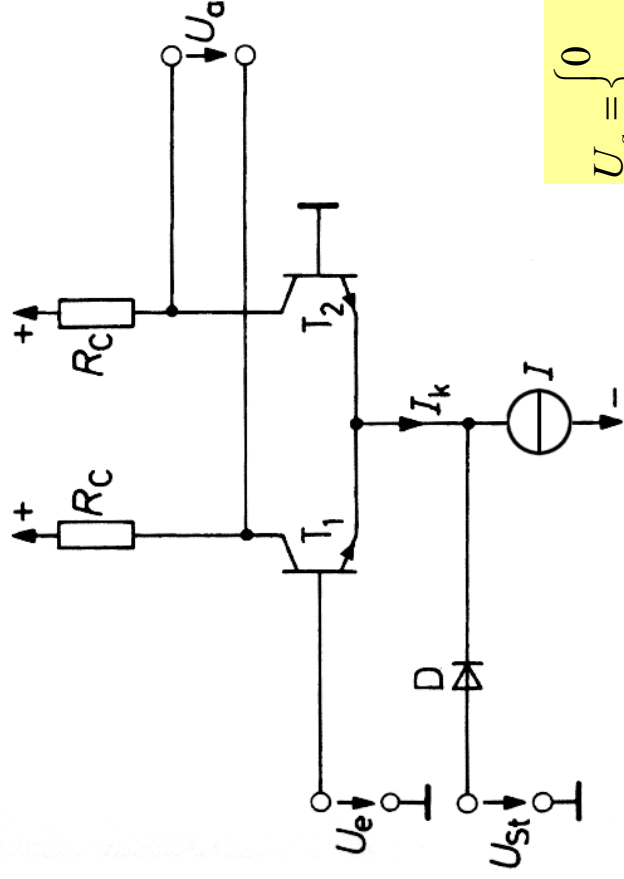


„Schalter offen“:
 $U_{St} = 0$

Schalter geschlossen“:
 $U_{St} = U_{DD}$

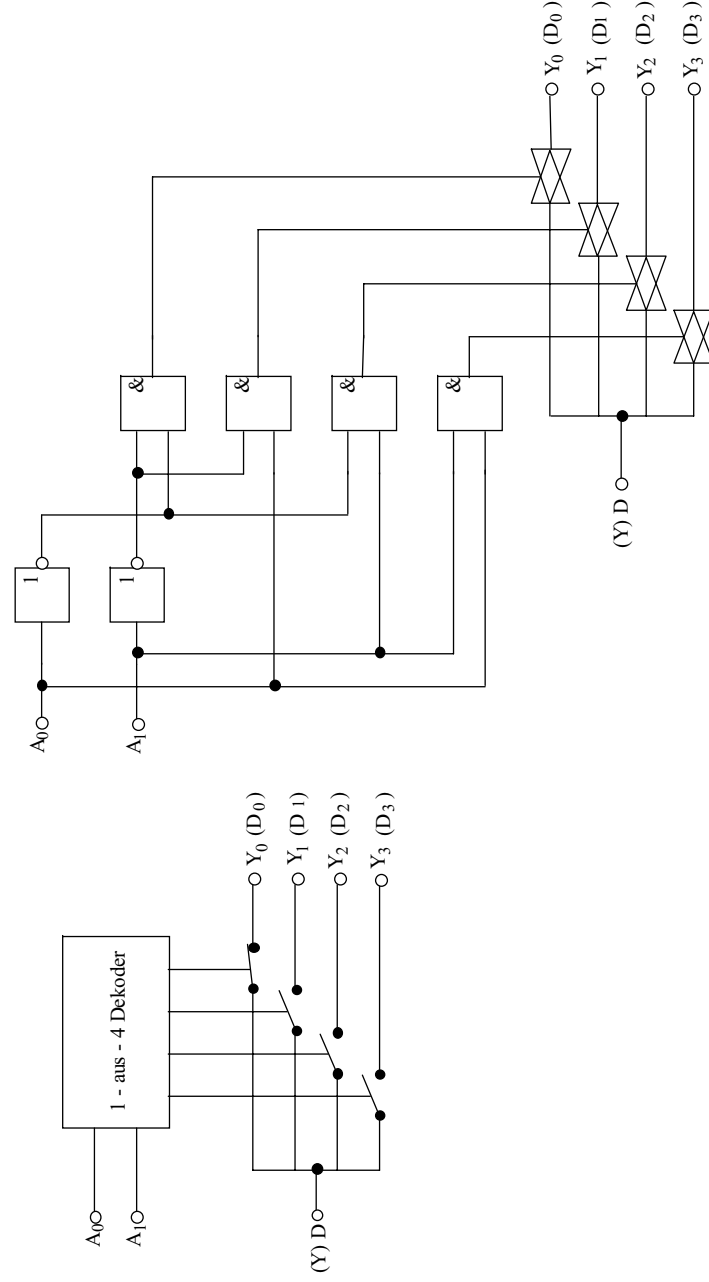


2.4.2. Differenzverstärker als Schalter



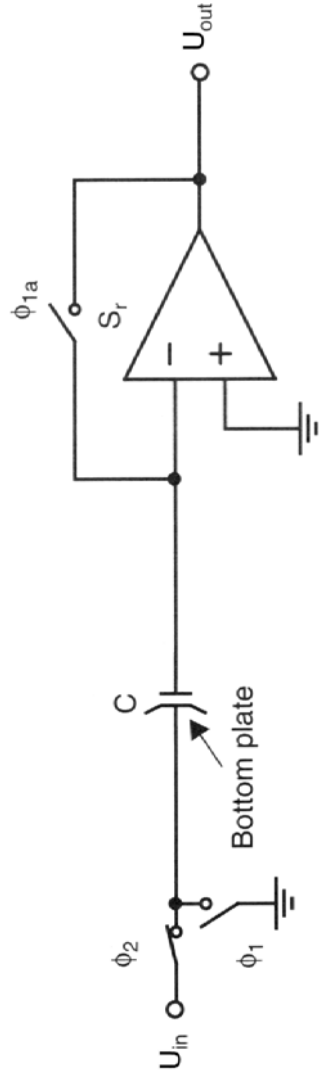
$$U_a = \begin{cases} 0 & \text{für } U_{st} = 1V \\ SR_C U_e & \text{für } m = 1 \end{cases}$$

2.4.2. Multiplexer / Demultiplexer mit Transfer-Gattern



2.5. Auslegung von Analog-Digital-Wandlern

3.4.1. Komparatoren (I)

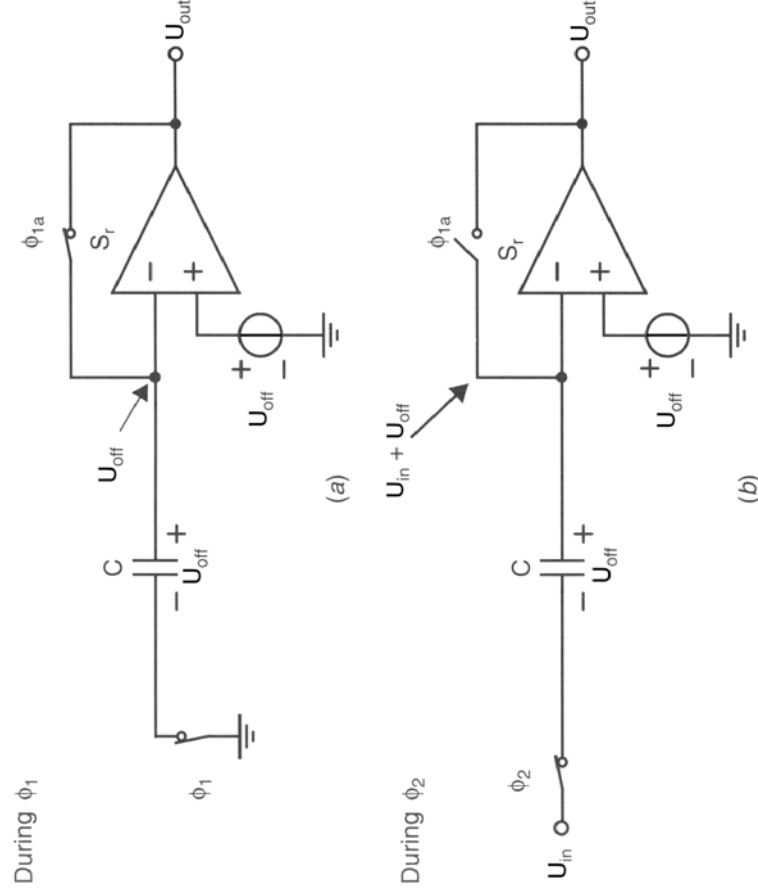


Funktion:

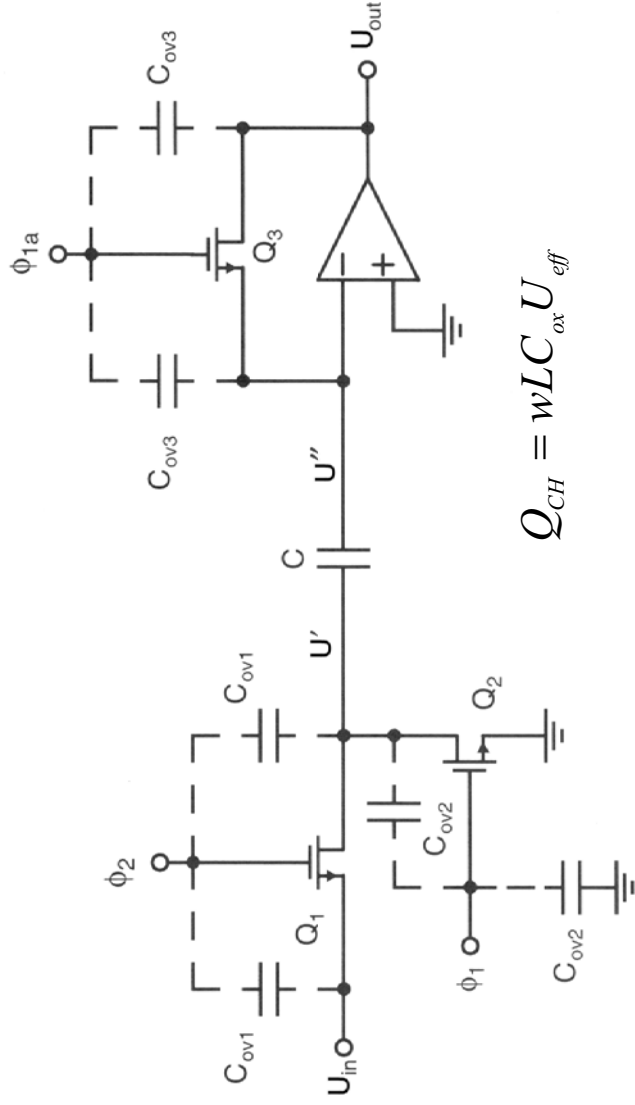
- $\Phi_1 \Rightarrow$ Reset-Phase, d.h. Entladung von C und mit S_r wird $U_C=0$
- $\Phi_2 \Rightarrow$ Vergleichsphase
- Sehr kleiner Offset-Fehler

$U_{\text{aus}} = +U_0$ für $U_D = U_{\text{ein}} > 0$ und $U_{\text{aus}} = -U_0$ für $U_D = U_{\text{ein}} < 0$
mit $U_0 =$ Aussteuergrenze des OPV

2.5.1. Komparatoren: Offset



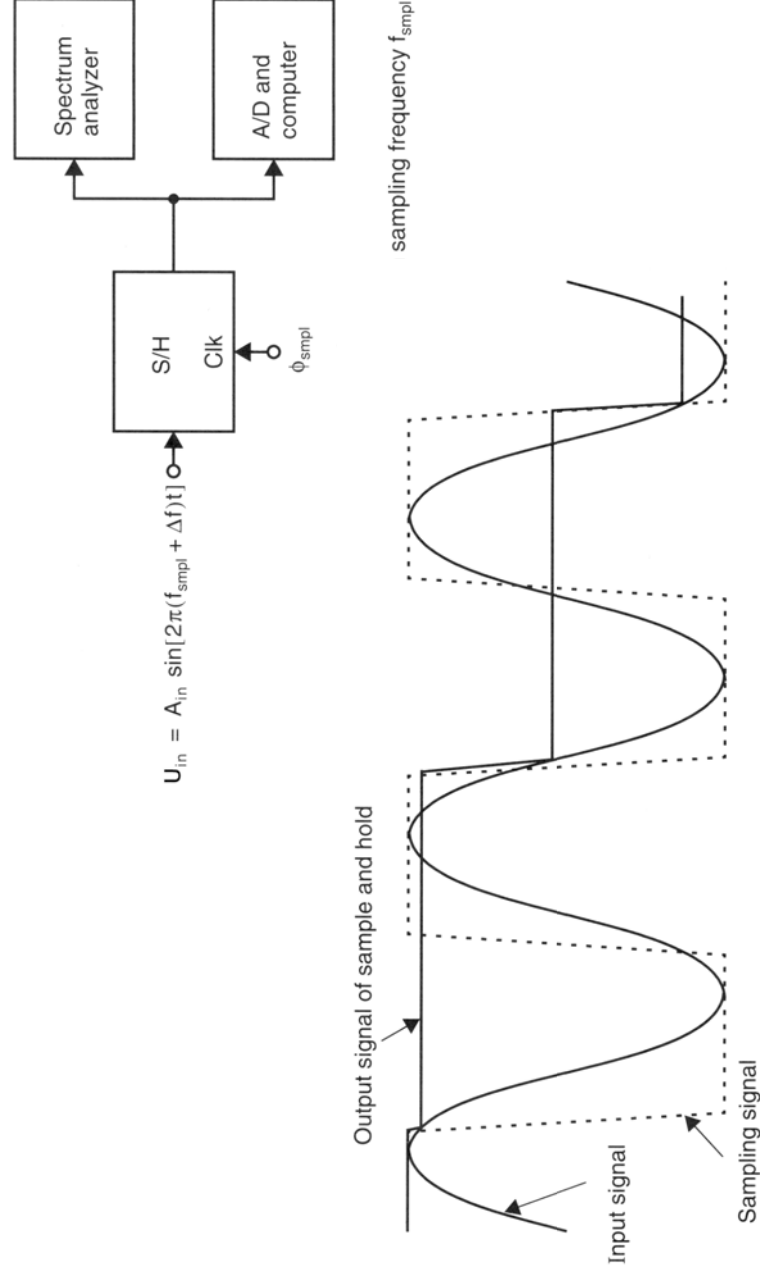
2.5.1. Komparatoren: Ladungsinjektion



$$Q_{CH} = wLC_{ox}U_{eff}$$

$$U'' = -\frac{(U_{DD} - U_{th})w_3L_3C_{ox}}{2C}$$

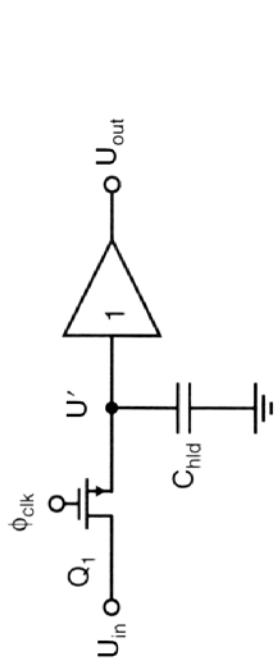
2.5.2. Sample & Hold (I)



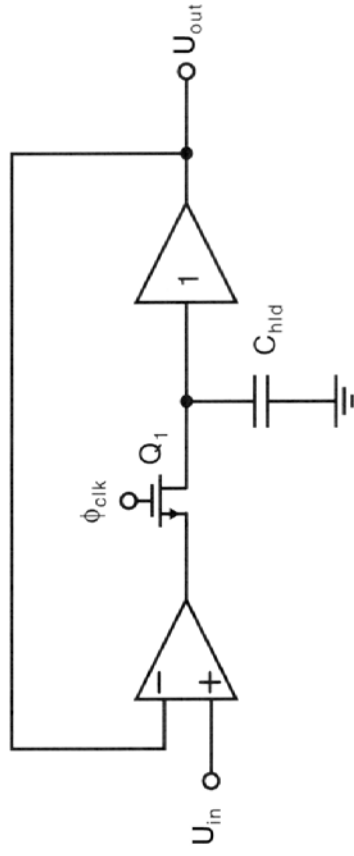
$$U_{in} = A_{in} \sin[2\pi(f_{smpl} + \Delta f)t]$$

2.5.2. Sample & Hold (II)

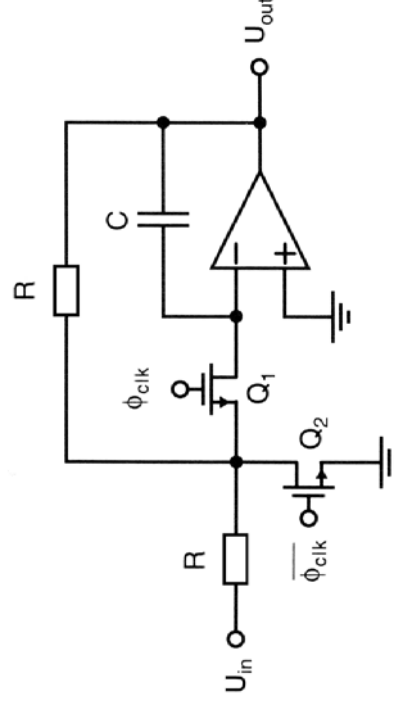
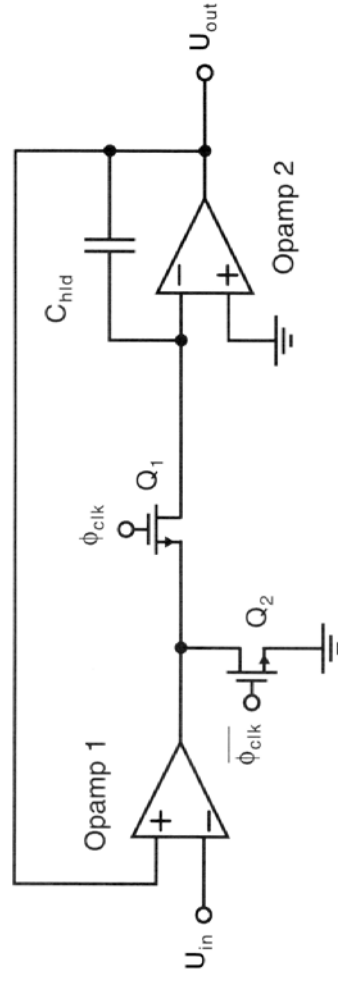
$$\Delta U' = \frac{(U_{DD} - U_{th} - U_{in})wLC_{ox}}{2C_{hld}}$$



Erhöhung des
Eingangswiderstandes

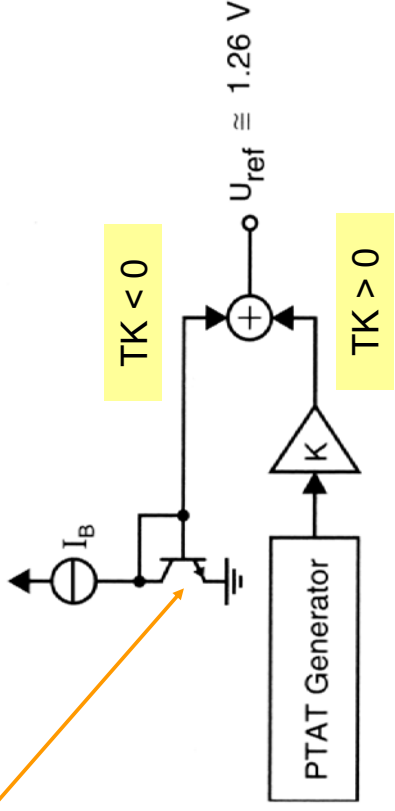


2.5.2. Sample & Hold (III)



2.5.3. Bandgap-Spannungsreferenz (I)

$$U_{BE} = U_{G0} \left(1 - \frac{T}{T_0} \right) + U_{BE0} \frac{T}{T_0} + \frac{mkT}{e} \ln \left(\frac{T_0}{T} \right) + \frac{k_B T}{e} \ln \left(\frac{j_C}{j_{C0}} \right)$$



PTAT – proportional-to-absolute temperature

2.5.3. Bandgap-Spannungsreferenz (II)

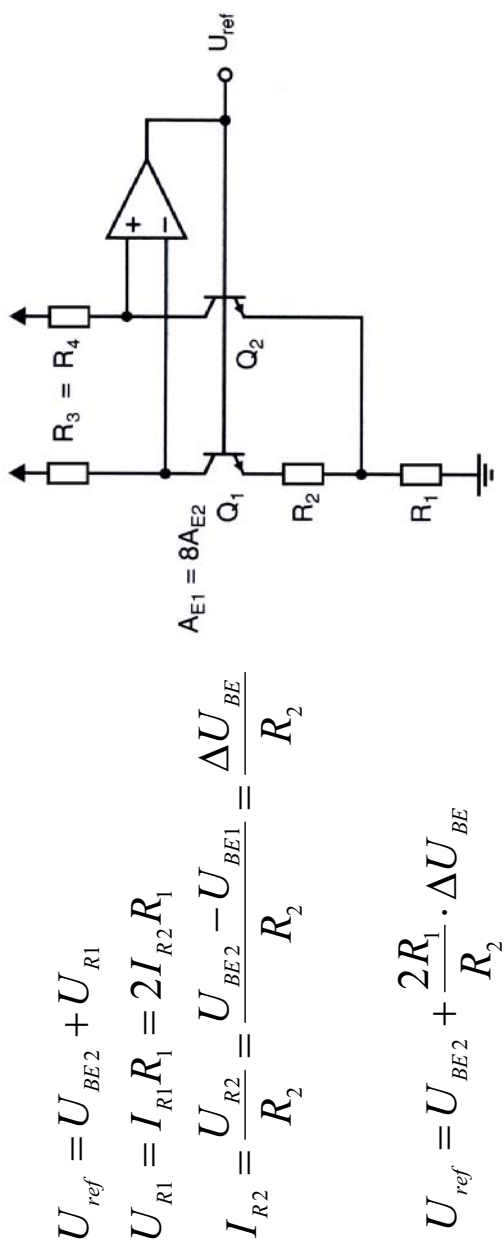
$$\Delta U_{BE} = U_2 - U_1 = \frac{k_B T}{e} \ln \left(\frac{j_C}{j_{C0}} \right)$$

$$U_{ref} = U_{BE2} + \frac{2R_1}{R_2} \cdot \Delta U_{BE}$$

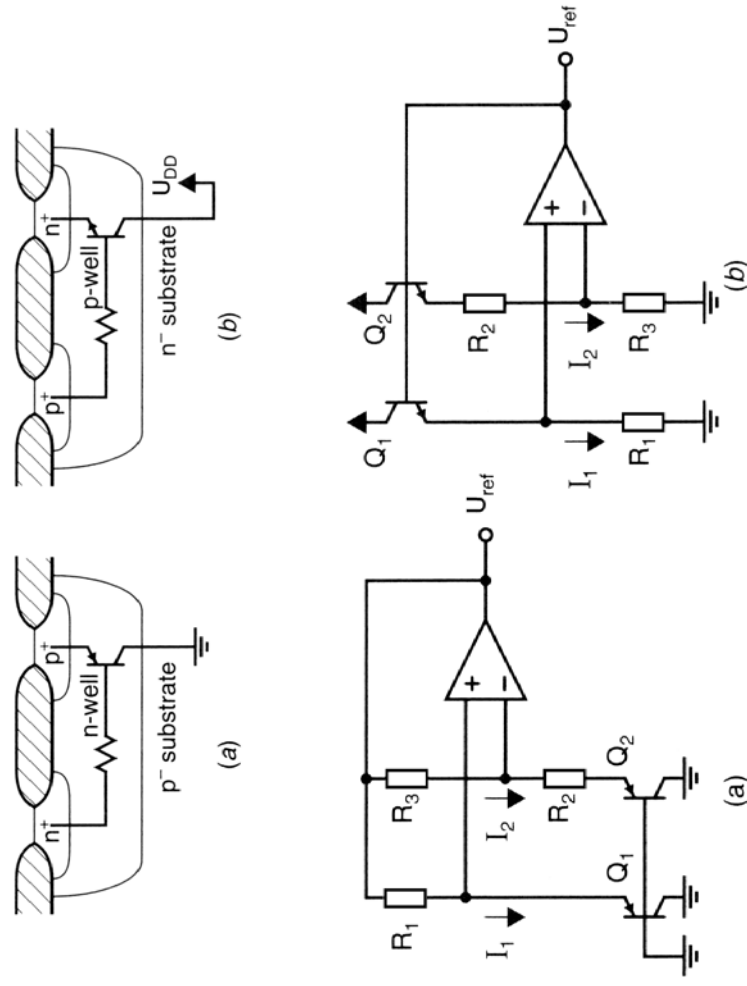
$$\begin{aligned} U_{ref} &= U_{BE2} + K \cdot \Delta U_{BE} = \\ &= U_{G0} \left(1 - \frac{T}{T_0} \right) + \frac{T}{T_0} (U_{BE02} - U_{G0}) + \frac{(m-1)k_B T}{e} \ln \left(\frac{T_0}{T} \right) + K \cdot \frac{k_B T}{e} \ln \left(\frac{j_{C2}}{j_{C1}} \right) \end{aligned}$$

$$\frac{\partial U_{ref}}{\partial T} = \frac{(m-1) \cdot k_B}{e} \ln \left(\frac{T_0}{T} \right)$$

2.5.3. Bandgap-Spannungsreferenz (III)



2.5.3. Bandgap-Spannungsreferenz (IV)



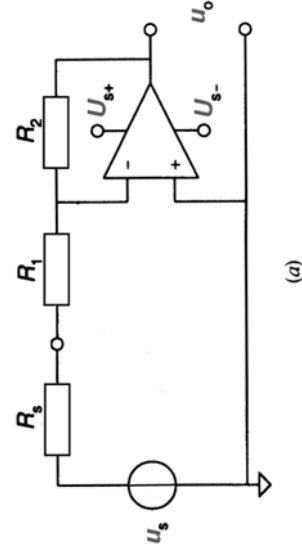
3. Besonderheiten analoger Systeme

- 3.1. Anschluß von Signalquellen (Schirmung, Masse, Störungen)
- 3.2. Spannungsversorgung von Operationsverstärkern
- 3.3. Stromversorgung (Festspannungsregler, Schaltnetzteile, praktische IC)
- 3.4. Praktische Beispiele

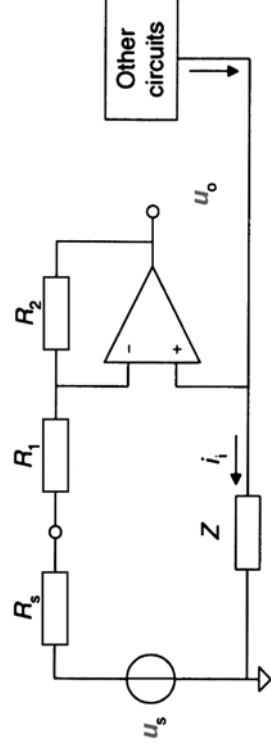


3.1. Anschluß von Signalquellen

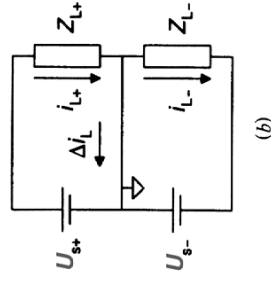
3.1.1. Interferenzen in elektronischen Schaltungen



(a)



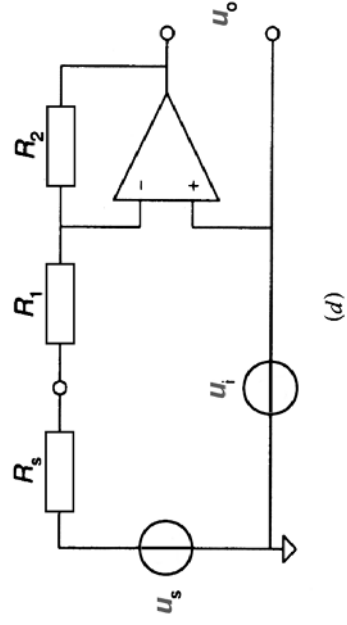
(c)



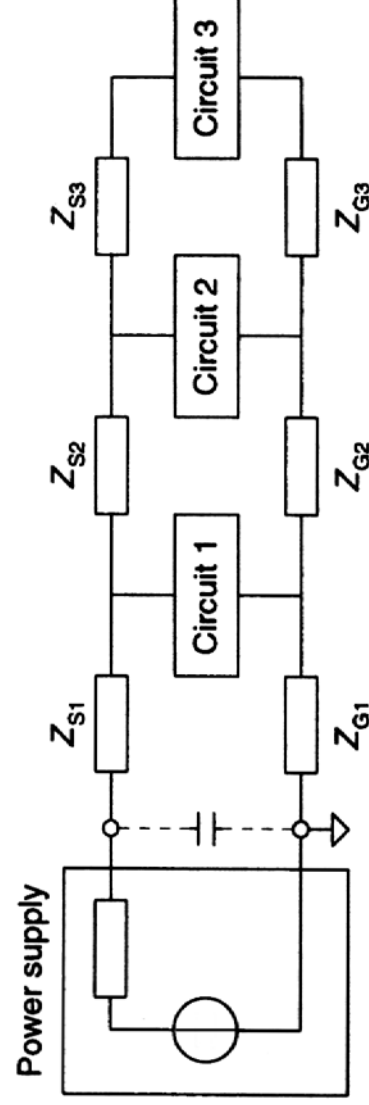
(b)



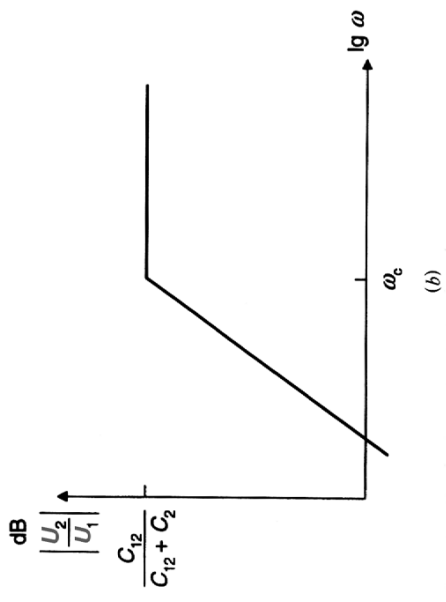
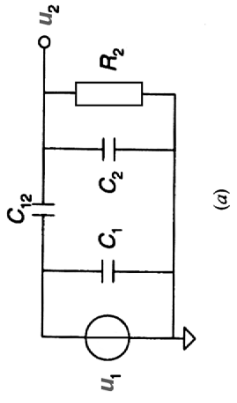
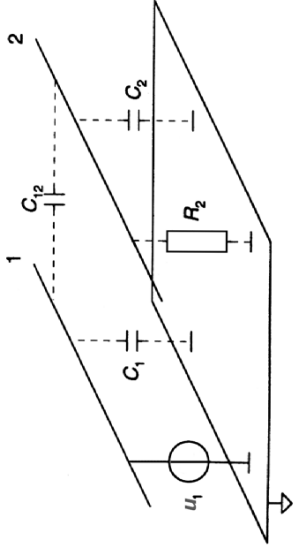
3.1.1. Interferenzen: Beispiel (S. 458)



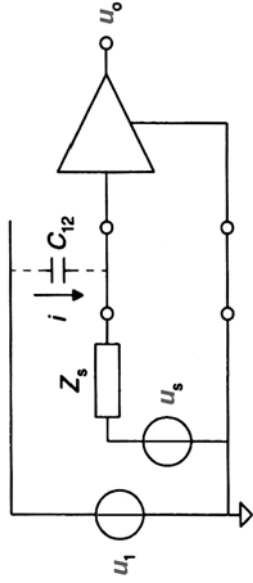
3.1.1. Interferenzen: Versorgungsleitungen



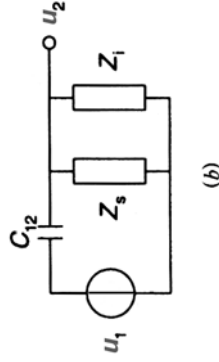
3.1.1. Interferenzen: Kapazitive Kopplung (I)



3.1.1. Interferenzen: Kapazitive Kopplung (II)

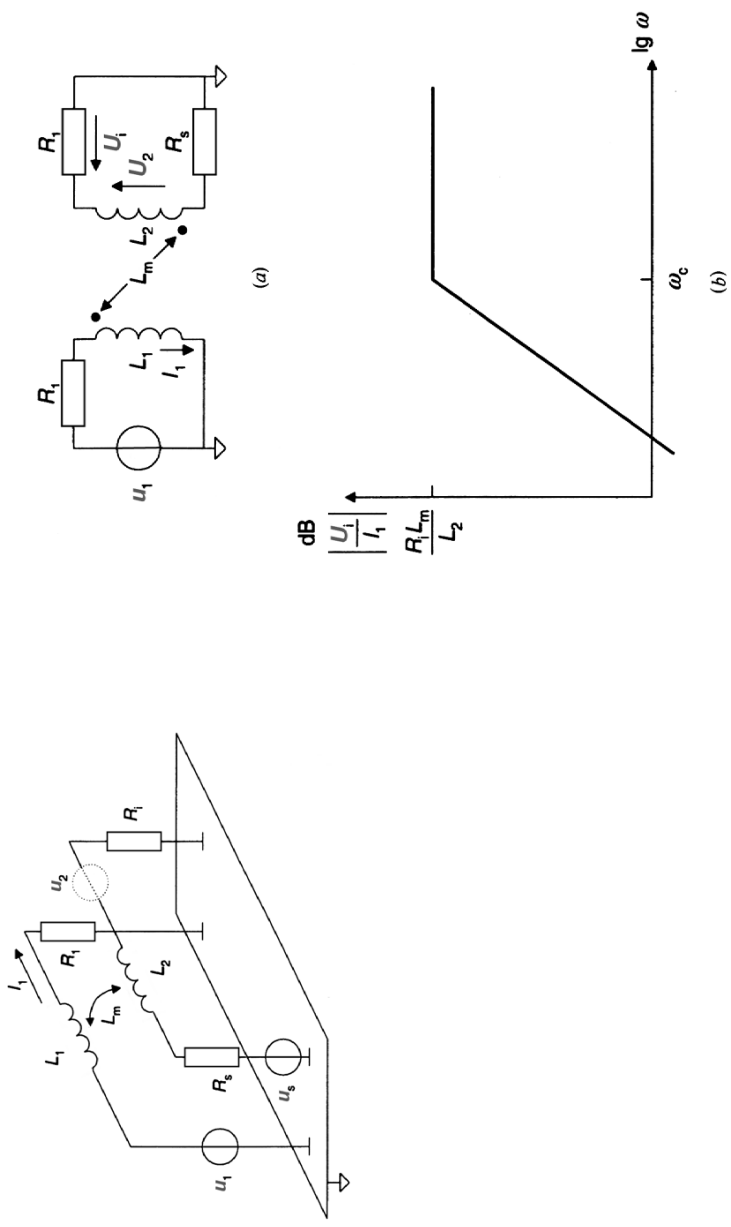


(a)

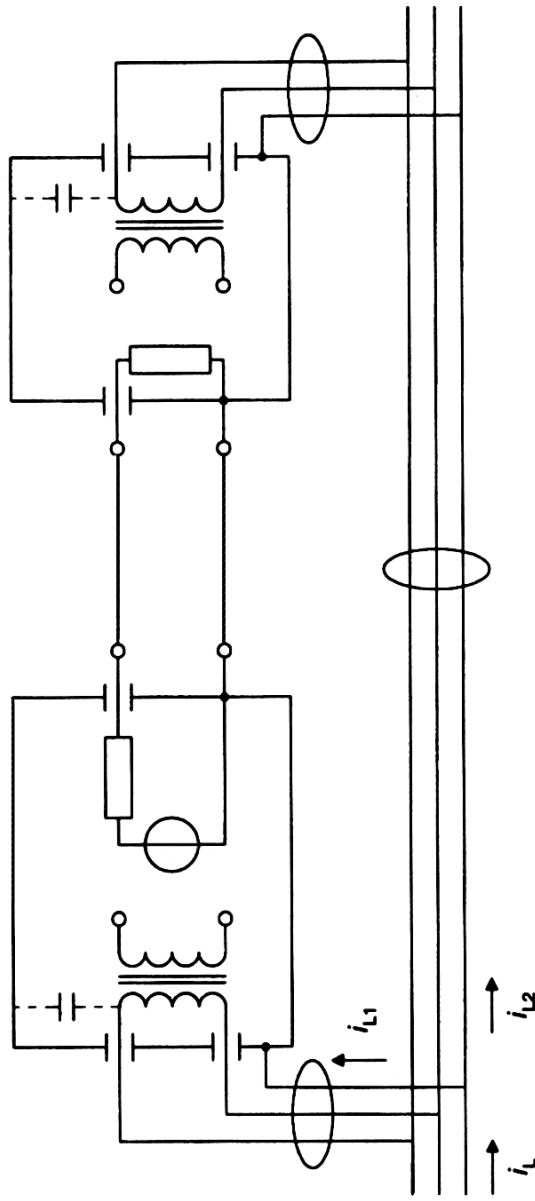


(b)

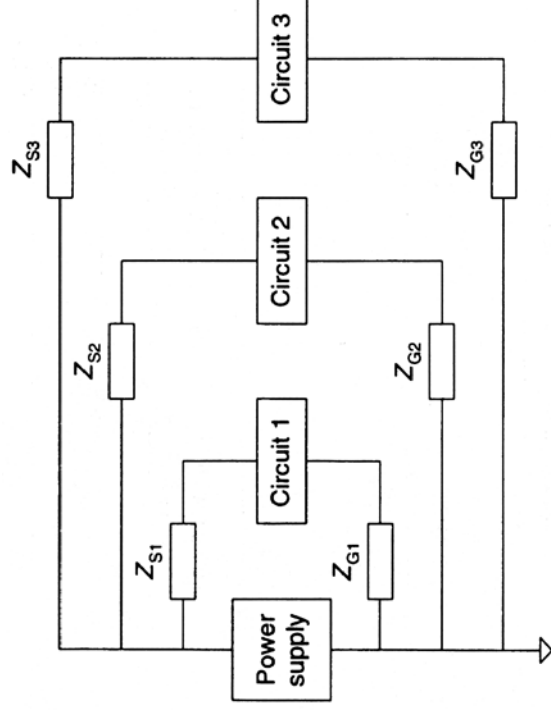
3.1.1. Interferenzen: Induktive Kopplung



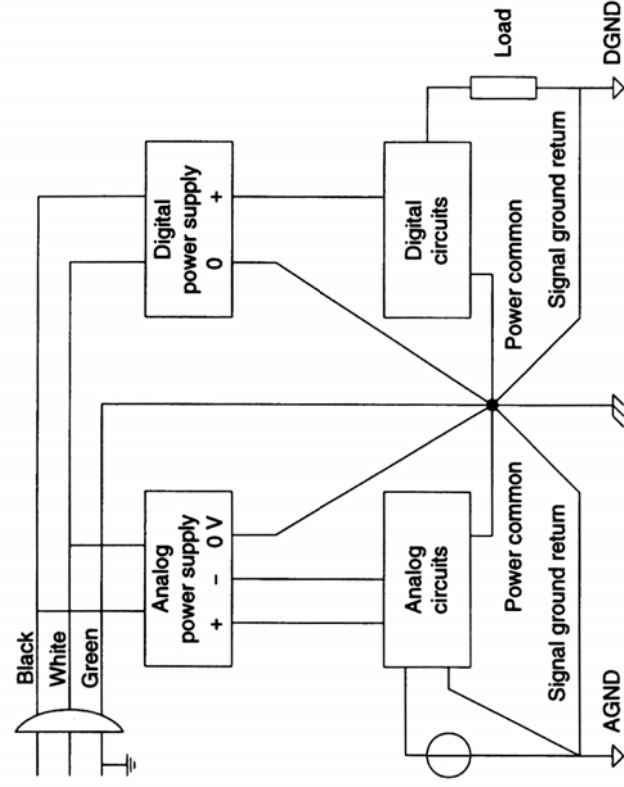
3.1.2. Erdung von Schaltungen (I)



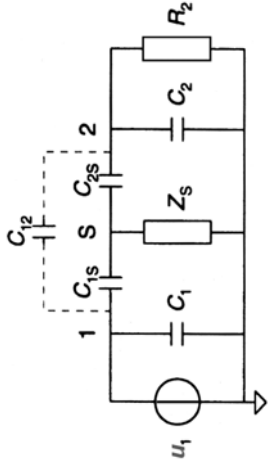
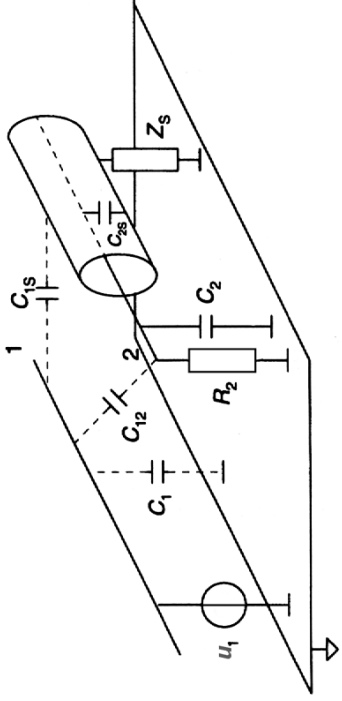
3.1.2. Erdung von Schaltungen (II)



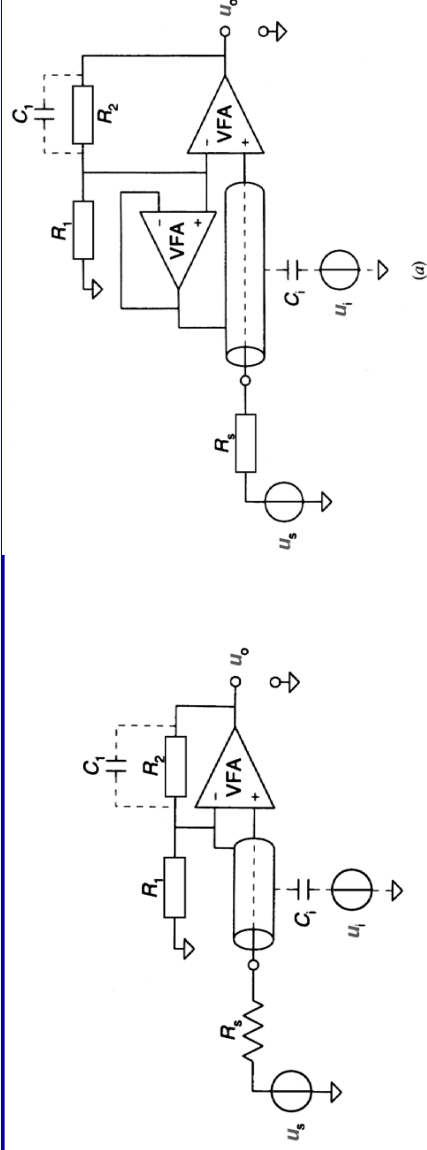
3.1.2. Erdung von Schaltungen (III)



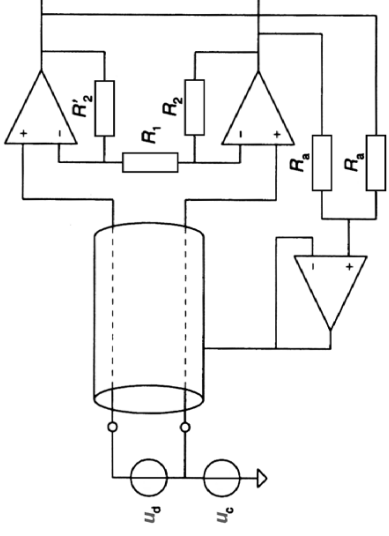
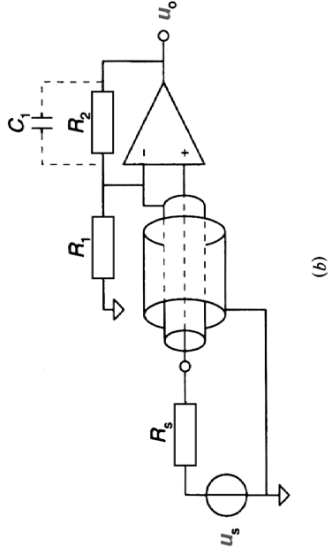
3.1.3. Abschirmung von Leitungen und Schaltungen



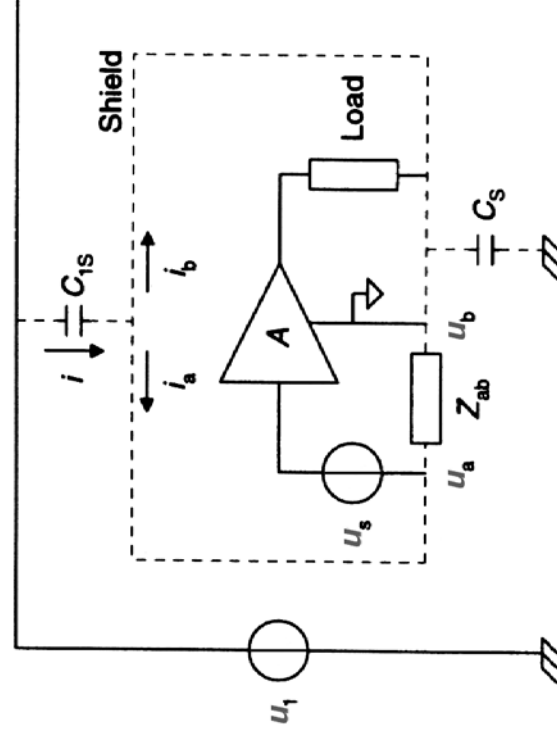
3.1.3. Abschirmung: Schutzschaltungen (I)



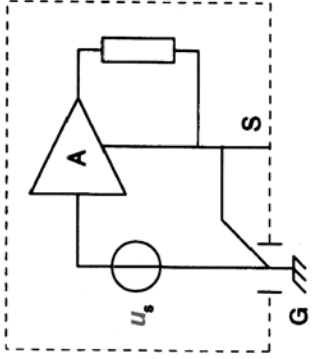
3.1.3. Abschirmung: Schutzschaltungen (II)



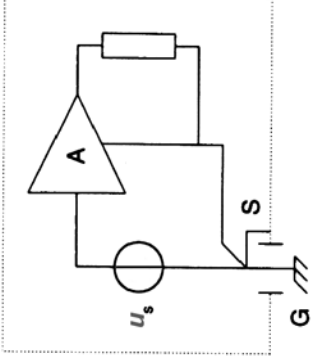
3.1.4. Erdung von Abschirmungen (I)



3.1.4. Erdung von Abschirmungen (II)

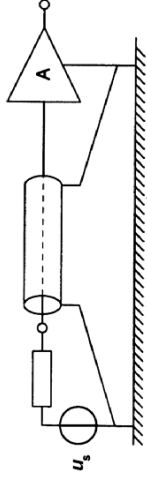


(a)

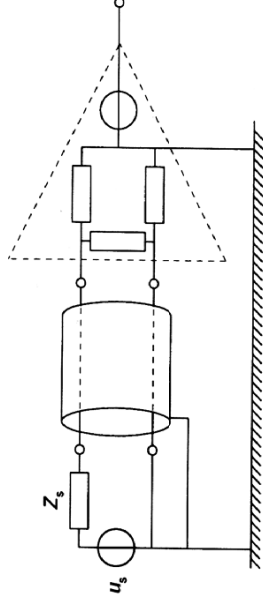


(b)

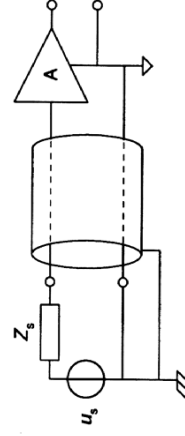
3.1.4. Erdung der Abschirmungen von Leitungen



(a)

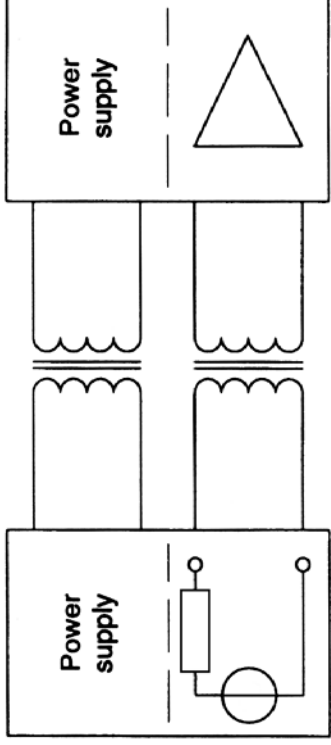


(b)

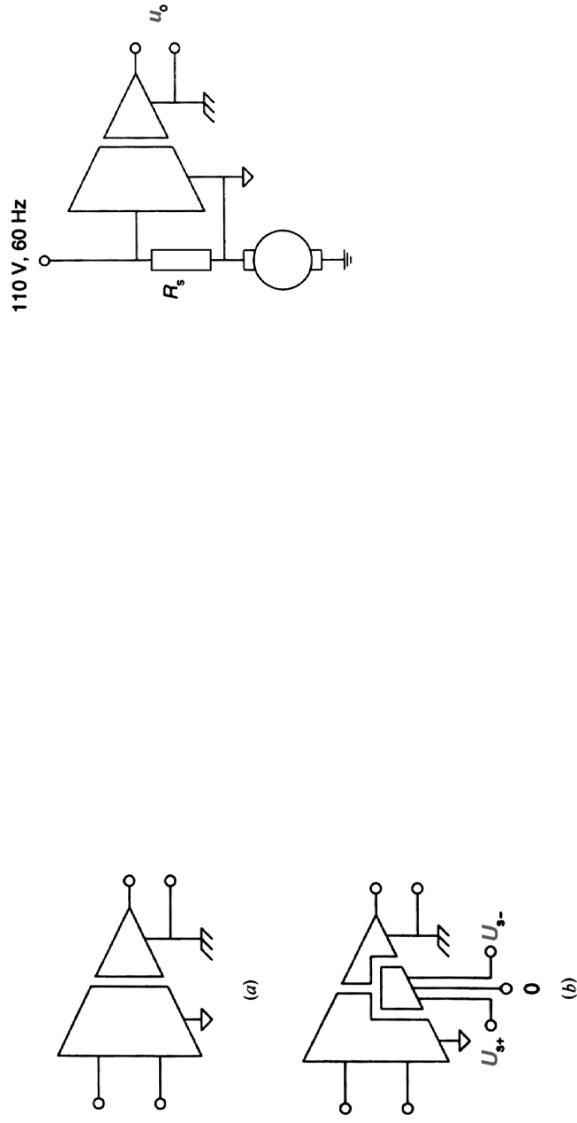


(c)

3.1.5. Isolationsverstärker (Trennverstärker)



3.1.5. Isolationsverstärker (Trennverstärker)



3.1.5. Isolationsverstärker (Trennverstärker)

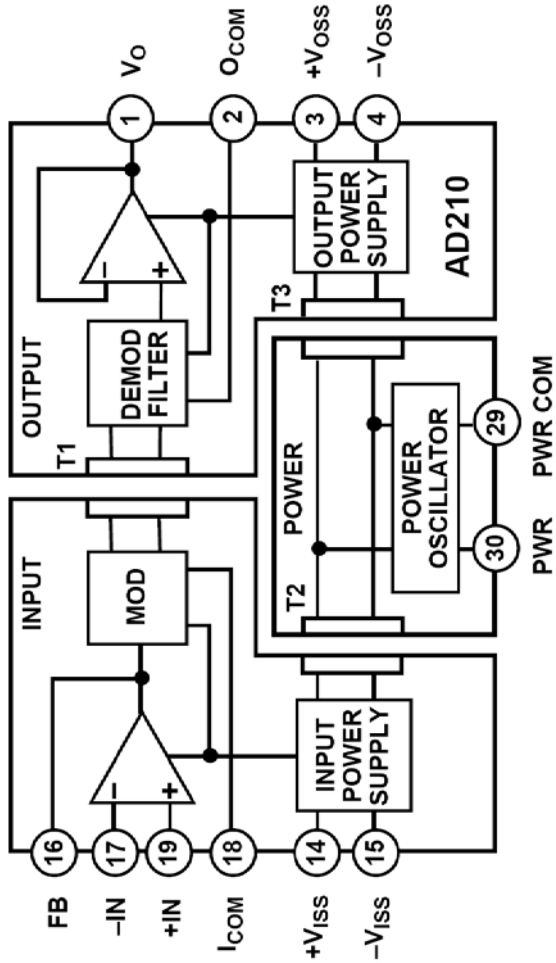


Figure 1. AD210 Block Diagram

3.1.5. Isolationsverstärker (Trennverstärker)

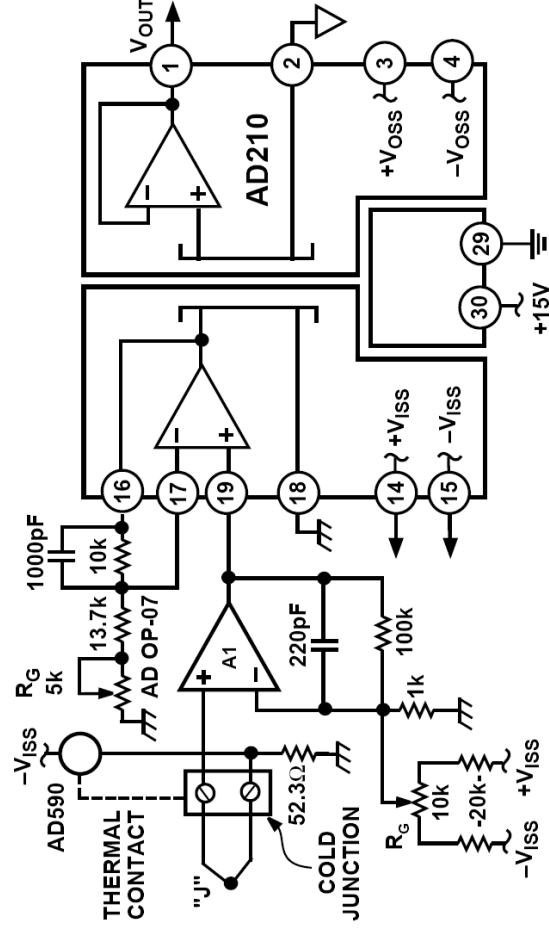
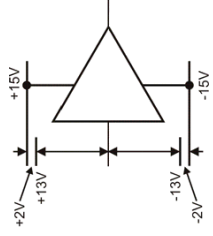


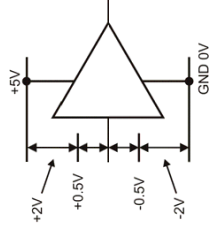
Figure 20. Isolated Thermocouple Amplifier

3.2. Spannungsversorgung von Operationsverstärkern

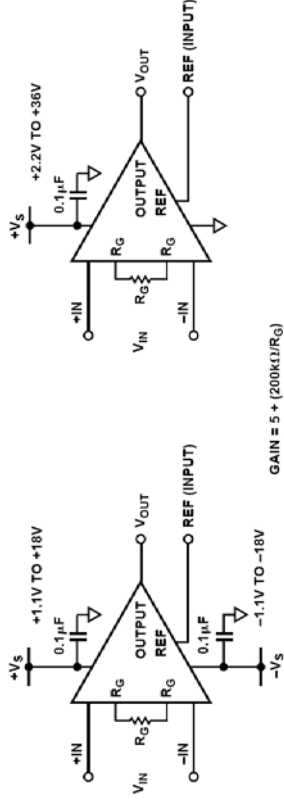
Doppelspannungs-
versorgung



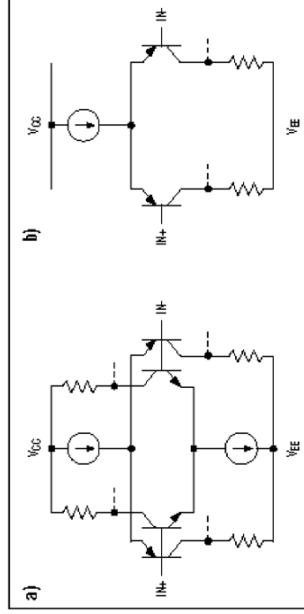
Einfachspannungs-
versorgung



AD 627

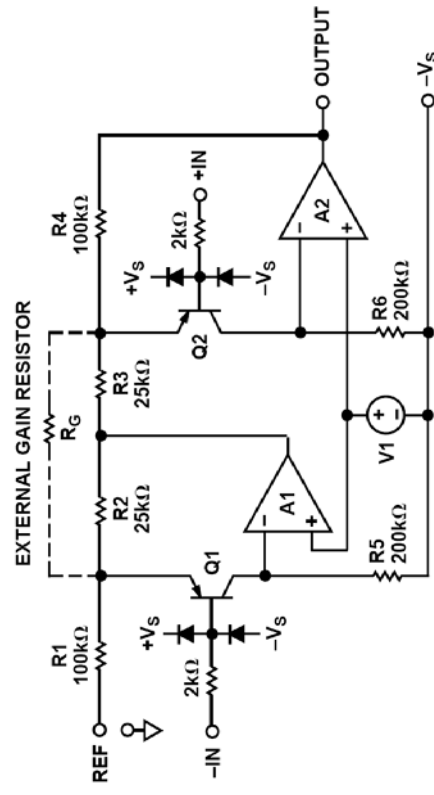


3.2.1. Einfach- vs. Doppelspannungsversorgung (I)

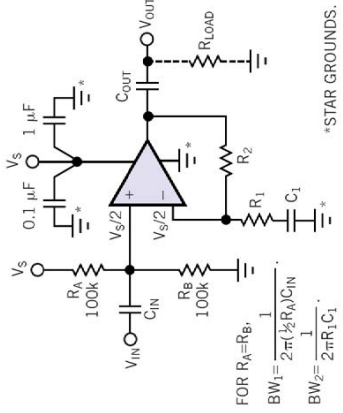


Eingangsstufen: Prinzip

Eingangsstufen: AD 627



3.2.1. Einfach- vs. Doppelspannungsversorgung (II)



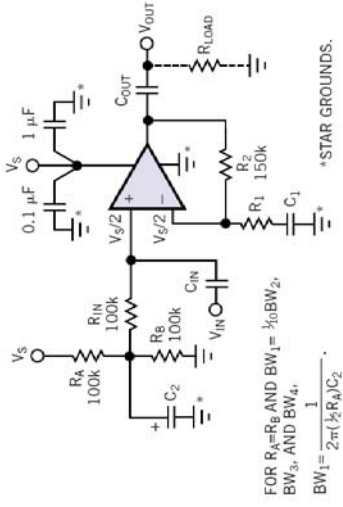
FOR $R_A=R_B$,

$$BW_1 = \frac{1}{2\pi(\frac{1}{2}R_A)C_{IN}}$$

$$BW_2 = \frac{1}{2\pi R_1 C_1}$$

$$BW_3 = \frac{1}{2\pi R_{LOAD}C_{OUT}}$$

FOR AC SIGNALS, $V_{OUT}=V_{IN}(1+(R_2/R_1))$,
WHERE $X_{C1} < R_1$.



FOR $R_A=R_B$ AND $BW_1 = \frac{1}{2\pi BW_2}$,

BW_3 AND BW_4 ,

$$BW_1 = \frac{1}{2\pi(\frac{1}{2}R_A)C_2}$$

$$BW_2 = \frac{1}{2\pi R_{IN}C_{IN}}$$

$$BW_3 = \frac{1}{2\pi R_1 C_1}$$

$$BW_4 = \frac{1}{2\pi R_{LOAD}C_{OUT}}$$

FOR AC SIGNALS, $V_{OUT}=V_{IN}(1+(R_2/R_1))$,
WHERE $X_{C1} < R_1$.

TO MINIMIZE INPUT-BIAS-CURRENT ERRORS,
 R_2 SHOULD EQUAL $R_{IN}+(\frac{1}{2}R_A)$.

TABLE 2—TYPICAL COMPONENT VALUES FOR THE CIRCUIT OF FIGURE 3

Gain	Input bandwidth (Hz)	Output bandwidth (Hz)	R_1 (k Ω)	C_1 (μ F)	C_2 (μ F)	R_{LOAD} (k Ω)
10	10	10	2	8.2	0.5	100
20	10	10	1	20	0.5	100
10	50	50	2	2	0.1	100
100	20	20	1	8.2	0.3	100

Notes: $R_2=50$ k Ω , and $R_A=R_B=100$ k Ω .

Capacitance values are rounded off to next highest common value. Because the C_1/R_1 pole and $C_2/R_2/R_1$ poles are at the same frequency, and both affect the input bandwidth, each capacitor is $\sqrt{2}$ larger than it would otherwise be for a single-pole, RC-coupled input.



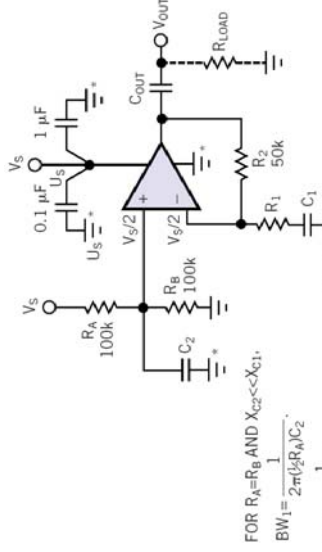
Universität Karlsruhe (TH)

Institut für Mikro-und Nanoelektronische Systeme



23

3.2.1. Einfach- vs. Doppelspannungsversorgung (III)



FOR $R_A=R_B$ AND $X_{C2} < X_{C1}$,

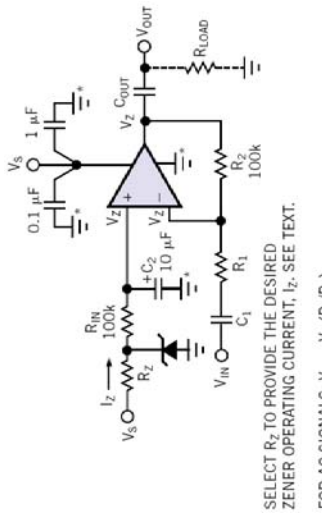
$$BW_1 = \frac{1}{2\pi(\frac{1}{2}R_A)C_2}$$

$$BW_2 = \frac{1}{2\pi R_1 C_1}$$

$$BW_3 = \frac{1}{2\pi R_{LOAD}C_{OUT}}$$

FOR AC SIGNALS, $V_{OUT}=V_{IN}(R_2/R_1)$,
WHERE $X_{C1} < R_1$.

TO MINIMIZE INPUT-BIAS-CURRENT ERRORS,
 R_2 SHOULD EQUAL $\frac{1}{2}R_A$.



SELECT R_2 TO PROVIDE THE DESIRED
ZENER OPERATING CURRENT, I_Z . SEE TEXT.

FOR AC SIGNALS, $V_{OUT}=V_{IN}(R_2/R_1)$,
WHERE $X_{C1} < R_1$,

$$R_2 = \frac{V_S - V_{ZENER}}{I_Z}$$

$$BW_1 = \frac{1}{2\pi R_1 C_1}$$

$$BW_2 = \frac{1}{2\pi R_{IN}C_2}$$

$$BW_3 = \frac{1}{2\pi R_{LOAD}C_{OUT}}$$

TO MINIMIZE INPUT-BIAS-CURRENT ERRORS,
 R_2 SHOULD EQUAL R_{IN} .



Universität Karlsruhe (TH)

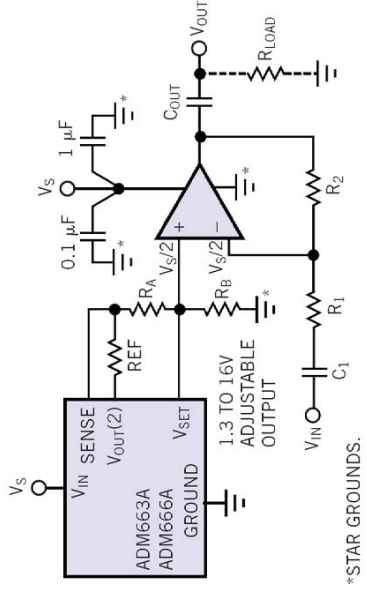
Institut für Mikro-und Nanoelektronische Systeme



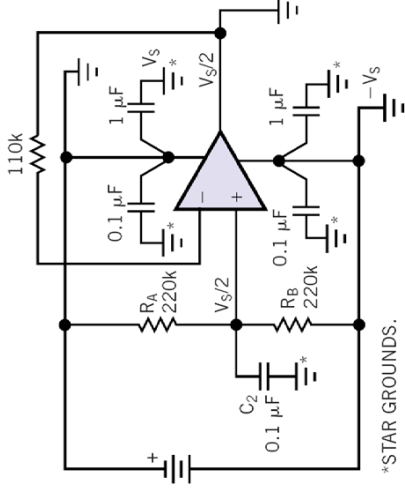
24

3.2.1. Einfach- vs. Doppelspannungsversorgung (IV)

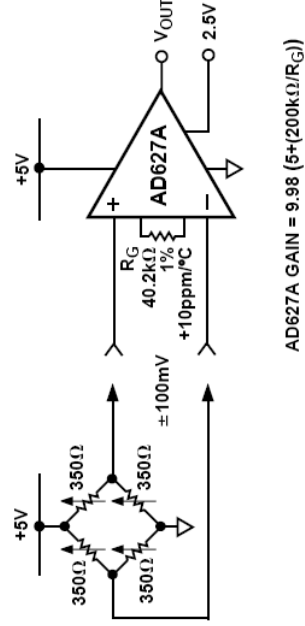
Spannungsregler



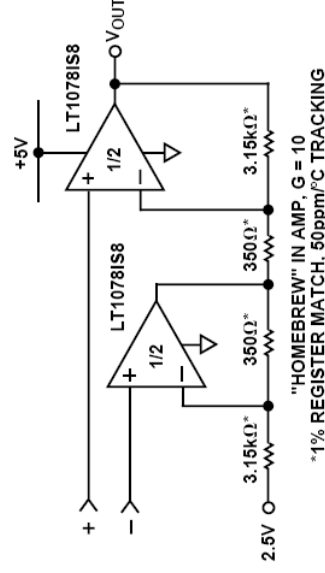
Batteriebetrieb



3.2.2. Beispiel AD 627: Selbstbau vs. Kaufen



AD627A GAIN = 9.98 ($5 + (200k\Omega/R_G)$)

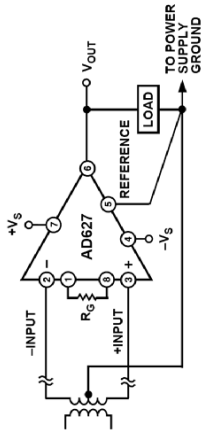


"HOMEBREW" IN AMP, $G = 10$

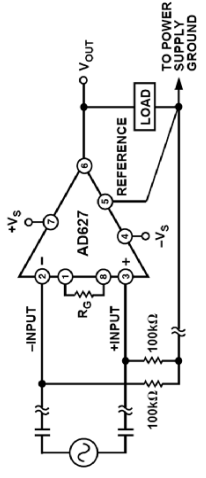
*1% REGISTER MATCH, 50ppm/°C TRACKING

3.2.3. Beispiel AD 627: Masseverbindungen (I)

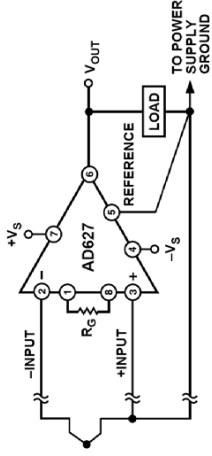
Transformator-Kopplung



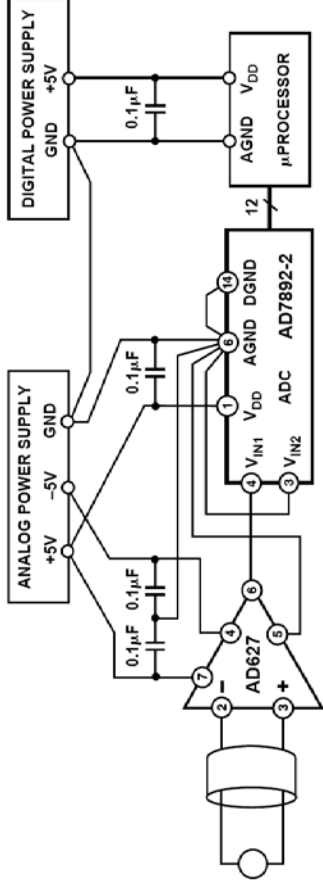
Wechselspannungskopplung



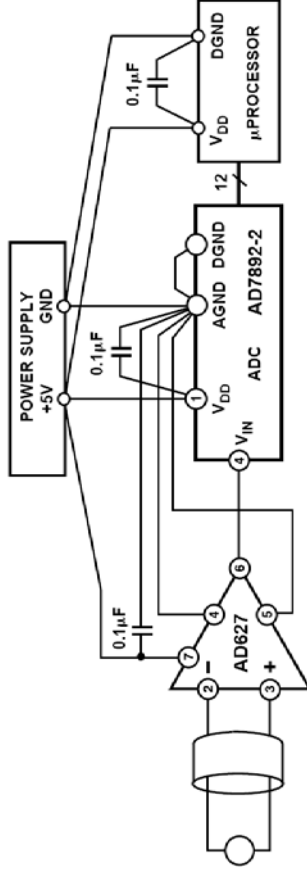
Thermoelement-Kopplung



3.2.3. Beispiel AD 627: Masseverbindungen (I)

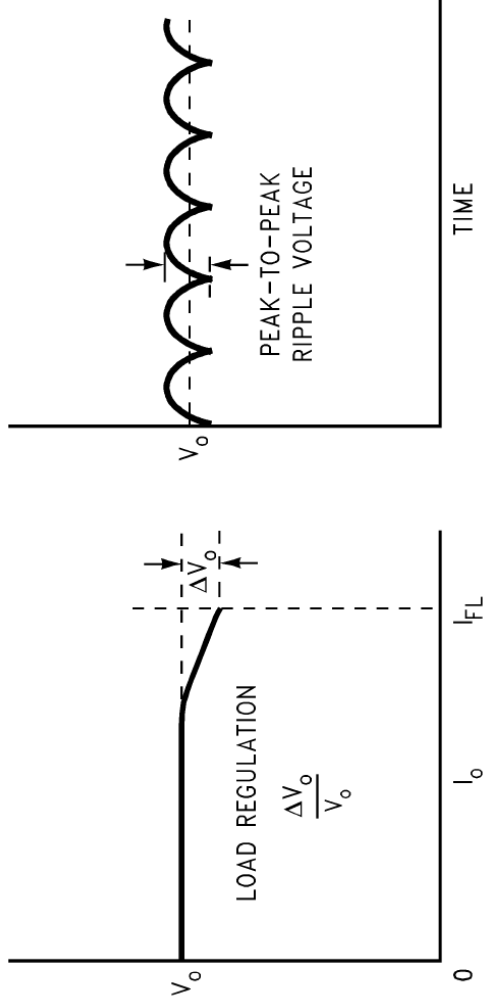


Dual-Rail Supply

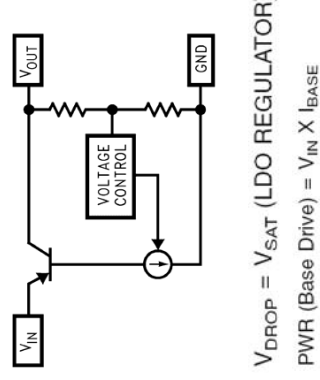
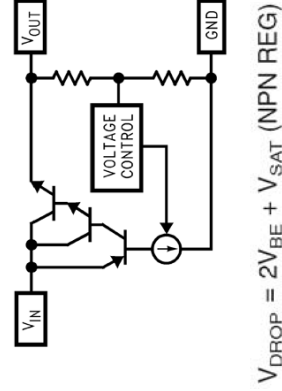
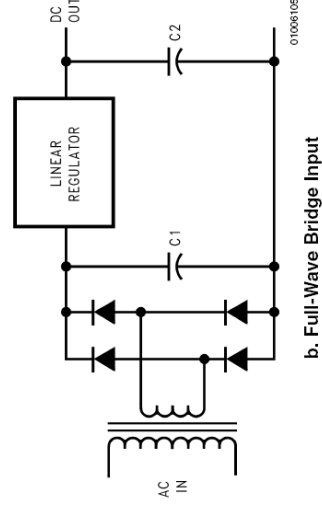
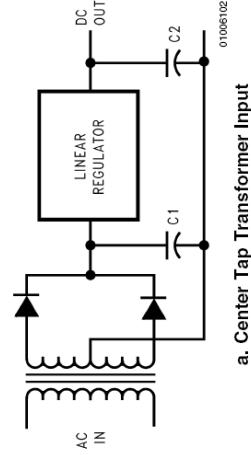


Single-Rail Supply

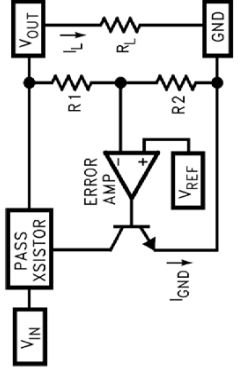
3.3. Stromversorgung



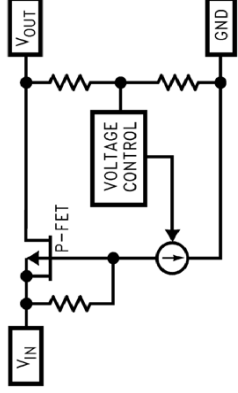
3.3.1. Stromversorgung: Grundlagen



3.3.2. Stromversorgung: Regler



$$V_{OUT} = V_{REF} (1 + R1/R2)$$



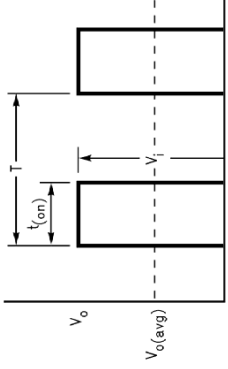
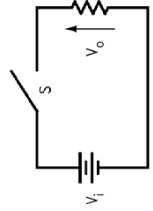
PWR und U_{DROP} sehr klein

3.3.3. Schaltregler

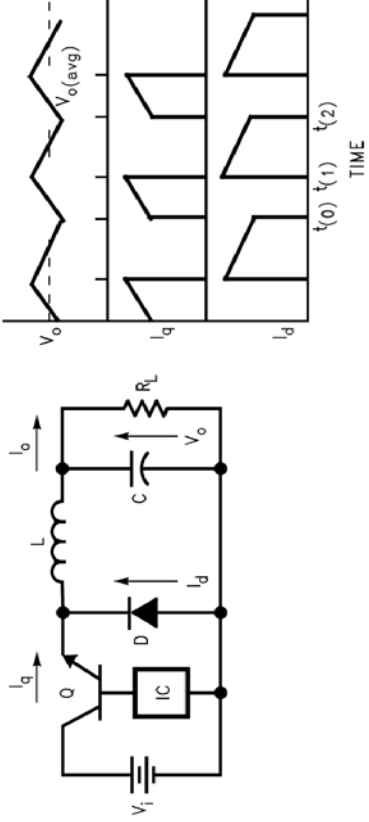
TABLE 1. Linear vs Switching Power Supplies (typical)

Specification	Linear	Switcher
Line Regulation	0.02%–0.05%	0.05%–0.1%
Load Regulation	0.02%–0.1%	0.1%–1.0%
Output Ripple	0.5 mV–2 mV RMS	10 mV–100 mV _{P-P}
Input Voltage Range	±10%	±20%
Efficiency	40%–55%	60%–95%
Power Density	0.5 W/cu. in.	2W–10W/cu. in.
Transient Recovery	50 µs	300 µs
Hold-Up Time	2 ms	34 ms

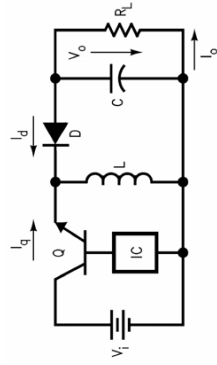
3.3.4. Schaltregler: Prinzip (I)



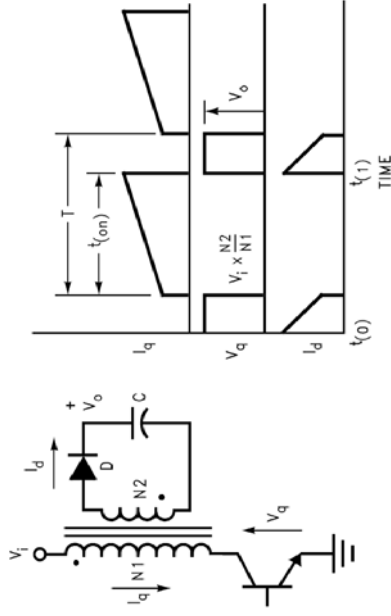
$$V_{o(avg)} = (t_{on}/T) \times V_i$$



3.3.4. Schaltregler: Prinzip (II)



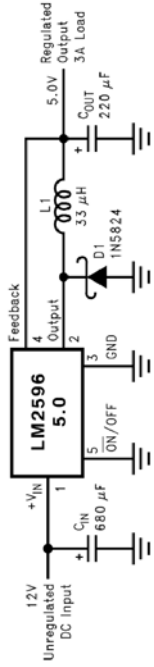
Invertierter Regler



Hochspannungswandler

$$V_o = V_{IN} \times (t_{on})/(T - t_{on}) \times (N2/N1)$$

3.3.5.Schaltnetzteile: LM2596 (I)



Absolute Maximum Ratings (Note 1) If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.				Human Body Model (Note 2)	2 kV
Lead Temperature				S Package	
Vapor Phase (80 sec.)					+215°C
Infrared (10 sec.)					+245°C
T Package Soldering, 10 sec.)					+260°C
Maximum Junction Temperature					+150°C
Operating Conditions					
-1V (Steady State)					
Internally limited					
-65°C to +150°C					-40°C ≤ T _J ≤ +125°C
Temperature Range					4.5V to 40V
Supply Voltage					
LM2596-3.3					
Electrical Characteristics Specifications with standard type face are for T _J = 25°C, and those with boldface type apply over full Operating Temperature Range					
Symbol	Parameter	Conditions	LM2596-3.3		Units (Limits)
			Type (Note 3)	Limit (Note 4)	
SYSTEM PARAMETERS (Note 5) Test Circuit Figure 1					
V _{OUT}	Output Voltage	4.75V ≤ V _{IN} ≤ 40V, 0.2A ≤ I _{LOAD} ≤ 3A	3.3	3.168/3.135 V(min)	V
η	Efficiency	V _{IN} = 12V, I _{LOAD} = 3A	73	3.433/3.465 V(max)	%

LM2596-5.0					
Electrical Characteristics Specifications with standard type face are for T _J = 25°C, and those with boldface type apply over full Operating Temperature Range					
Symbol	Parameter	Conditions	LM2596-5.0		Units (Limits)
			Type (Note 3)	Limit (Note 4)	
SYSTEM PARAMETERS (Note 5) Test Circuit Figure 1					
V _{OUT}	Output Voltage	7V ≤ V _{IN} ≤ 40V, 0.2A ≤ I _{LOAD} ≤ 3A	5.0	4.800/4.750 V(min)	V
η	Efficiency	V _{IN} = 12V, I _{LOAD} = 3A	80	5.200/5.250 V(max)	%

LM2596-12					
Electrical Characteristics Specifications with standard type face are for T _J = 25°C, and those with boldface type apply over full Operating Temperature Range					
Symbol	Parameter	Conditions	LM2596-12		Units (Limits)
			Type (Note 3)	Limit (Note 4)	
SYSTEM PARAMETERS (Note 5) Test Circuit Figure 1					
V _{OUT}	Output Voltage	15V ≤ V _{IN} ≤ 40V, 0.2A ≤ I _{LOAD} ≤ 3A	12.0	11.52/11.40 V(min)	V
η	Efficiency	V _{IN} = 25V, I _{LOAD} = 3A	90	12.48/12.60 V(max)	%

3

www.national.com



Universität Karlsruhe (TH)

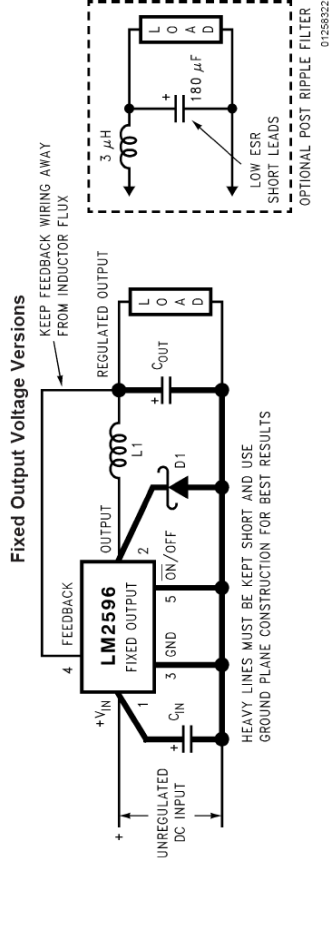
Institut für Mikro-und Nanoelektronische Systeme



37

3.3.5.Schaltnetzteile: LM2596 (II)

Test Circuit and Layout Guidelines



C_{IN} —470 μF, 50V, Aluminum Electrolytic Nichicon "PL Series"
C_{OUT} —220 μF, 25V Aluminum Electrolytic, Nichicon "PL Series"
D1 —5A, 40V Schottky Rectifier, 1N5825
L1 —68 μH, L38



Universität Karlsruhe (TH)

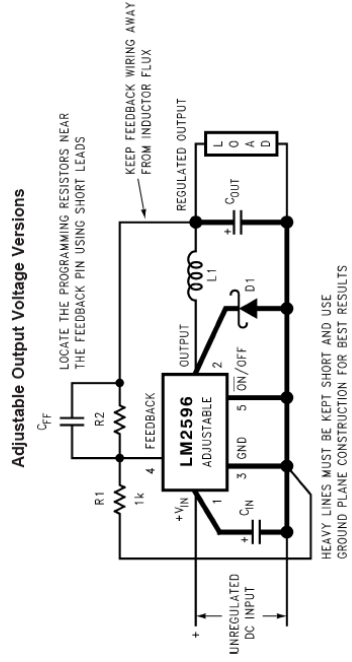
Institut für Mikro-und Nanoelektronische Systeme



38

3.3.5.Schaltnetzteile: LM2596 (III)

Test Circuit and Layout Guidelines (Continued)



$$V_{OUT} = V_{REF} \left(1 + \frac{R_2}{R_1} \right)$$

where $V_{REF} = 1.23V$

Select R_1 to be approximately 1 k Ω , use a 1% resistor for best stability.

C_{IN} —470 μF , 50V, Aluminum Electrolytic Nichicon "PL Series"

C_{OUT} —220 μF , 35V Aluminum Electrolytic, Nichicon "PL Series"

$D1$ —5A, 40V Schottky Rectifier, 1N5825

$L1$ —68 μH , L38

$R1$ —1 k Ω , 1%

C_{FF} —See Application Information Section



Universität Karlsruhe (TH)

Institut für Mikro-und Nanoelektronische Systeme



39

3.4. Beispiele von Schaltkreisen zur Messdaten-Erfassung

3.4.1. 12-Bit 600 kSPS ADC: AD 7892

3.4.2. 16-Bit 85 KSPS ADC: MAX195

3.4.3. Präzisions-Front-End: TC500

3.4.4. Messdaten-Erfassung: MAX1407

3.4.5. GSM/GPS-Chips

3.4.6. ALMA



Universität Karlsruhe (TH)

Institut für Mikro-und Nanoelektronische Systeme



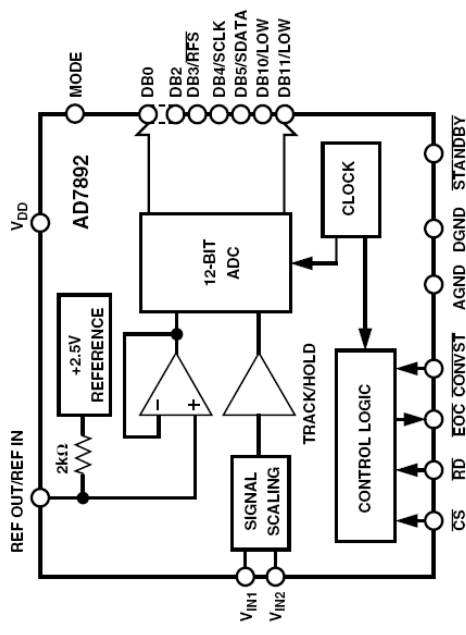
40

3.4.1. 12-Bit 600 kSPS ADC: AD 7892 (I)

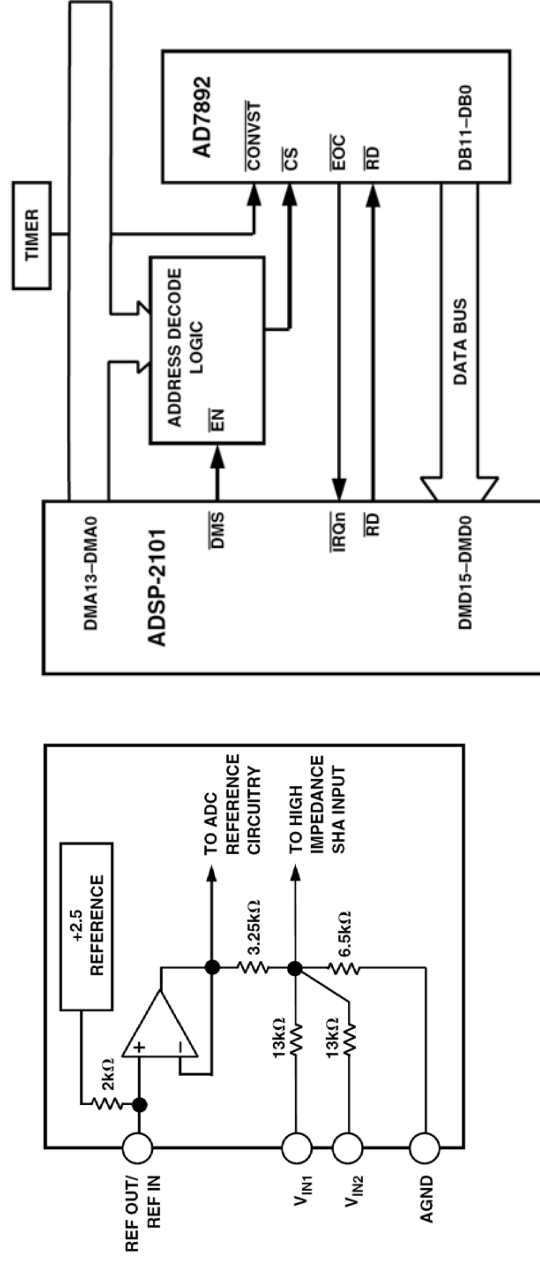
FEATURES

Fast 12-Bit ADC with 1.47 μ s Conversion Time
600 kSPS Throughput Rate (AD7892-3)
500 kSPS Throughput Rate (AD7892-1, AD7892-2)
Single Supply Operation
On-Chip Track/Hold Amplifier
Selection of Input Ranges:
 ± 10 V or ± 5 V for AD7892-1
0 V to +2.5 V for AD7892-2
 ± 2.5 V for AD7892-3
High Speed Serial and Parallel Interface
Low Power, 60 mW typ
Overvoltage Protection on Analog Inputs (AD7892-1 and AD7892-3)

FUNCTIONAL BLOCK DIAGRAM



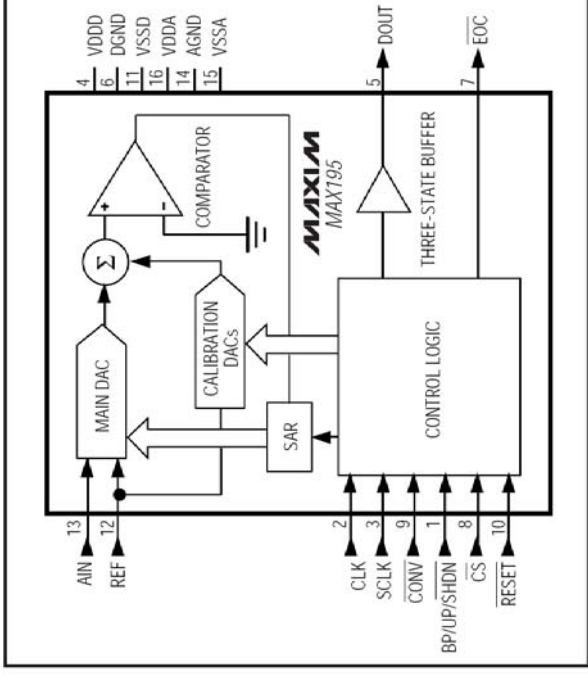
3.4.1. 12-Bit 600 kSPS ADC: AD 7892 (II)



3.4.2. 16-Bit 85 KSPS SAR-ADC: MAX195 (I)

Features

- ♦ 16 Bits, No Missing Codes
- ♦ 90dB SINAD
- ♦ 9.4µs Conversion Time
- ♦ 10µA (max) Shutdown Mode
- ♦ Built-In Track/Hold
- ♦ AC and DC Specified
- ♦ Unipolar (0V to VREF) and Bipolar (-VREF to VREF) Input Range
- ♦ Three-State Serial-Data Output
- ♦ Small 16-Pin DIP, SO, and Ceramic SB Packages



3.4.2. 16-Bit 85 KSPS SAR-ADC: MAX195 (II)

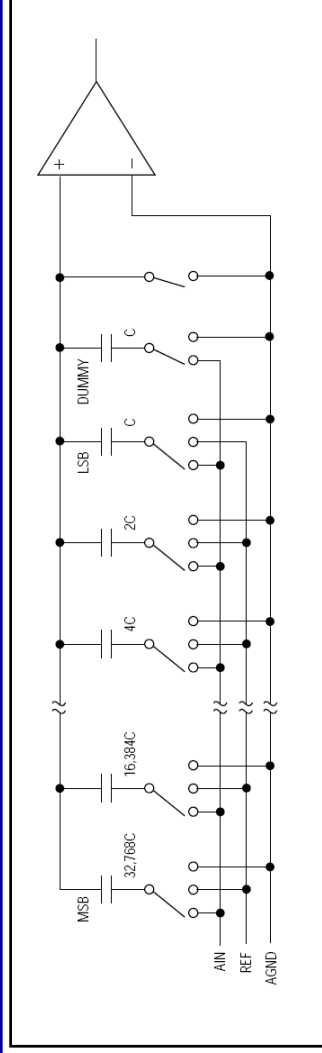


Figure 1. Capacitor DAC Functional Diagram

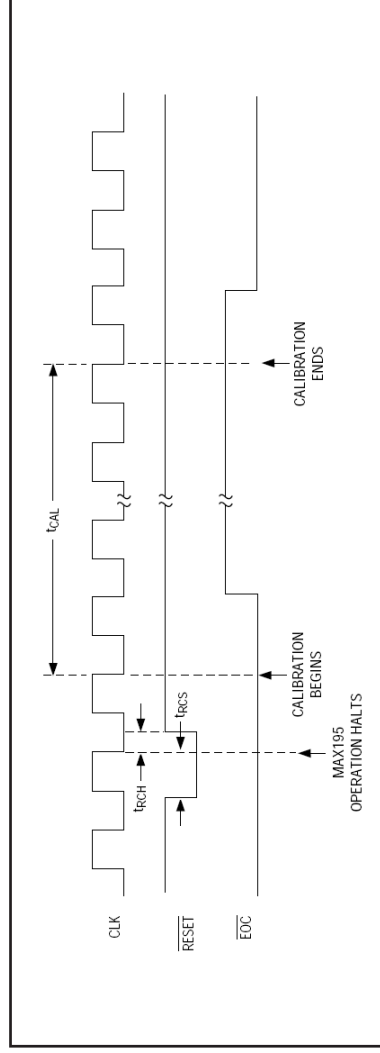


Figure 2. Initiating Calibration

3.4.2. 16-Bit 85 KSPS SAR-ADC: MAX195 (III)

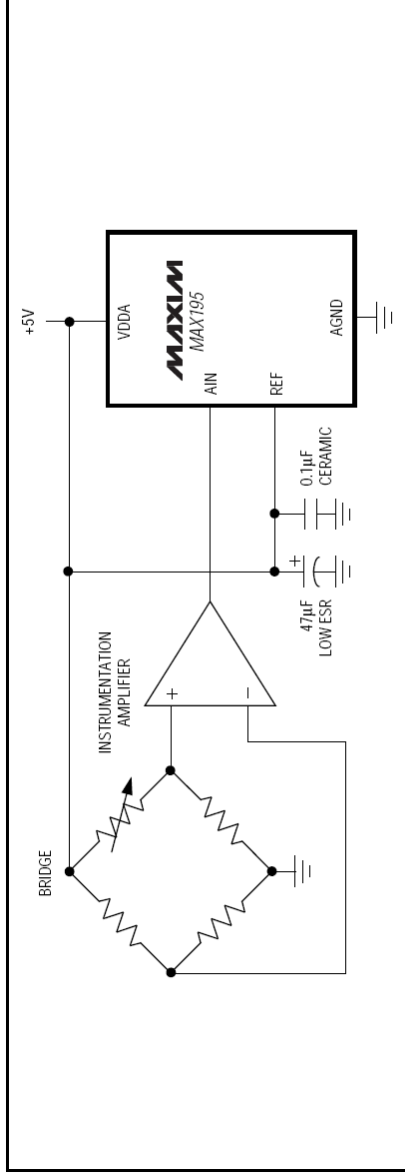


Figure 9. Ratiometric Measurement Without an Accurate Reference

3.4.2. 16-Bit 85 KSPS SAR-ADC: MAX195 (IV)

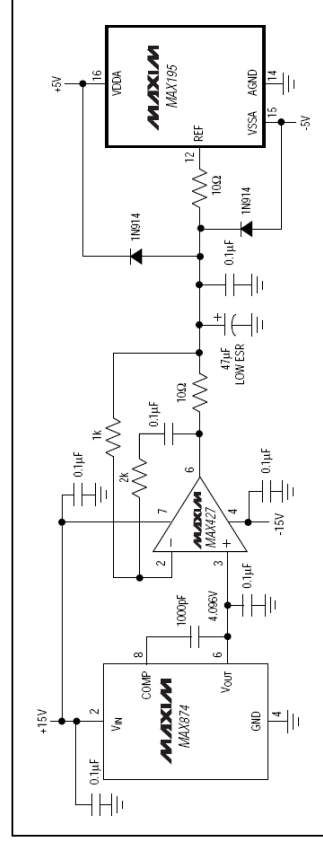


Figure 10. Typical Reference Circuit for AC Accuracy

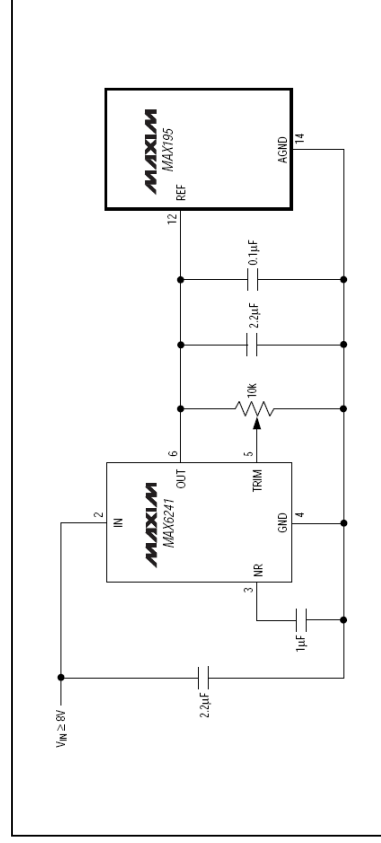


Figure 11. High-Accuracy Reference

3.4.2. 16-Bit 85 KSPS SAR-ADC: MAX195 (V)

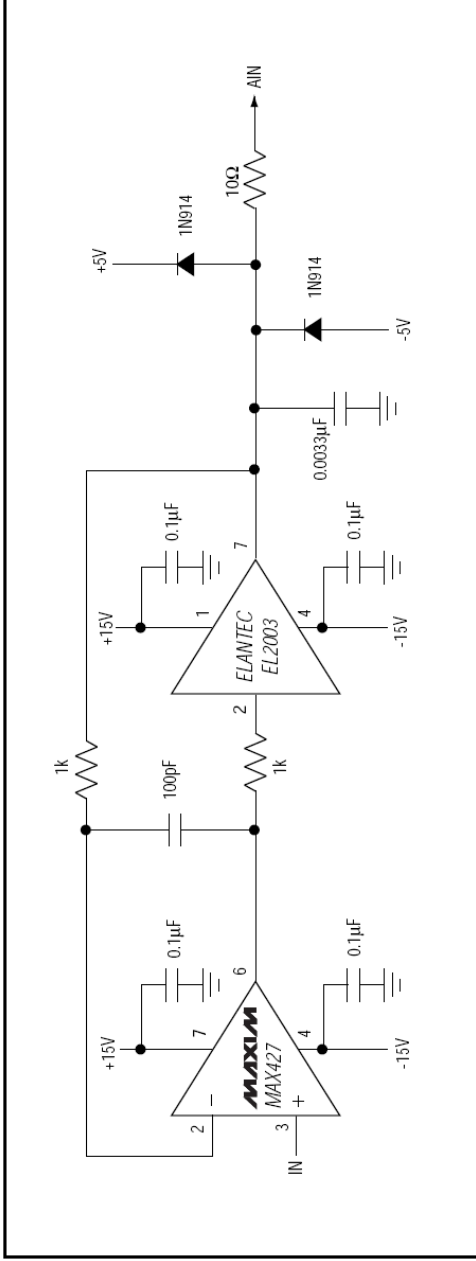


Figure 15. AIN Buffer for AC/DC Use

3.4.3. Präzisions-Front-End: TC500 (I)

Features

- Precision (up to 17 bits) A/D Converter "Front End"
- 3-Pin Control Interface to Microprocessor
- Flexible: User Can Trade-off Conversion Speed for Resolution
- Single-Supply Operation (TC510/TC514)
- 4 Input, Differential Analog MUX (TC514)
- Automatic Input Voltage Polarity Detection
- Low Power Dissipation:
 - (TC500/TC500A): 10 mW
 - (TC510/TC514): 18 mW
- Wide Analog Input Range:
 - $\pm 4.2V$ (TC500A/TC510)
- Directly Accepts Bipolar and Differential Input Signals

Applications

- Precision Analog Signal Processor
- Precision Sensor Interface
- High Accuracy DC Measurements

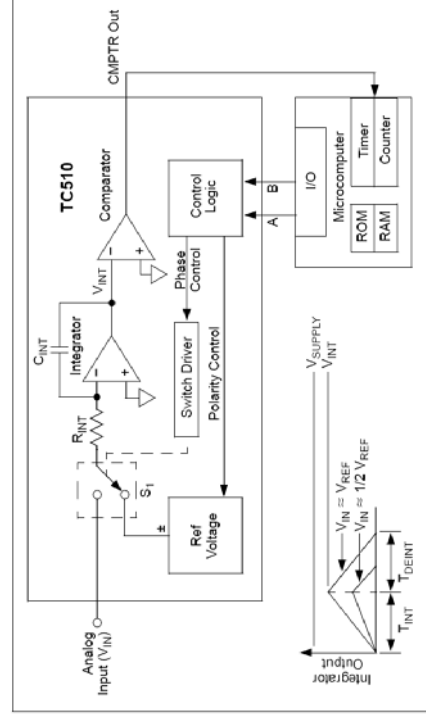
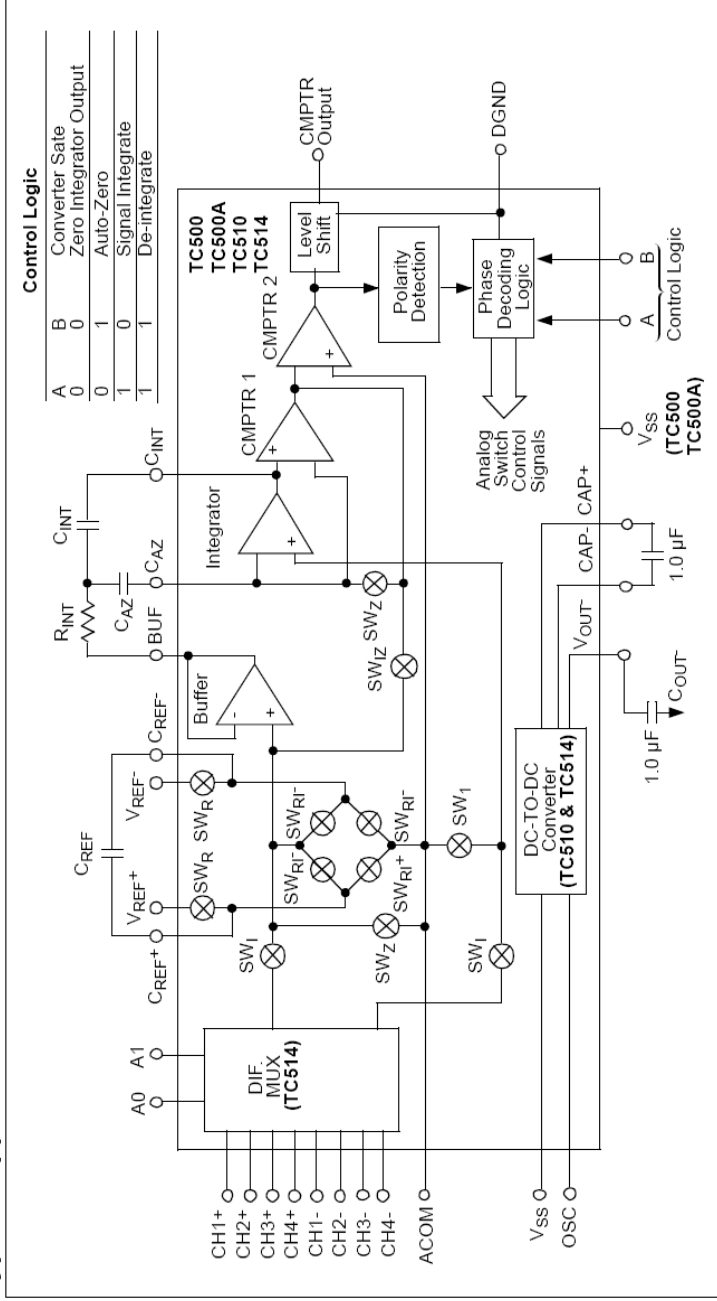


FIGURE 4-3: Basic Dual Slope Converter.

1. Auto-zero.
2. Input signal integration.
3. Reference de-integration.
4. Integrator output zero.

3.4.3. Präzisions-Front-End: TC500 (III)

Typical Application



3.4.3. Präzisions-Front-End: TC500 (III)

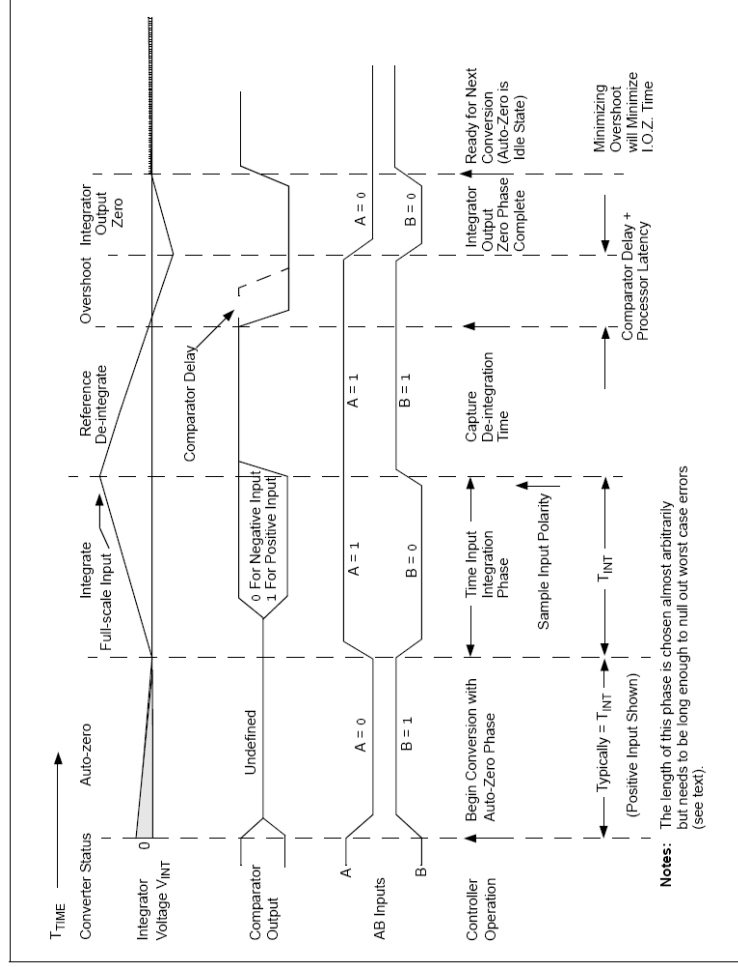


FIGURE 5-1: Typical Dual Slope A/D Converter System Timing.



3.4.3. Präzisions-Front-End: TC500 (IV)

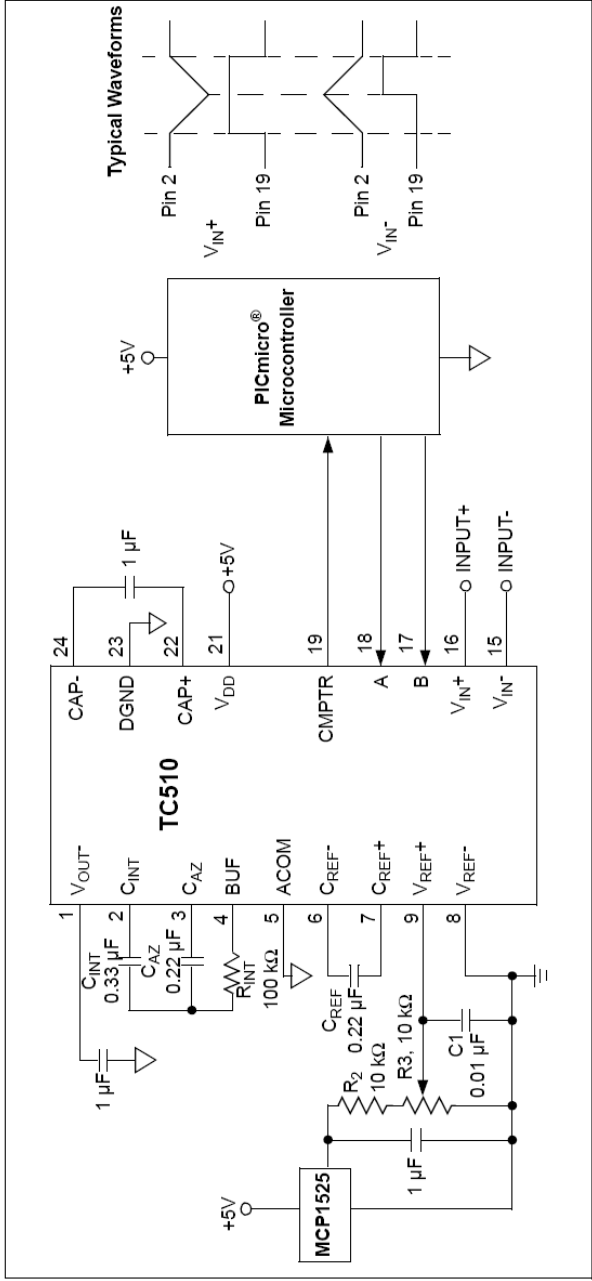


FIGURE 9-1: TC510 Design Sample.



3.4.3. Präzisions-Front-End: TC500 (V)

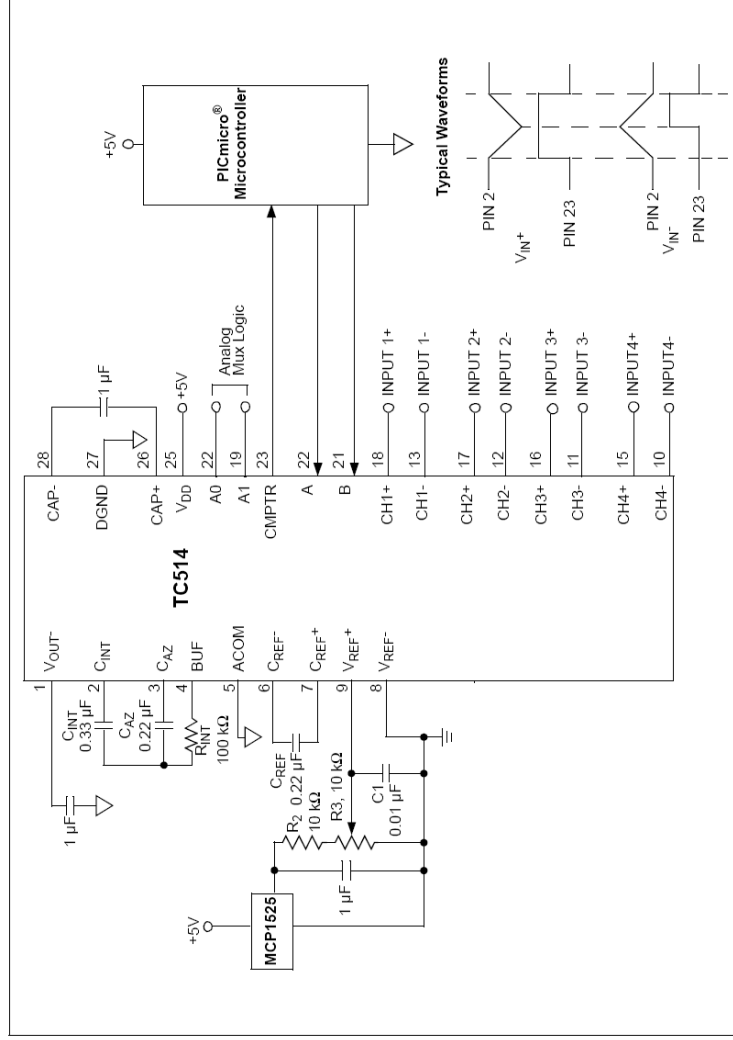


FIGURE 9-2: TC514 Design Example.



3.4.3. Präzisions-Front-End: TC500 (VI)

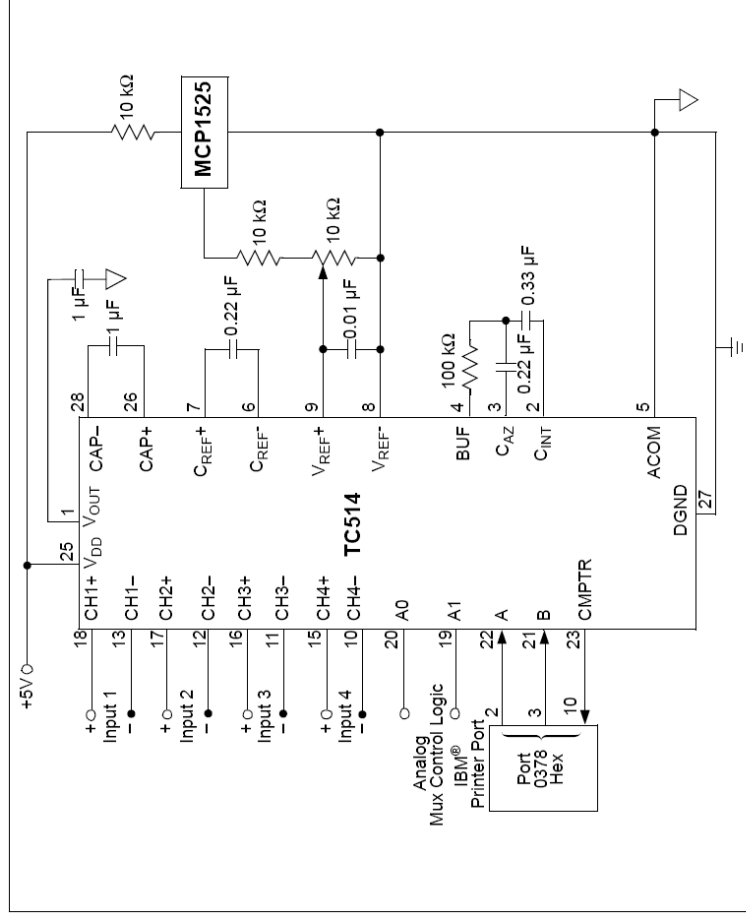


FIGURE 9-4: TC514 To IBM® Compatible Printer Port.



3.4.4. Messdaten-Erfassung: Sigma-Delta-MAX1407 (I)

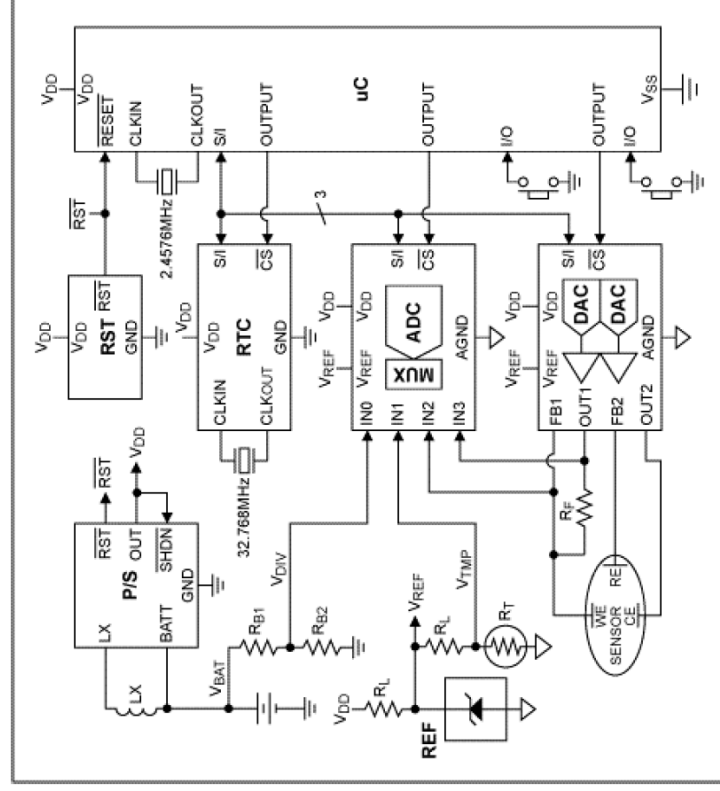


Figure 1. Portable system functional block diagram with discrete standard components



3.4.4. Messdaten-Erfassung: MAX1407 (II)

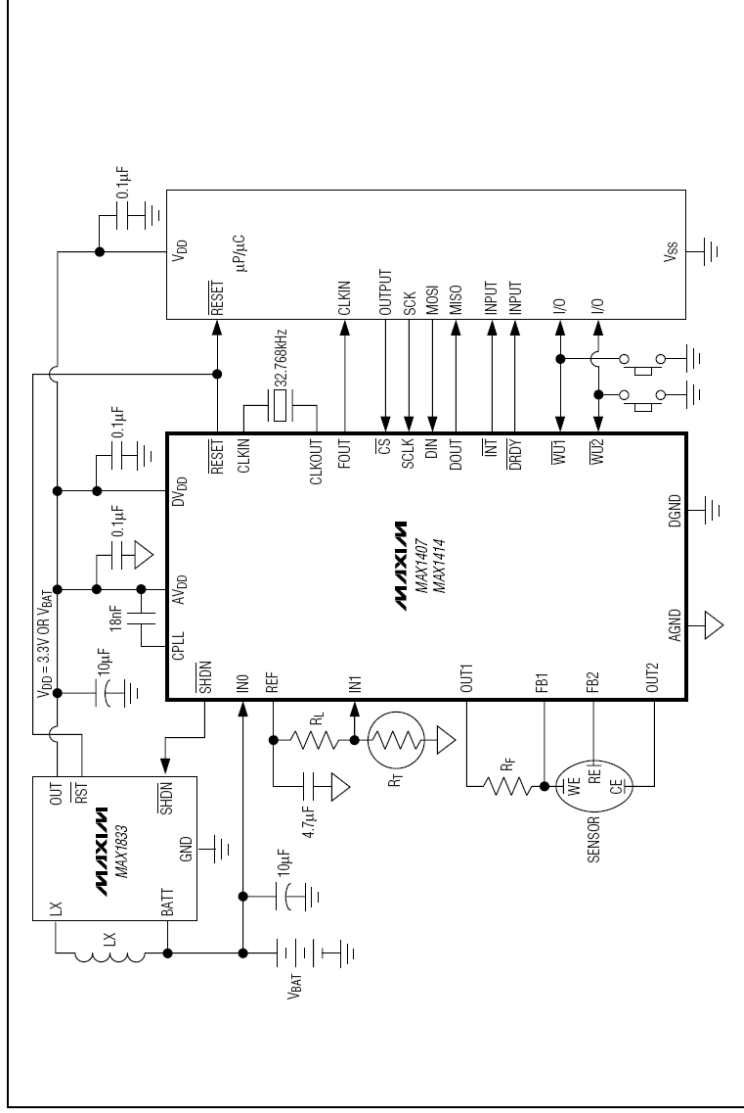


Figure 4. MAX1407/MAX1414 Typical Application Circuit



3.4.4. Messdaten-Erfassung: MAX1407 (III)

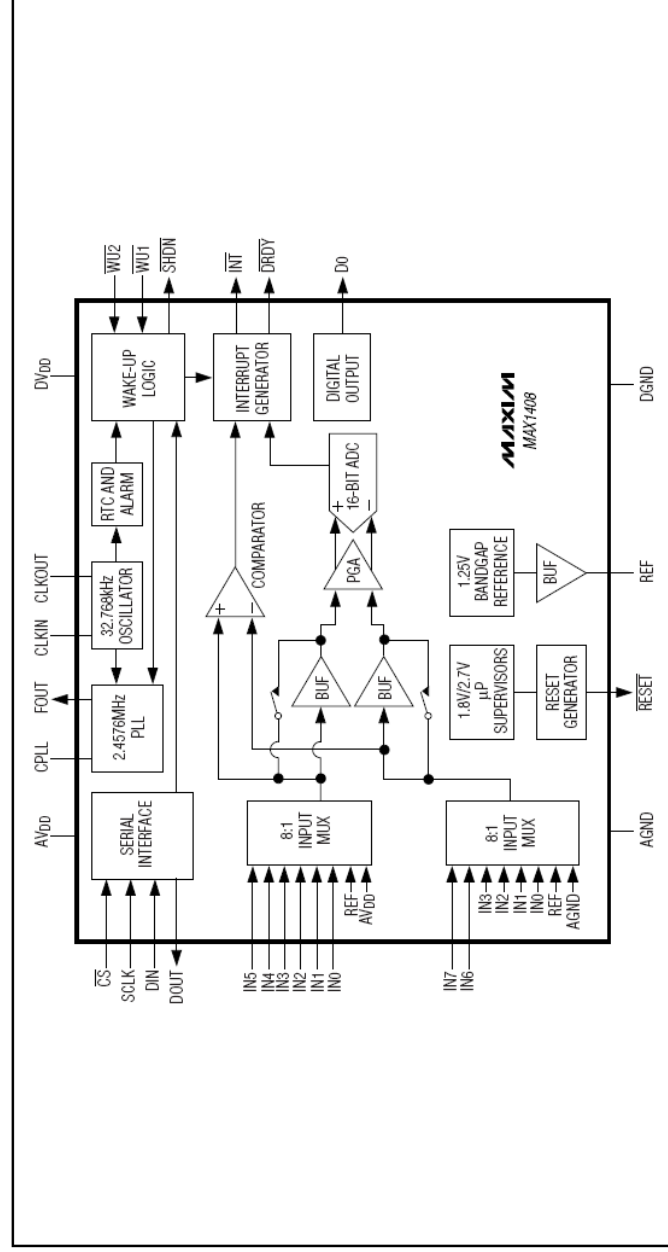


Figure 2. MAX1408 Functional Diagram



3.4.4. Messdaten-Erfassung: MAX1407 (IV)

Table 1. MAX1407/MAX1408/MAX1409/MAX1414 Selector Table

Part Number	Total ADC Analog Inputs	ADC Auxiliary Analog Inputs	ADC Ready Interrupt Signal	Differential Input Detection Threshold (mV)	Force/Sense DACs	External Power Supply Control	3-State Digital Output
MAX1407	8 DIFF	4	Yes	0	2	Yes	Yes
MAX1408	8 DIFF	8	Yes	0	0	Yes	Yes
MAX1409	4 DIFF	1	No	0	1	No	No
MAX1414	8 DIFF	4	Yes	50	2	Yes	Yes

Table 2. Comparison of Two System Design Paths

Metric	MAX1407 (2-3 IC's)	DISCRETE (6-12 IC's)
Analog Performance	***	**
Reliability	***	*
Small Size	***	*
Time to Market	***	**
Ease of Spin-offs	***	**
System Cost	***	*
Overall Rating	***	**

Note: * is worst and *** is best, relative to the other solution.



3.4.5. GSM/GPS-Chips (I)

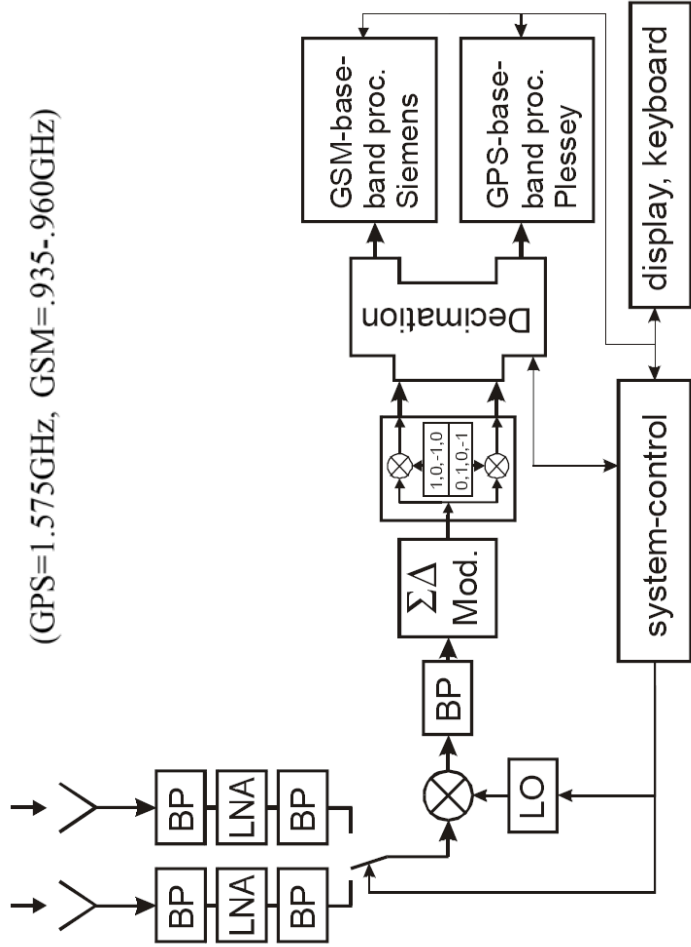


Fig. 1: System Architecture of GSM/GPS receiver



3.4.5. GSM/GPS-Chips (II)

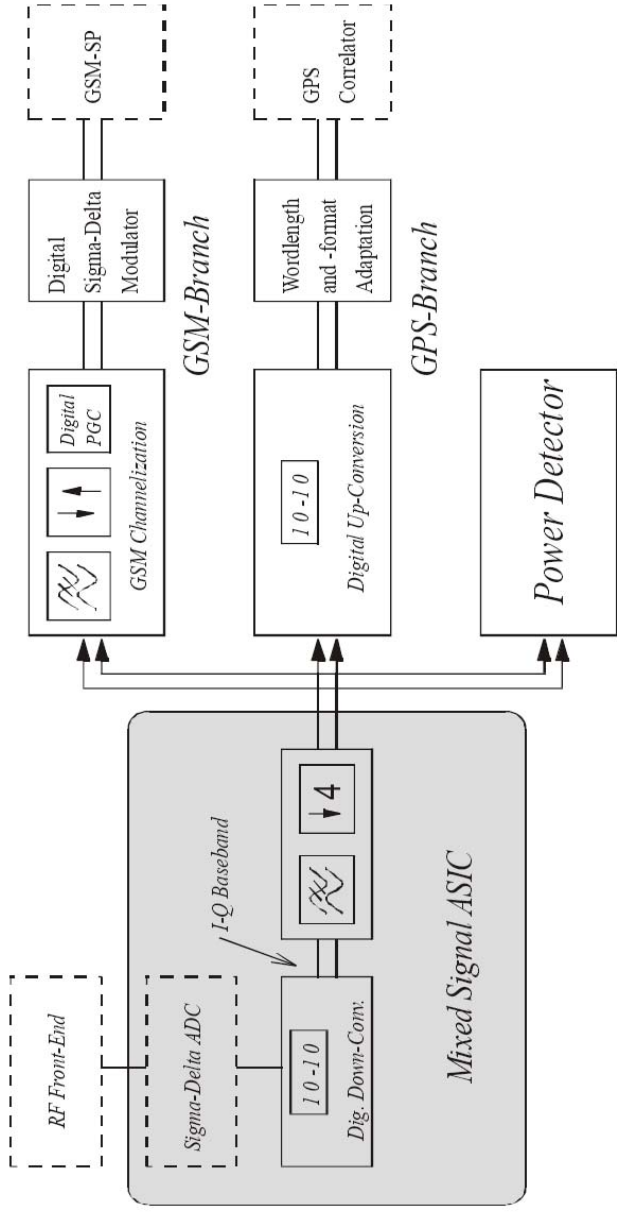


Fig. 7: Digital Front-End of the GSM-GPS receiver

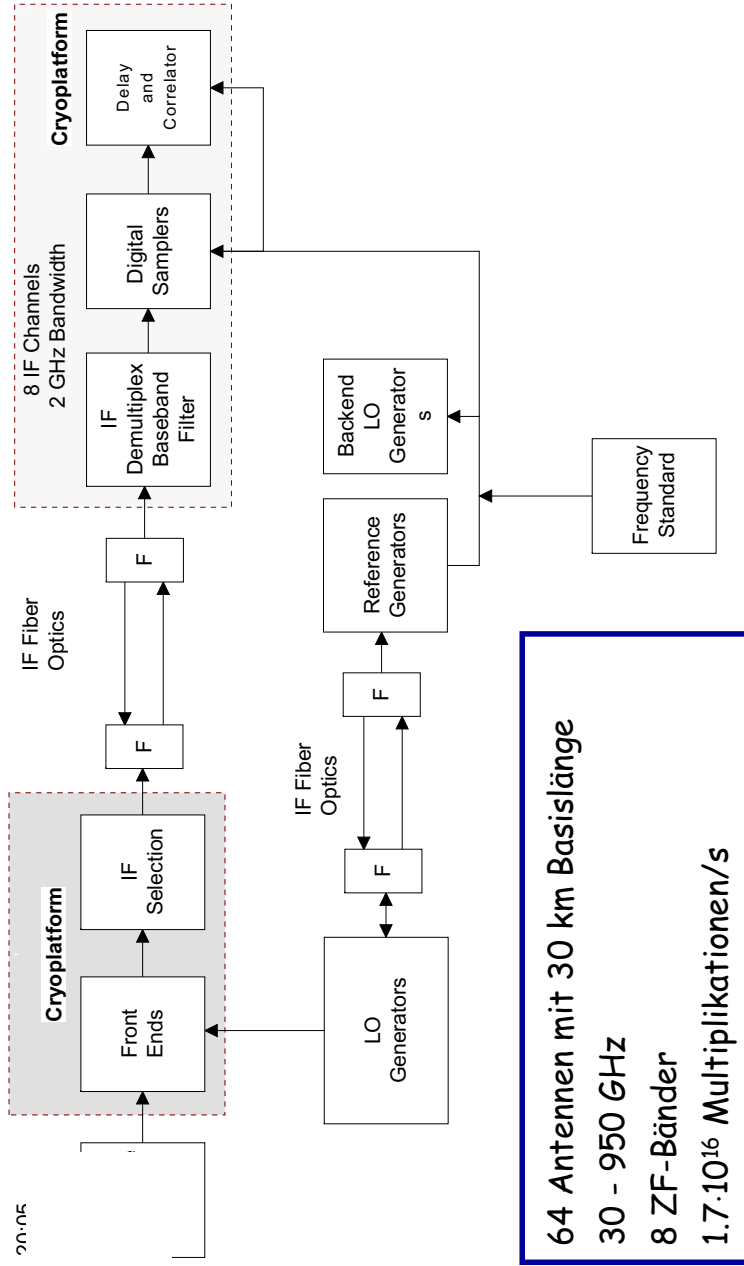


3.4.6. ALMA (I)

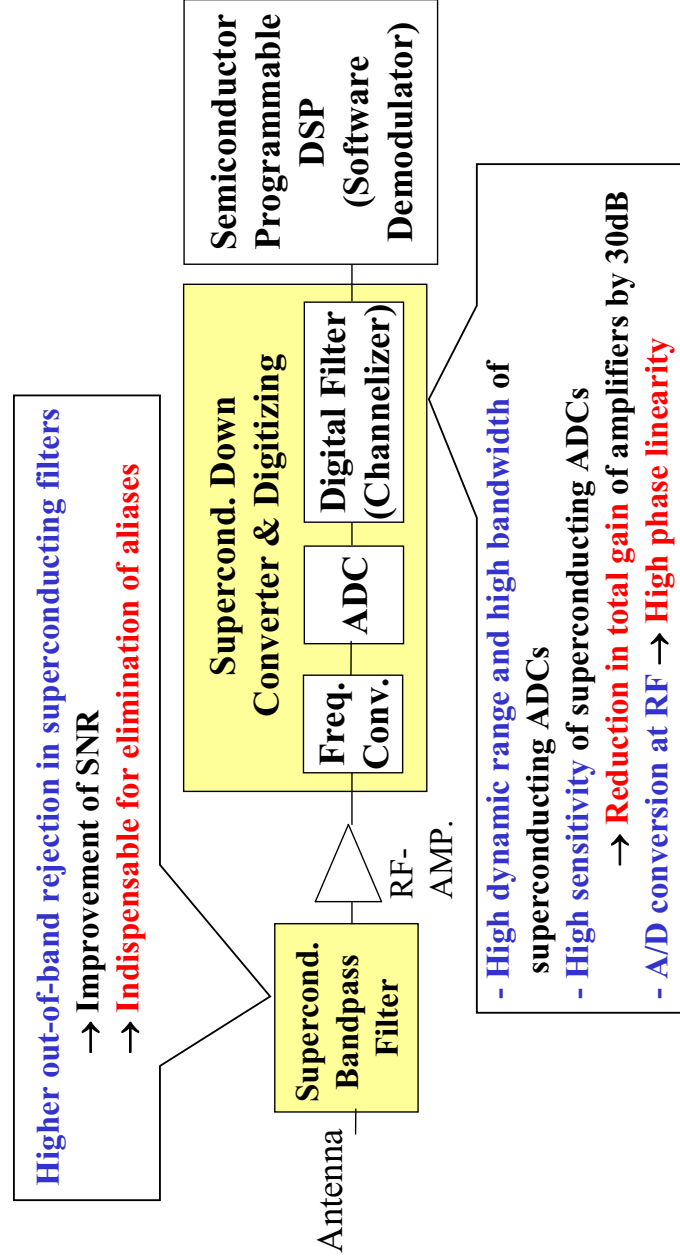
Atacama Large Millimeter Array (ALMA)



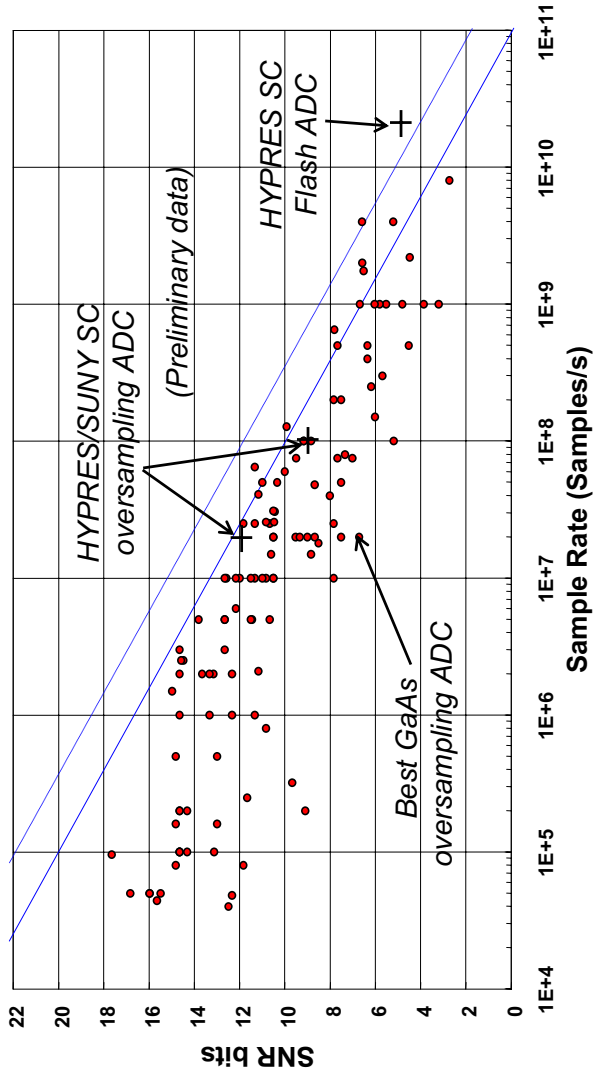
3.4.6. ALMA (II) - Blockschaltbild



3.4.6. ALMA (III) - ADC

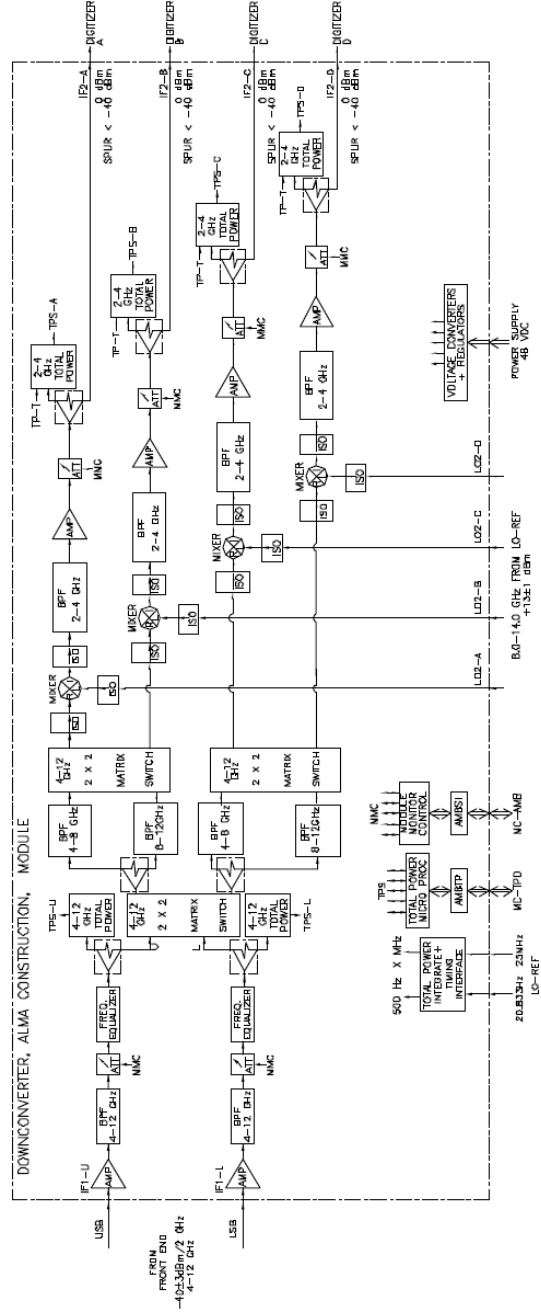


3.4.6. ALMA (IV) - ADC



ADC data courtesy of Bob Walden, HUGHES Research Labs
Phone: (310) 317-5895, Email: walden@hrl.com 1/24/98

3.4.6. ALMA (V)



3.4.6. ALMA (VI)

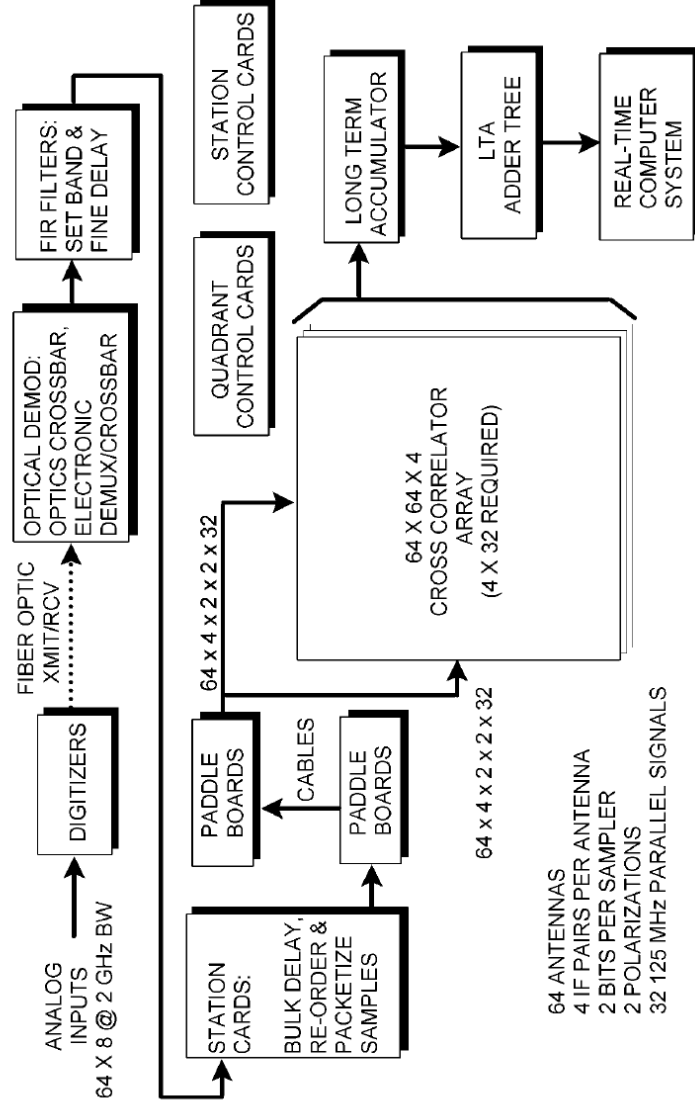
Table 10.1 ALMA Correlator Specifications

Item	Specification
Number of antennas	64
Number of baseband inputs per antenna	8
Maximum sampling rate per baseband input	4 GHz
Digitizing format	3 bit, 8 level
Correlation format	2 bit, 4 level
Maximum baseline delay range	30 km
Hardware cross- correlators per baseline	1024 lags + 1024 leads
Autocorrelators per antenna	1024
Product pairs possible for polarization	HH, VV, HV, VH (for orthogonal H and V)



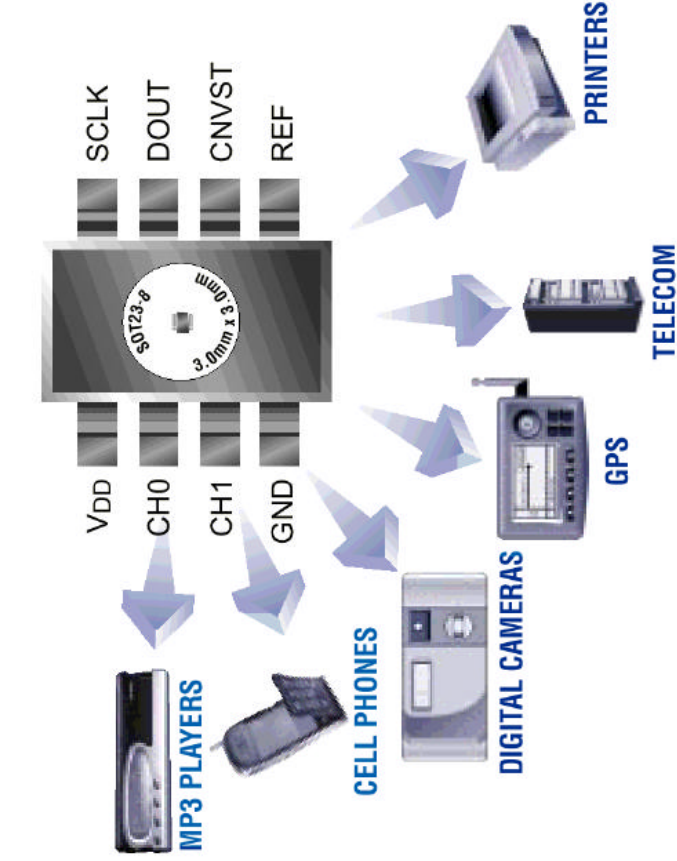
3.4.6. ALMA (VII)

ALMA Correlator Block Diagram

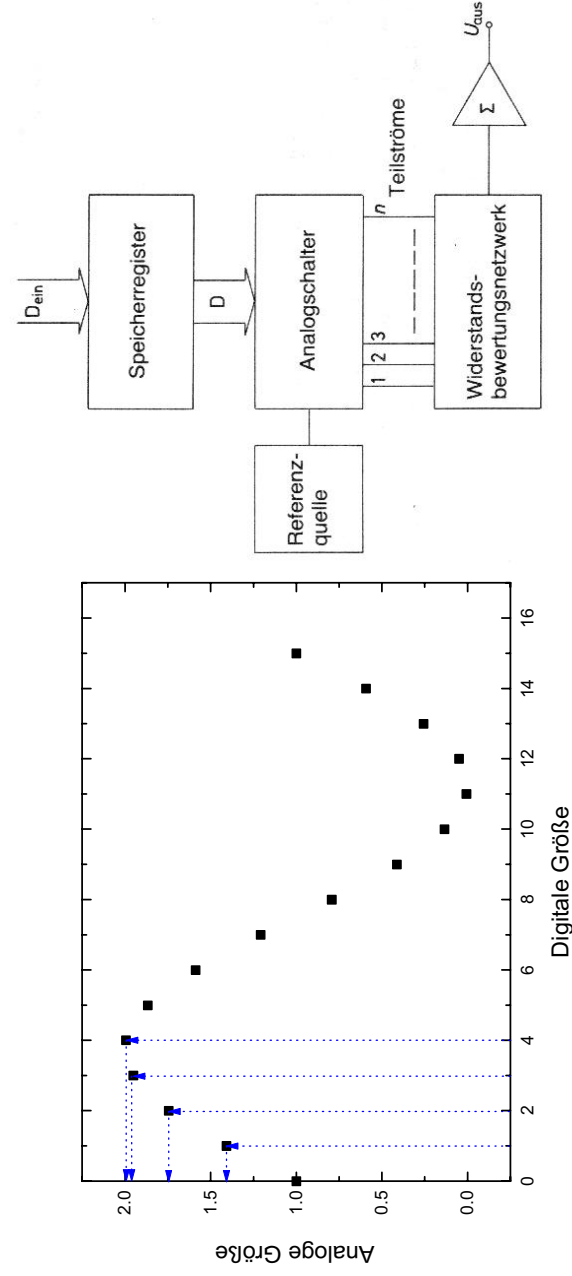


4. Ausgangsstufen

4.1. Digital - Analog - Wandler (I)

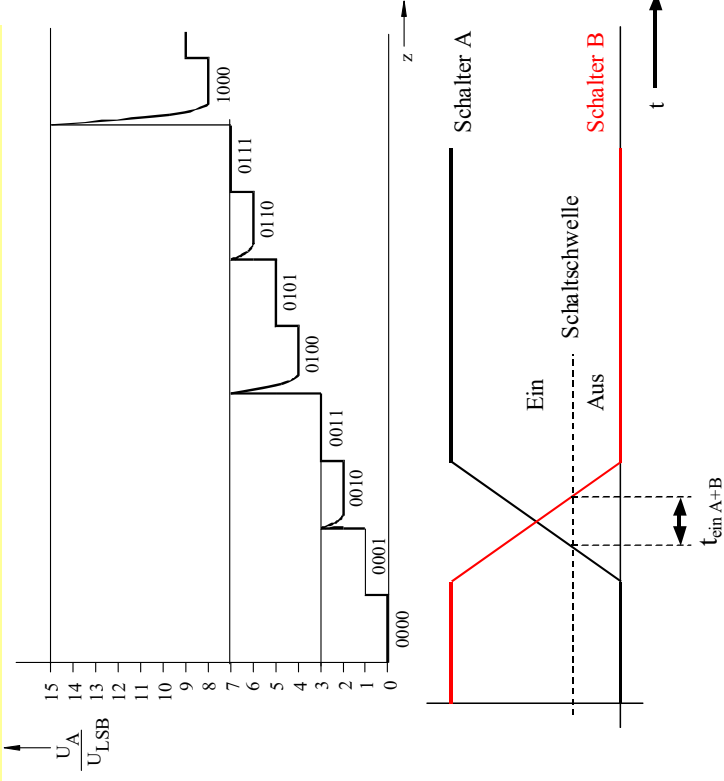


4.1. Digital - Analog - Wandler (II)

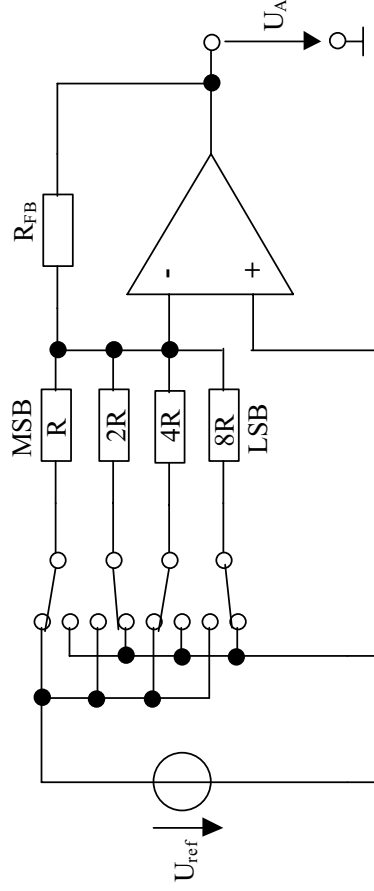


4.1. Digital - Analog - Wandler (II)

Darstellung der "Glitches" am Ausgang eines DACs.



4.1.1. DAC: Wägeverfahren

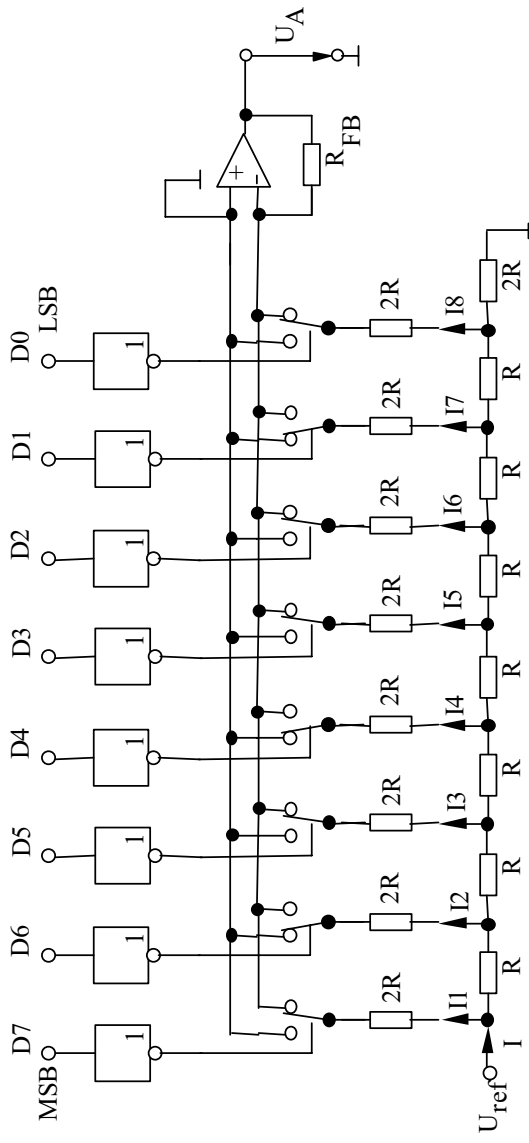


$$I_S = \frac{b_0 \cdot U_{\text{ref}}}{8 \cdot R} + \frac{b_1 \cdot U_{\text{ref}}}{4 \cdot R} + \frac{b_2 \cdot U_{\text{ref}}}{2 \cdot R} + \frac{b_3 \cdot U_{\text{ref}}}{R}$$

$$U_{\text{ref}} = \frac{U_{\text{ref}}}{2^{n-1} \cdot R} \cdot \sum_{i=0}^{n-1} 2^i \cdot b_i$$

$$U_{\text{Ausgang}} = R_{FB} \cdot I_S$$

4.1.1. DAC: R – 2R - Wägeverfahren



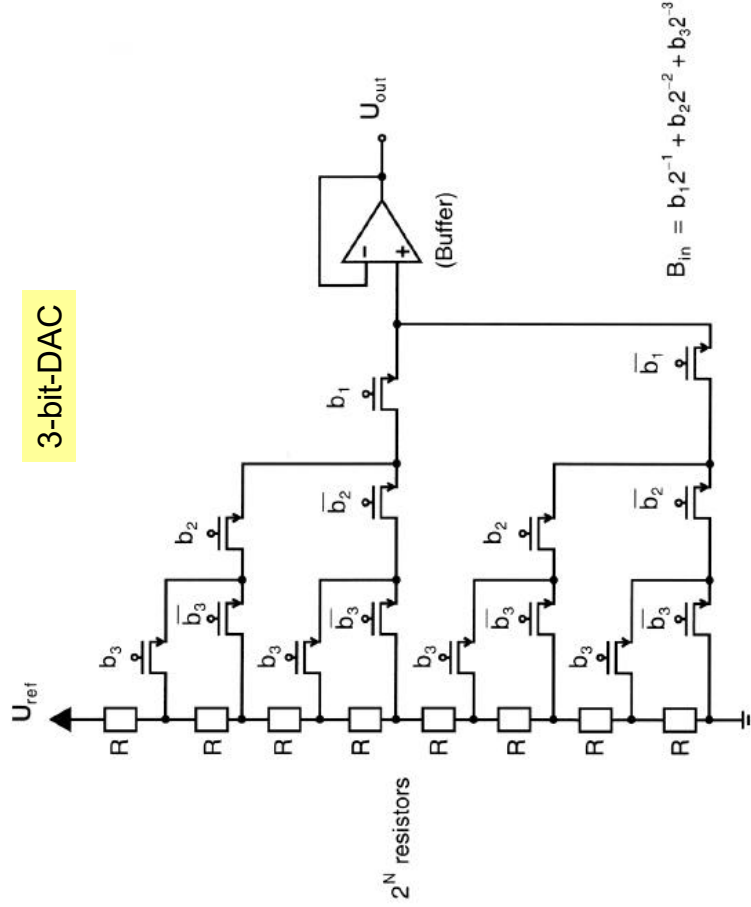
$$U_A = -U_{ref} \cdot \frac{R_{FB}}{2^8 R} [1 \cdot D_0 + 2 \cdot D_1 + 4 \cdot D_2 + 8 \cdot D_3 + 16 \cdot D_4 + 32 \cdot D_5 + 64 \cdot D_6 + 128 \cdot D_7]$$

Beispiel: Binärzahl "10101101", 173 dezimal

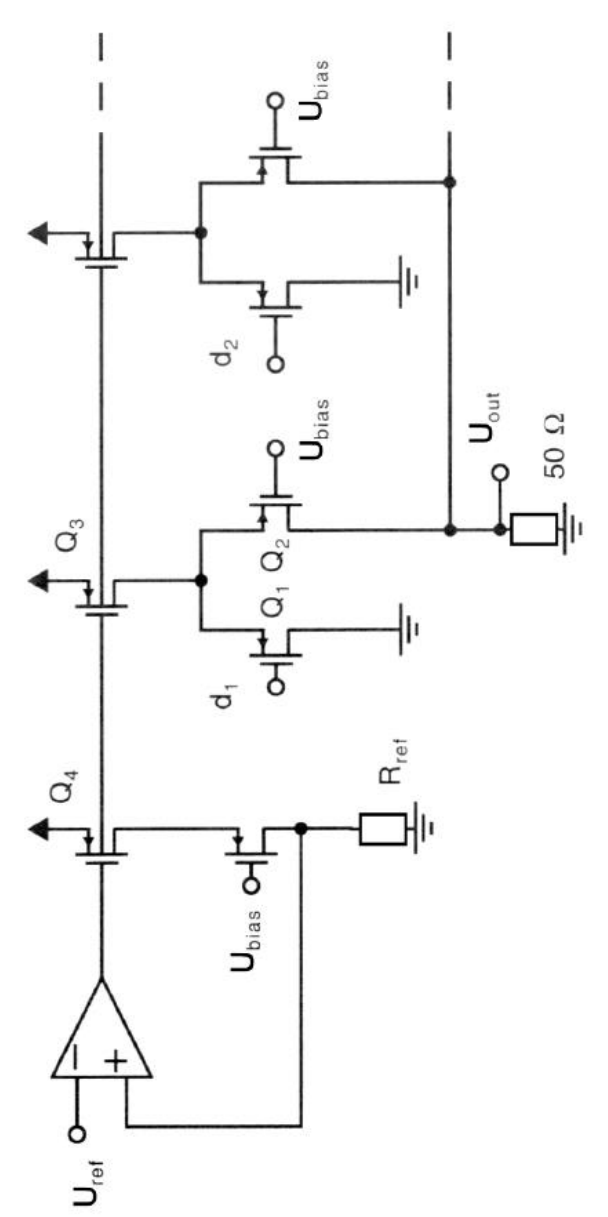
$$U_A = -U_{ref} \cdot \frac{1}{256} [1 \cdot 1 + 2 \cdot 0 + 4 \cdot 1 + 8 \cdot 1 + 16 \cdot 0 + 32 \cdot 1 + 64 \cdot 0 + 128 \cdot 1] = -U_{ref} \cdot \frac{173}{256}$$



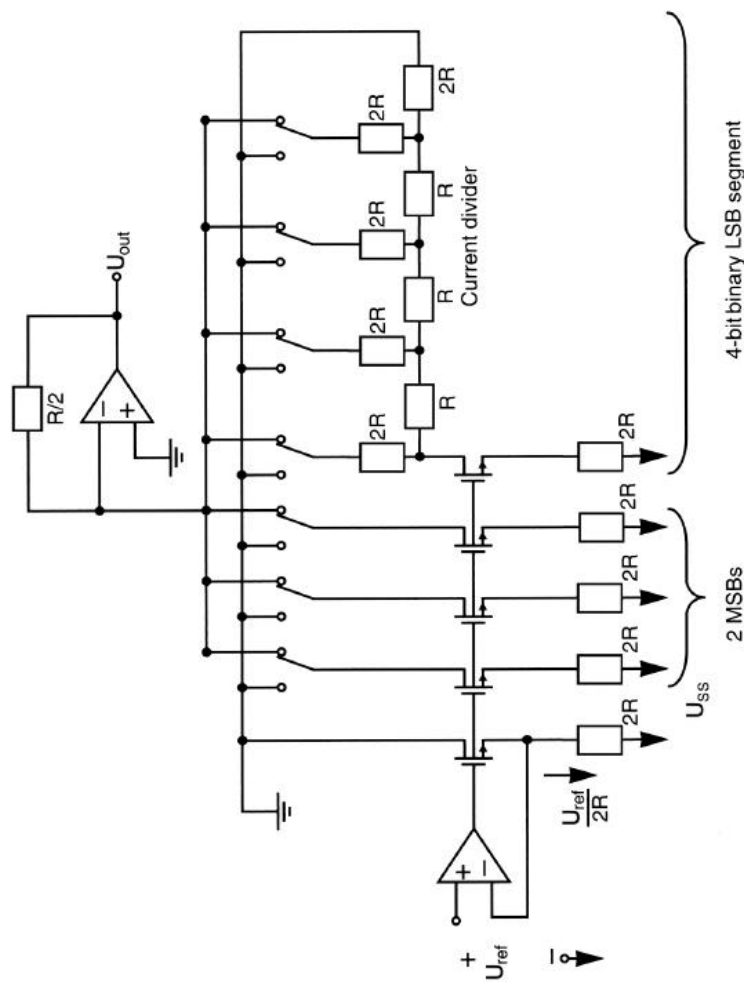
4.1.2. DAC: Flash-Wandler



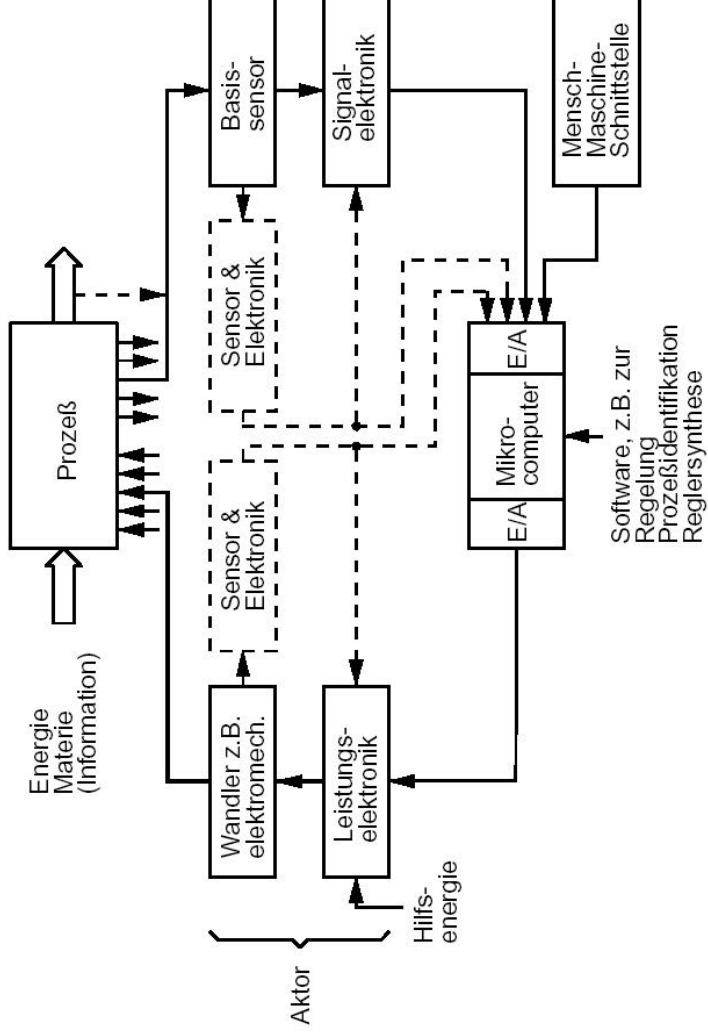
4.1.3. DAC: Video-RAM (RAMDAC)



4.1.4. DAC: Hybrid-Wandler



4.2. Anforderungen an Ausgangsstufen (I)



4.2. Anforderungen an Ausgangsstufen (II)

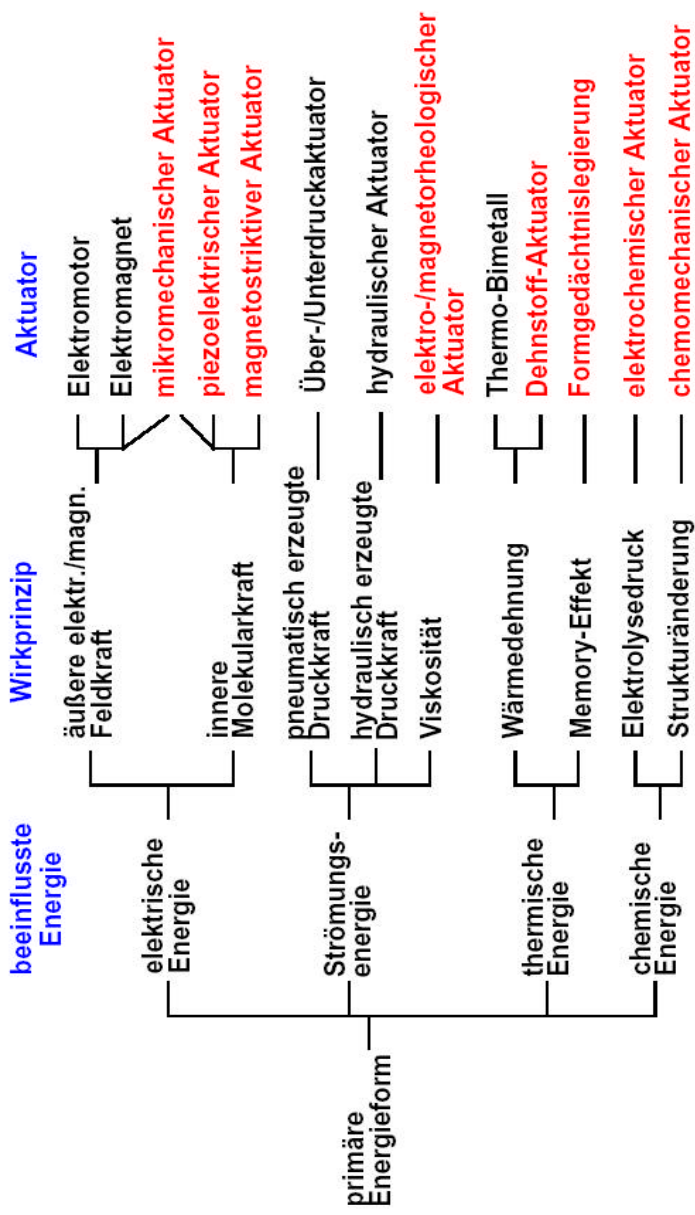
Auswahl der Aktoren:

- piezo-keramische (kapazitive Last)
- elektro-magnetische (induktive oder kapazitive Last)
- Motoren (induktive Last)

Ansteuerschaltung:

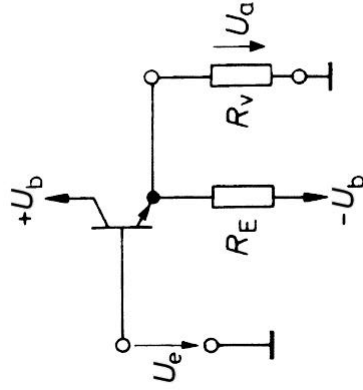
- Leistung
- Strom
- Spannung
- slew rate (Bandbreite)

4.2. Anforderungen an Ausgangsstufen (III)



4.3. Ausgangsstufen

4.3.1. Stromtreiber



Spannungsverstärkung:

Stromverstärkung bei Leistungsanpassung:

Verbraucherwiderstand für Leistungsanpassung:

Ausgangsleistung bei Leistungsanpassung und

sinusförmiger Vollaussteuerung

Maximaler Wirkungsgrad:

Maximale Verlustleistung des Transistors:

$$A \approx 1$$

$$A_i = \frac{1}{2} \beta$$

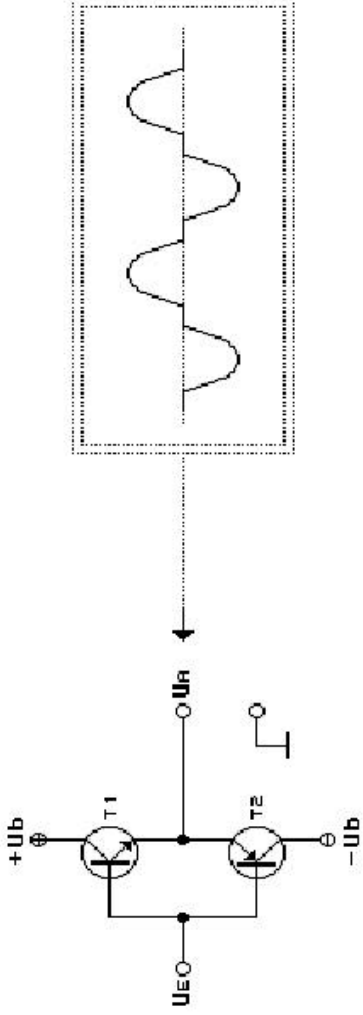
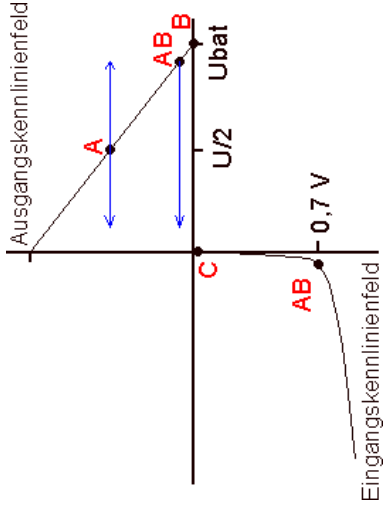
$$R_v = R_E$$

$$P_{v \max} = \frac{U_b^2}{8R_E}$$

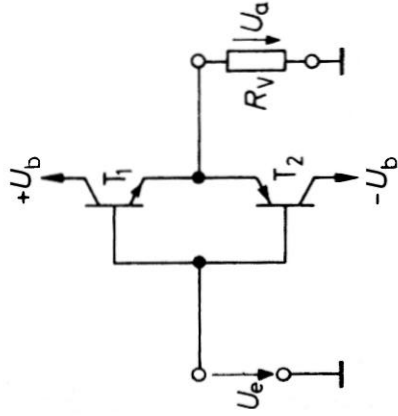
$$\eta_{\max} \frac{P_{v \max}}{P_{ges}} = 6,25\%$$

$$P_T = \frac{U_b^2}{R_E} = 8P_{v \max}$$

4.3.2. Komplementäre Endstufe (B-Betrieb)



4.3.2. Komplementäre Endstufe (B-Betrieb)



Spannungsverstärkung:
Stromverstärkung:

Ausgangsleistung bei sinusförmiger Vollaussteuerung:

Wirkungsgrad bei sinusförmiger Vollaussteuerung:

Maximale Verlustleistung in einem Transistor:

$$A \approx 1$$

$$A_i = \beta$$

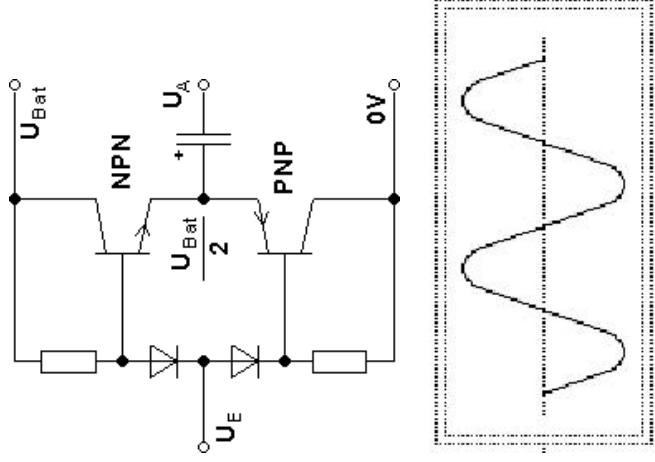
$$P_v = \frac{U_b^2}{2R_v}$$

$$\eta_{\max} \frac{P_v}{P_{\text{ges}}} = 78,5\%$$

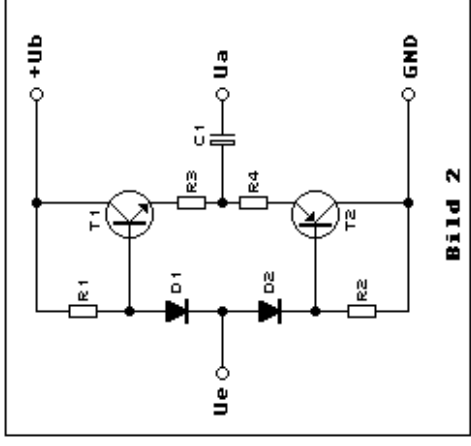
$$P_{T1} = P_{T2} \frac{U_b^2}{\pi^2 R_v} = 0,2P_v$$

4.3.2. Komplementäre Endstufe (AB-Betrieb)

Ohne Gegenkopplung

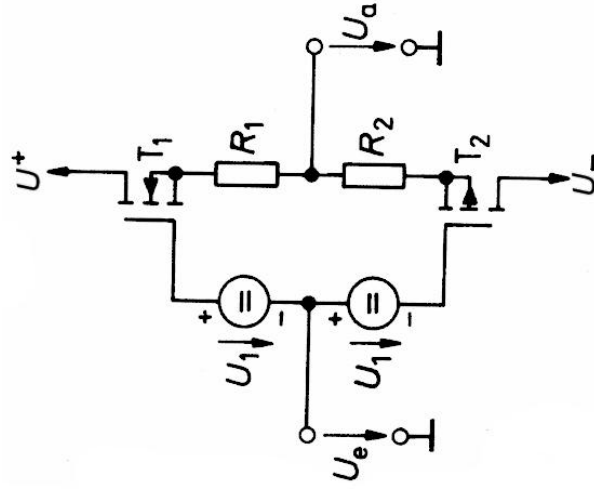


Mit Gegenkopplung

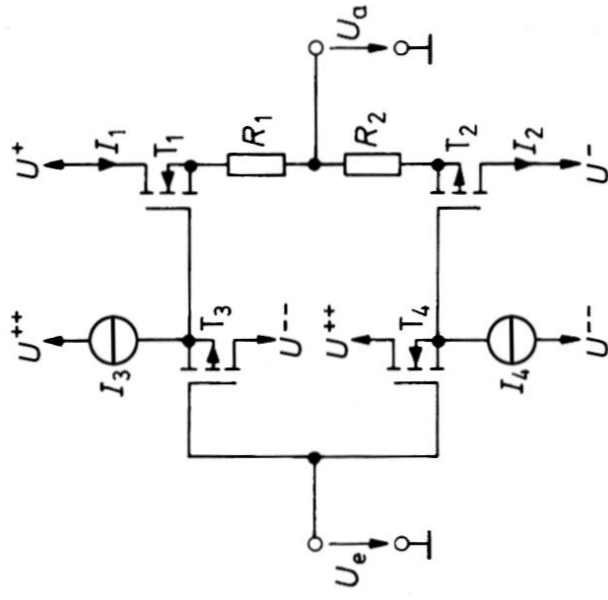


4.3.2. Komplementärer Sourcefolger

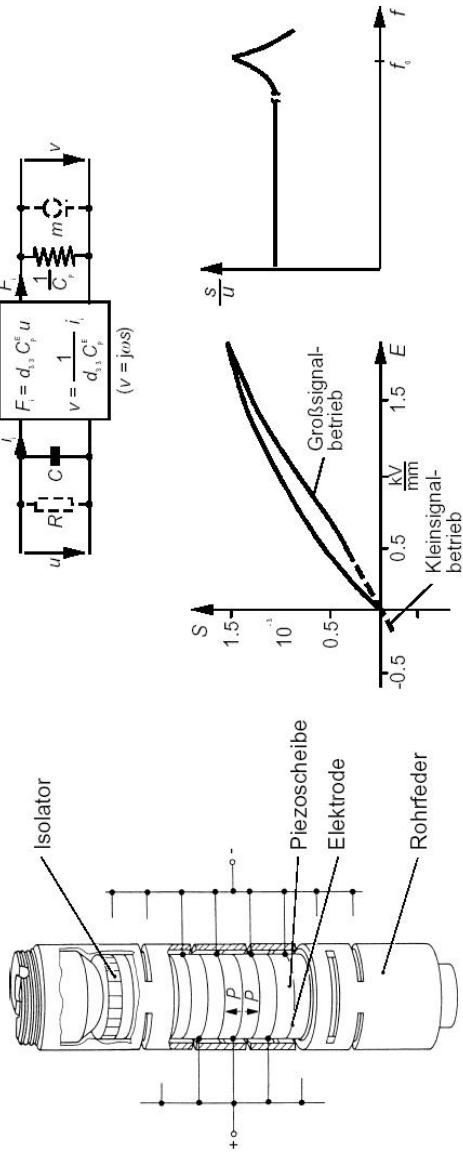
Grundprinzip



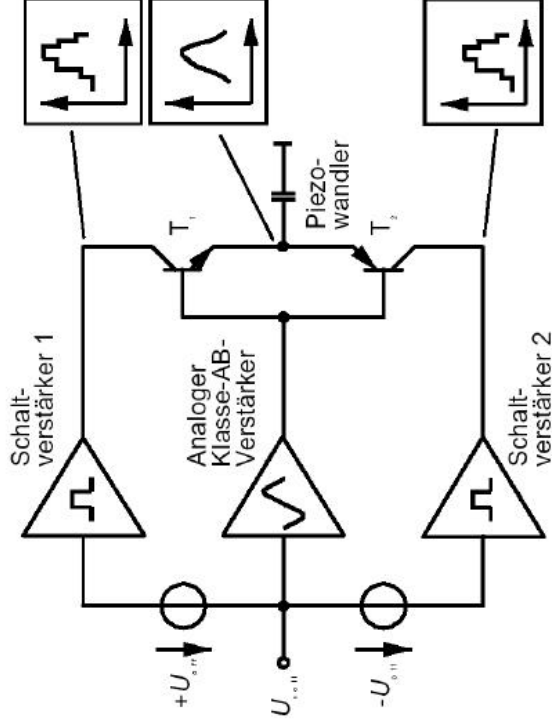
Mit Vorspannungserzeugung



4.3.3. Piezoansteuerung: Prinzip



4.3.3. Piezoansteuerung: Hybridverstärker

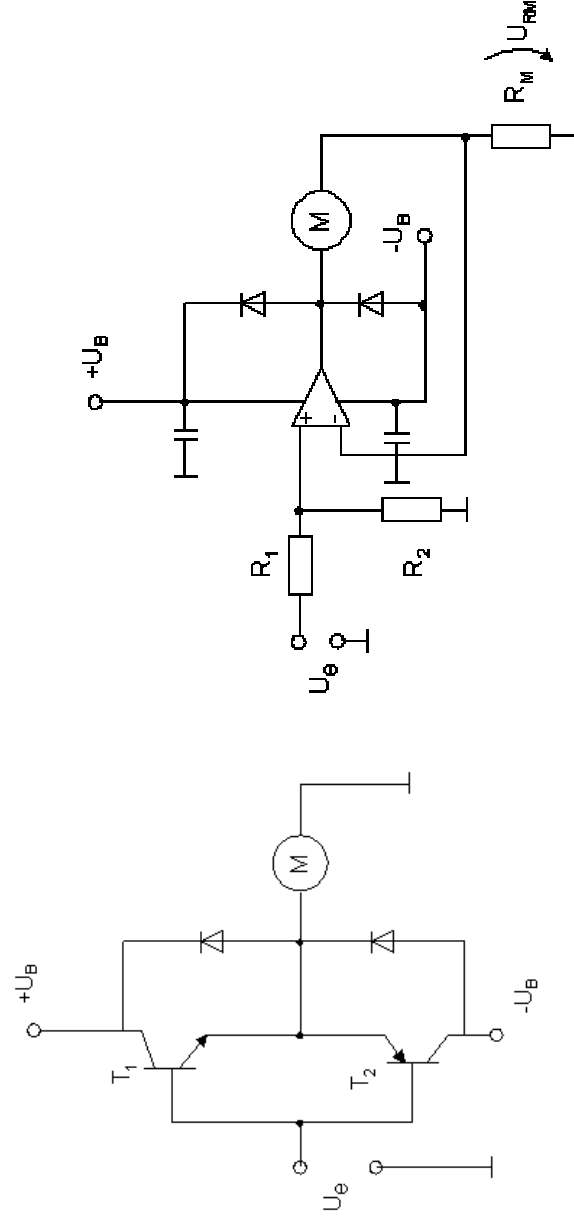


4.3.3. Piezoansteuerung: Verstärkervergleich

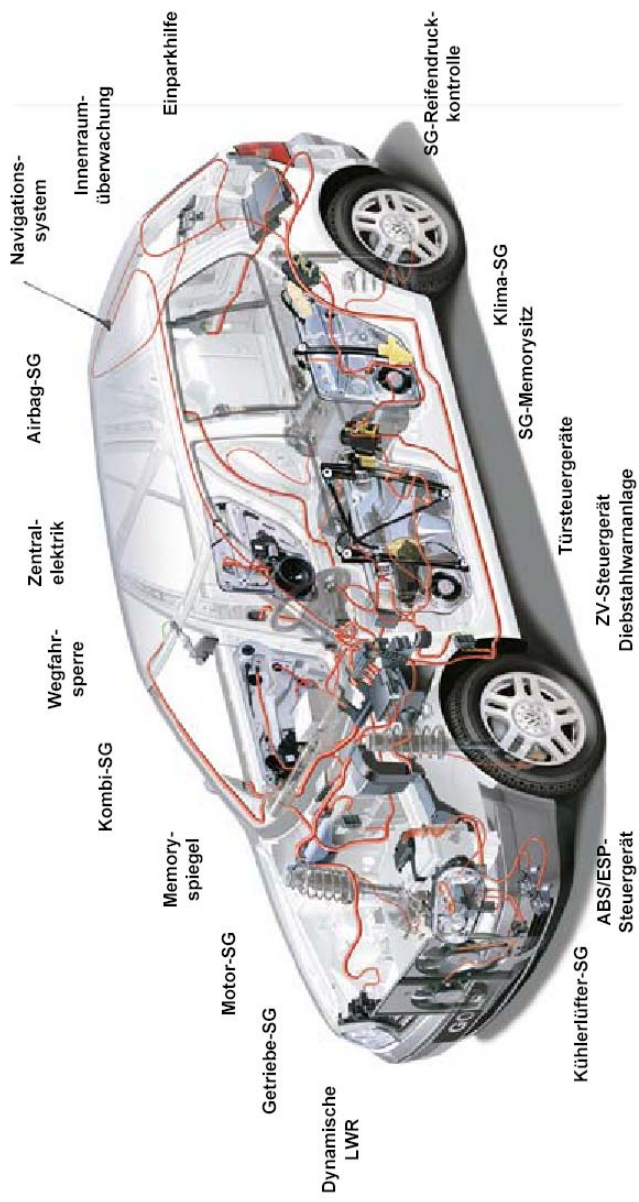
	Schalt-Verstärker	Analog-Verstärker
Verluste in den Leistungstransistoren	Nur beim Schalten	Ständig bis zum Wert der Ausgangsleistung
Rückgewinnung gespeicherter Feldenergie	Prinzipiell möglich	Nicht möglich
Restwelligkeit des Ausgangssignals	Sehr hoch	Vernachlässigbar gering
Klirrfaktor des Ausgangssignals	Sehr groß	Sehr klein
Elektromagnetische Verträglichkeit	Erzeugung hochfrequenter Störfelder ¹	Sehr geringe Störfelder
Verfügbarkeit der Leistungstransistoren	Gut	Weniger gut
Schaltungsaufwand	Größer ²	Geringer

¹ bei kapazitiver Last (Piezowandler) weniger starke Störfelder
² bei induktiver Last (magnetostriktive Wandler) erheblich größerer Schaltungsaufwand

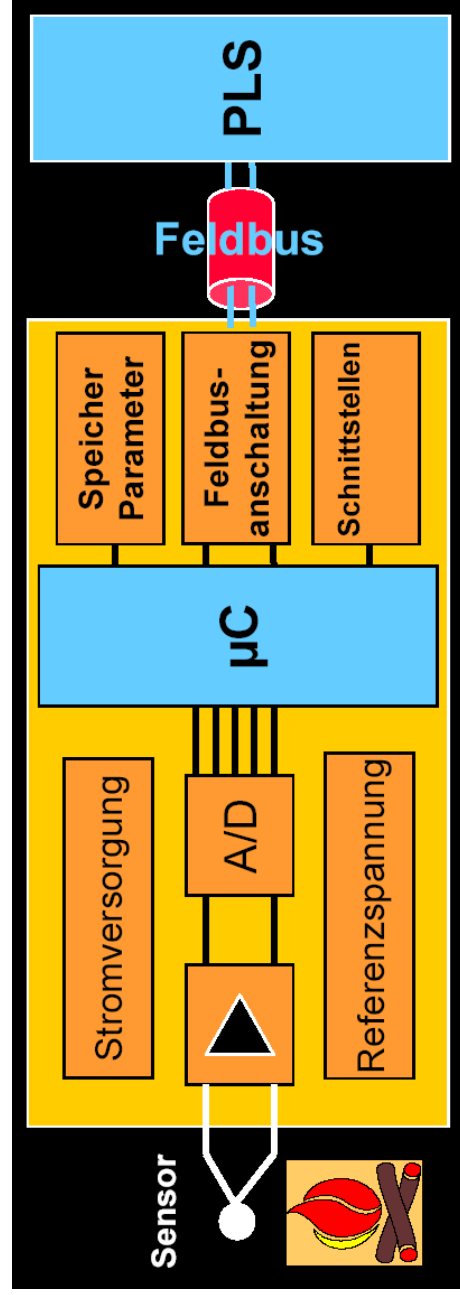
4.3.4. Ansteuerung von Motoren



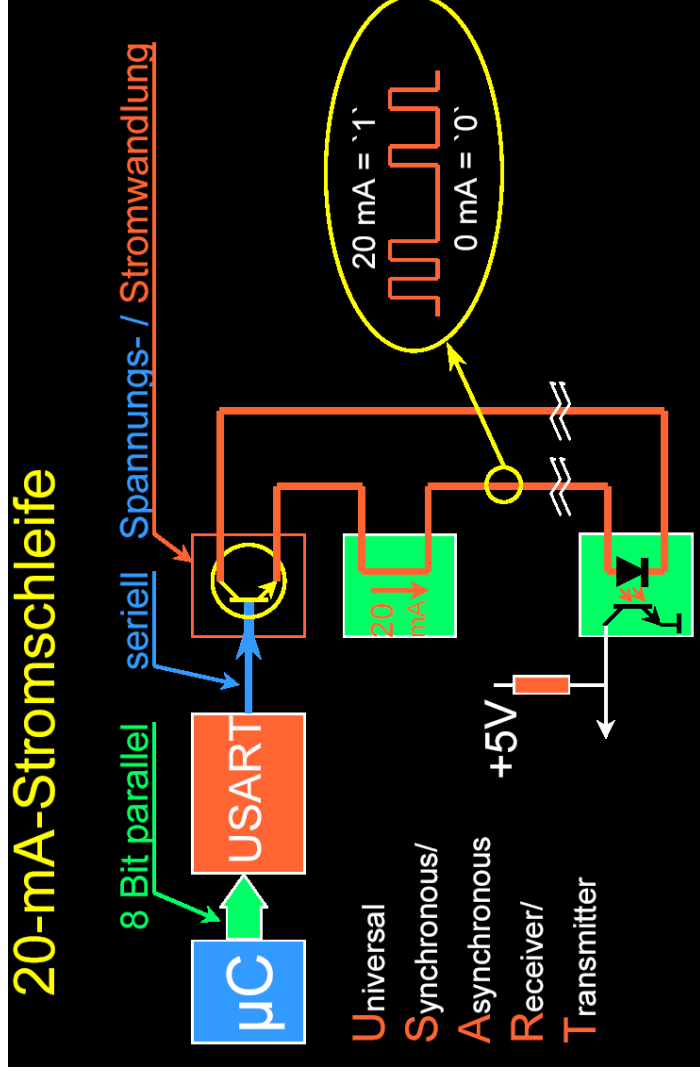
5. Digitale Komponenten in integrierten Systemen



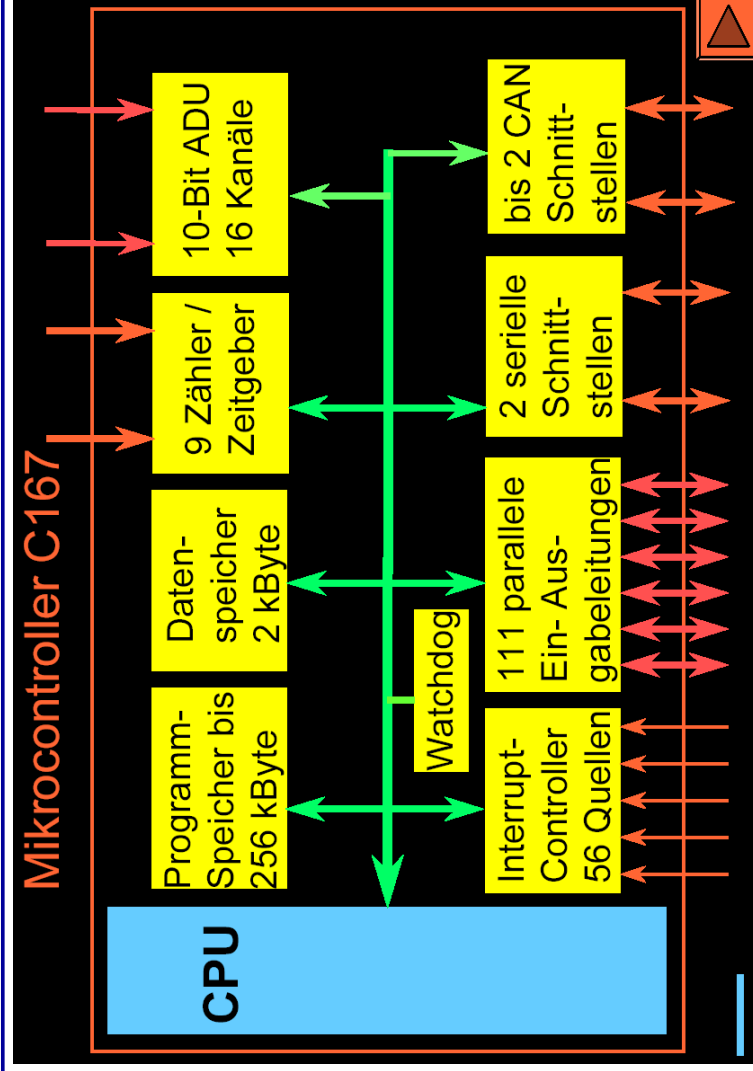
5.1. Einführung (I)



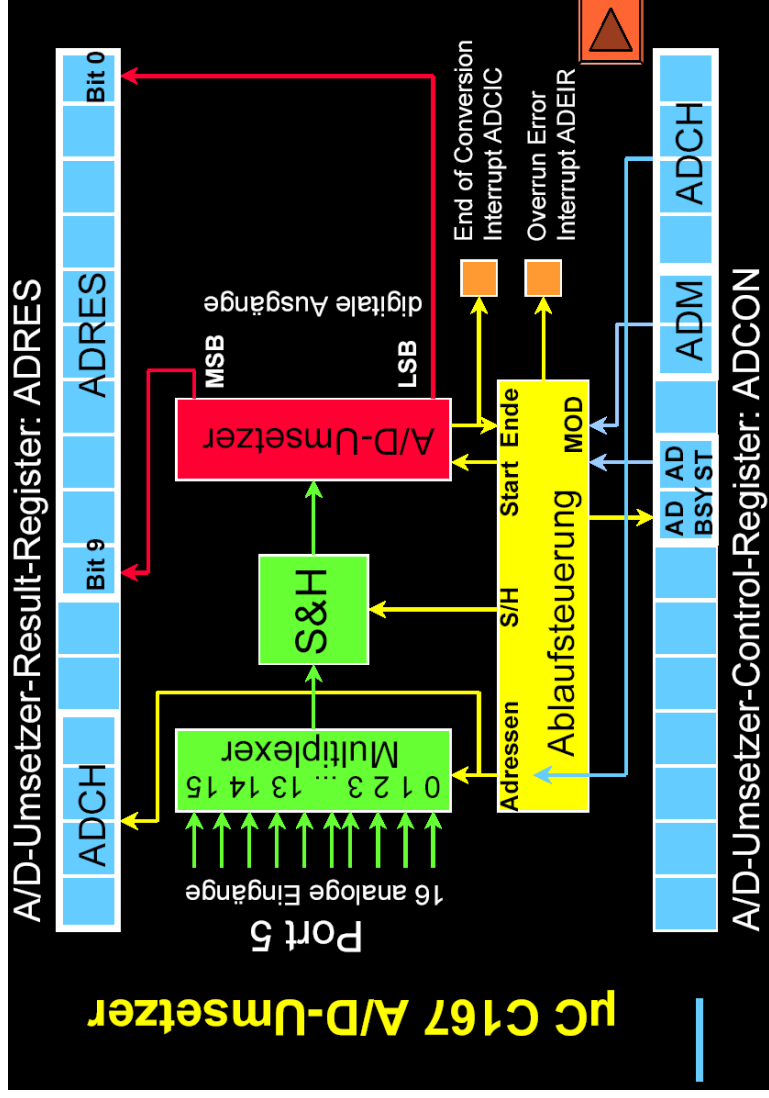
5.1. Einführung (II)



5.2. Mikrocontroller

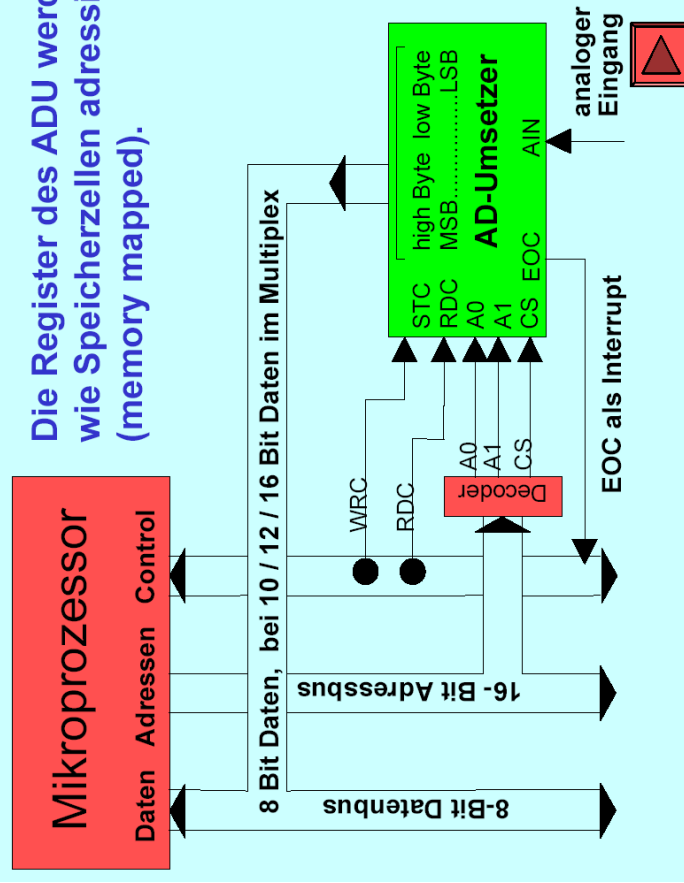


5.2.1. µC und ADC (I)

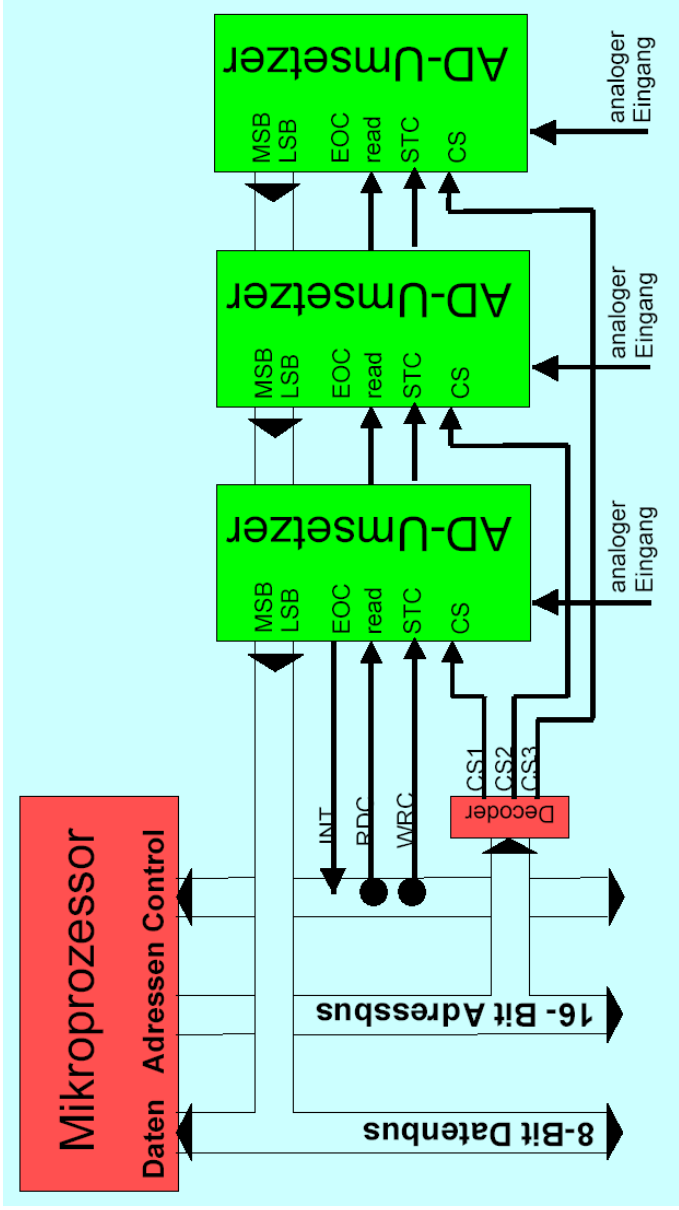


5.2.1. µC und ADC (II)

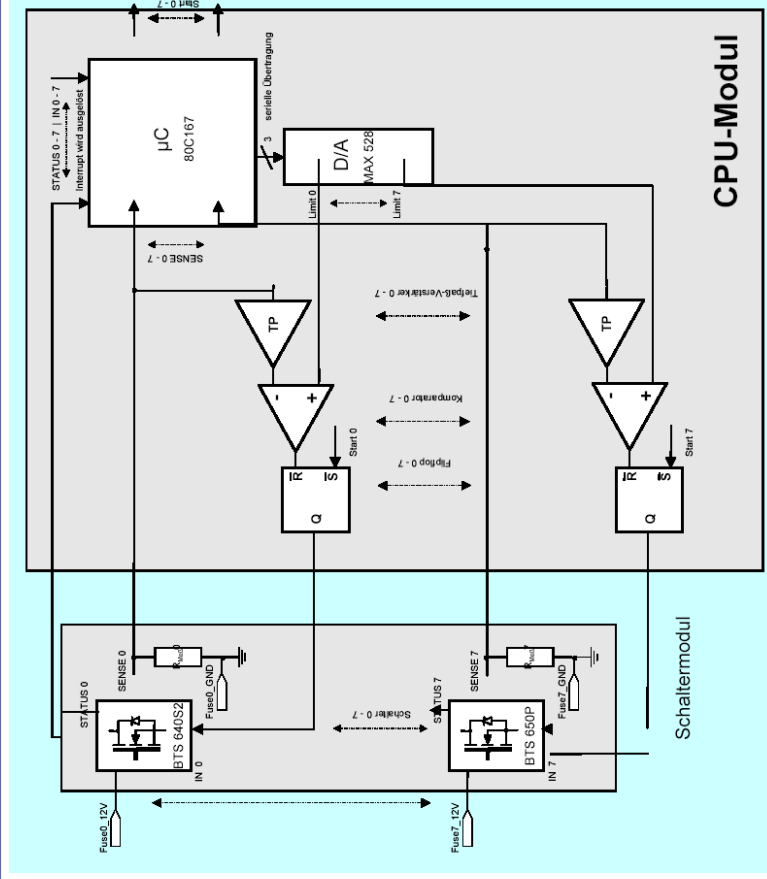
Interface für einen AD-Umsetzer



5.2.1. μC und ADC (III)

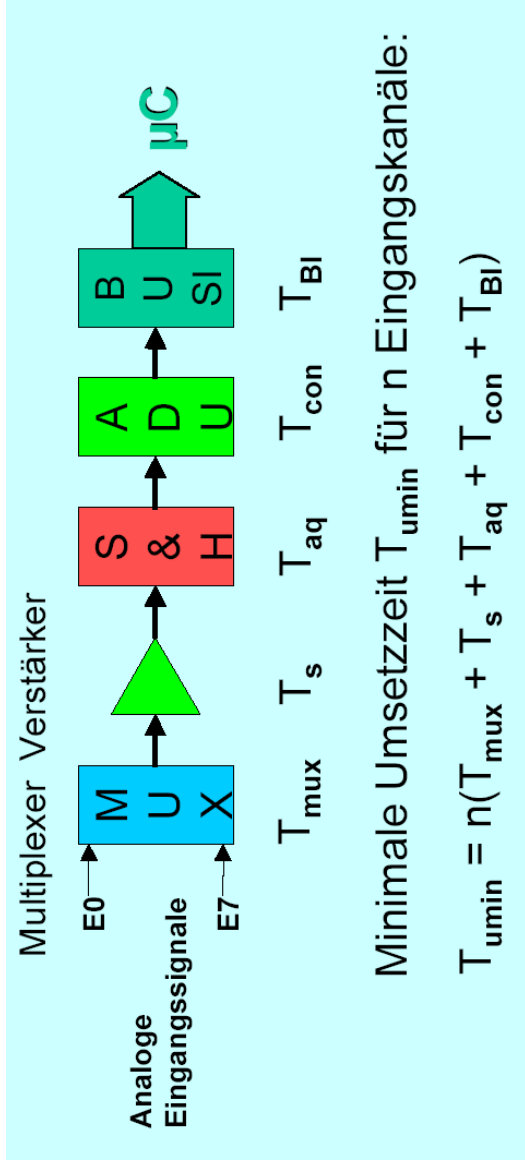


5.2.1. μC -Beispiel: Stromerfassung im KFZ



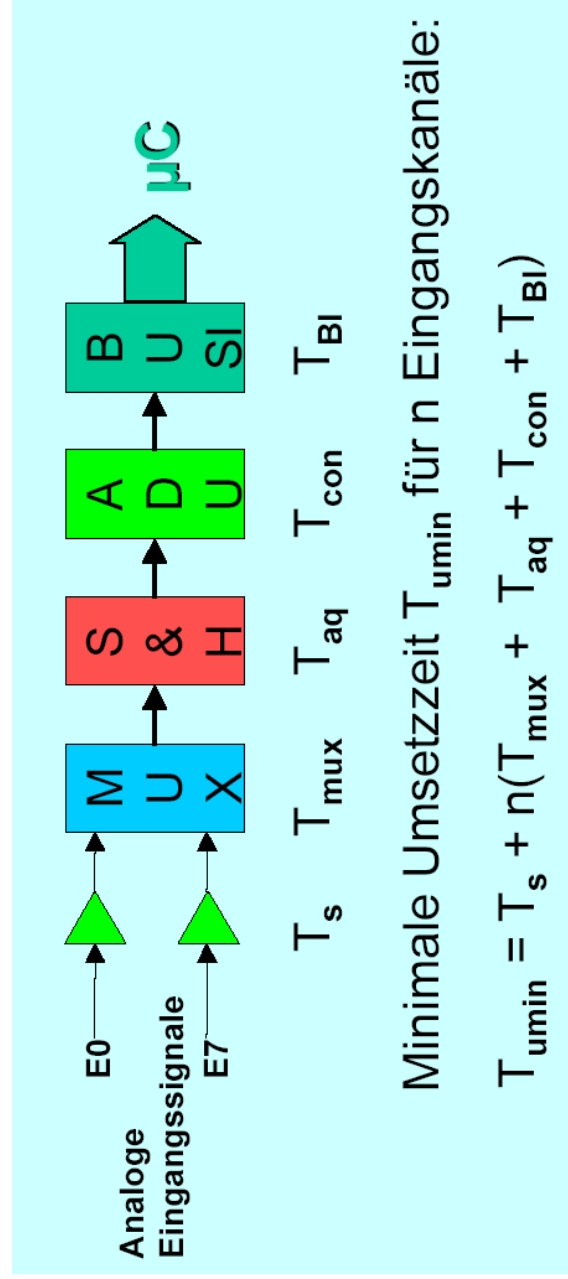
5.2.2. Meßdatenerfassung (I)

Je Kanal ein Multiplexer mit sequentieller Abtastung



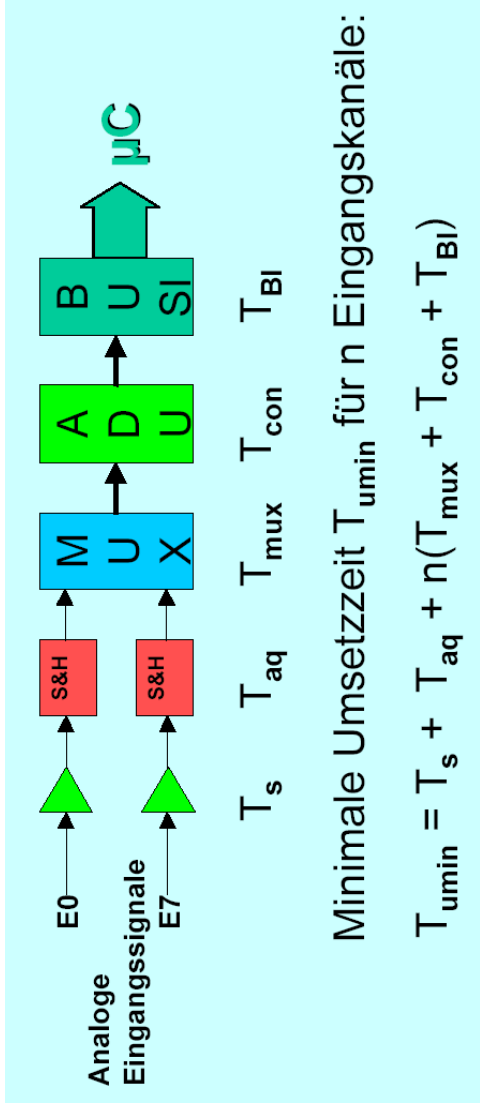
5.2.2. Meßdatenerfassung (II)

Je Kanal ein Verstärker mit sequentieller Abtastung



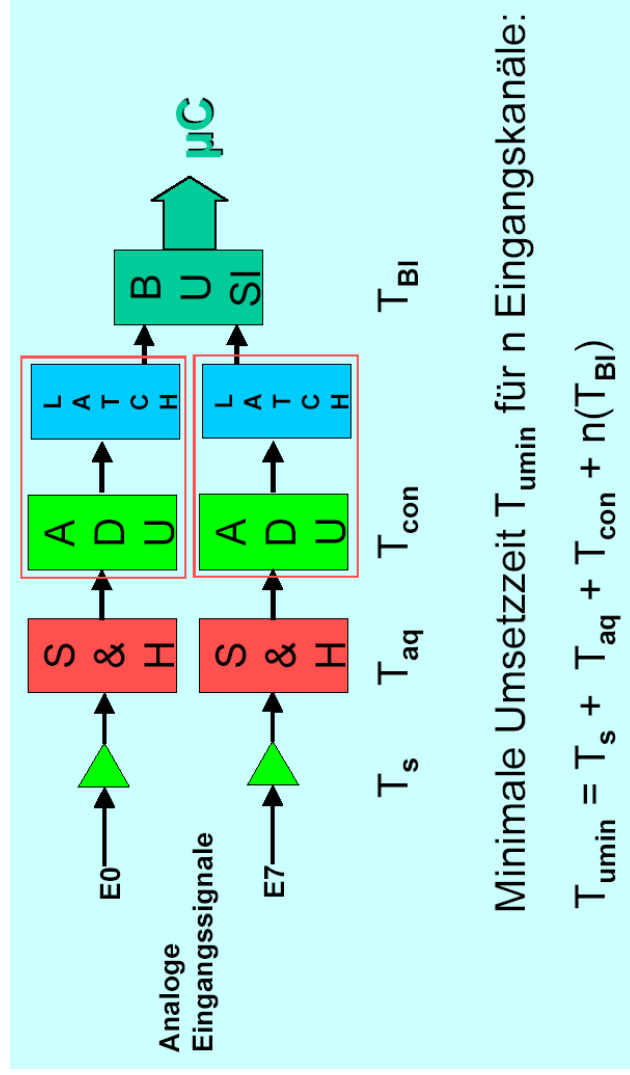
5.2.2. Meßdatenerfassung (III)

Je Kanal ein Verstärker mit S&H mit sequentieller Abtastung



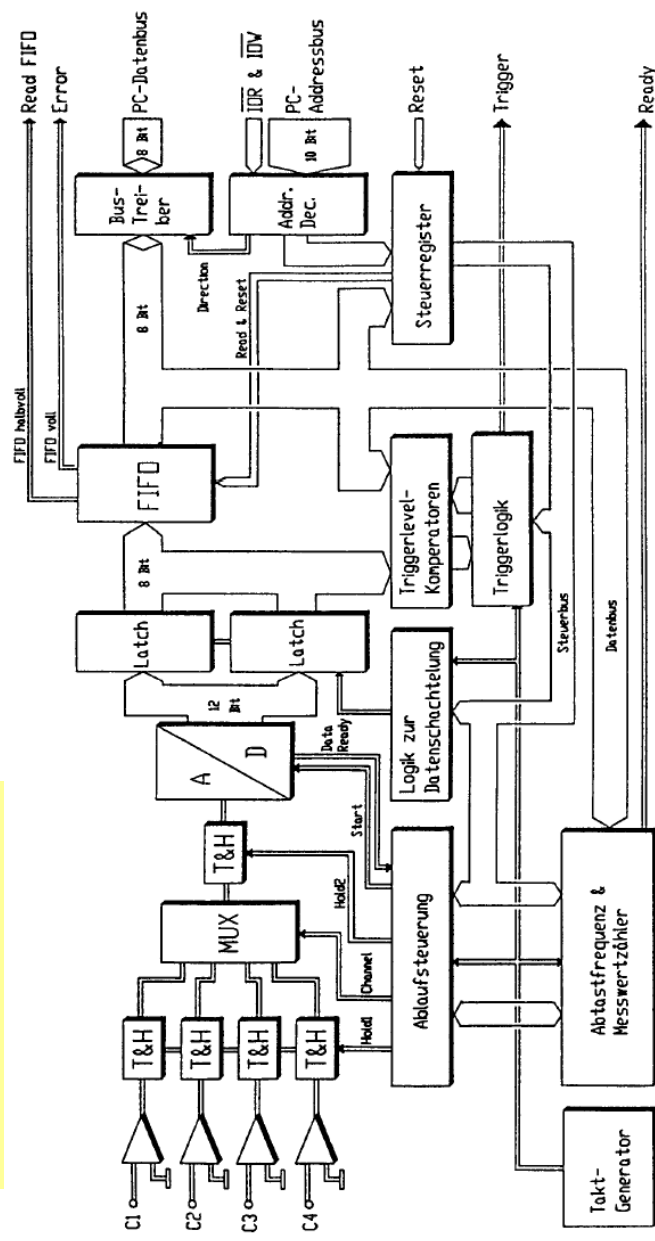
5.2.2. Meßdatenerfassung (IV)

Mehrkanalsysteme



5.2.2. Meßdatenerfassung (V)

4-Kanal-Datenerfassung



5.3. Digitale Signalprozessoren (DSP)

DSP oder PDSP sind Mikroprozessoren mit besonderer Architektur, die Signalverarbeitungsaufgaben mit besonderer Effizienz ausführen.

Seit Einführung der ersten, kommerziell erfolgreichen digitalen Signalprozessoren in den frühen 80er Jahren ist - ähnlich wie bei den Mikroprozessoren und Mikrocontrollern - bisher eine große Anzahl von neuen Signalprozessoren für unterschiedliche Anwendungsbereiche erschienen.

5.3.1. DSP: Einführung

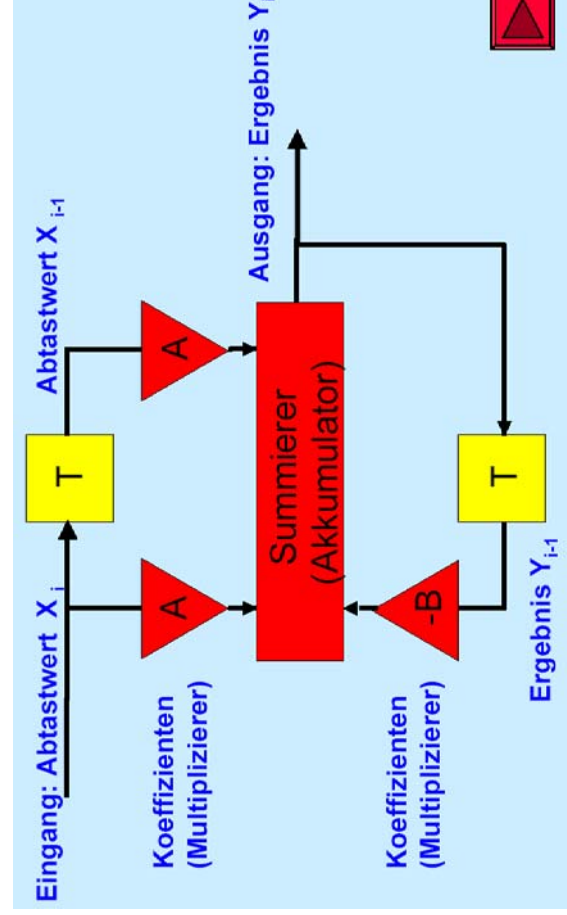
DSP sind typischerweise dazu in der Lage, numerisch anspruchsvolle, sich wiederholende Berechnungen mit hoher Rechnerleistung zu bewältigen.

Die bekannteste und meist zitierte Eigenschaft heißt "MAC" und beschreibt die Fähigkeit, eine Multiplikation mit Addition in einen Akkumulator in einem einzigen Instruktionszyklus auszuführen. Der MAC-Befehl ist sehr nützlich für Algorithmen, in denen, wie bei der digitalen Filterung, kontinuierlich eine Summe von Produkten gebildet wird. Zur Veranschaulichung derartiger Aufgaben betrachten wir den Signalflussgraphen eines digitalen Tiefpassfilters 1. Ordnung mit der zugehörigen Summenformel für den digitalen Ausgang:



5.3.2. Digitale Filter

Signalflußgraph eines digitalen Tiefpaß 1. Ordnung

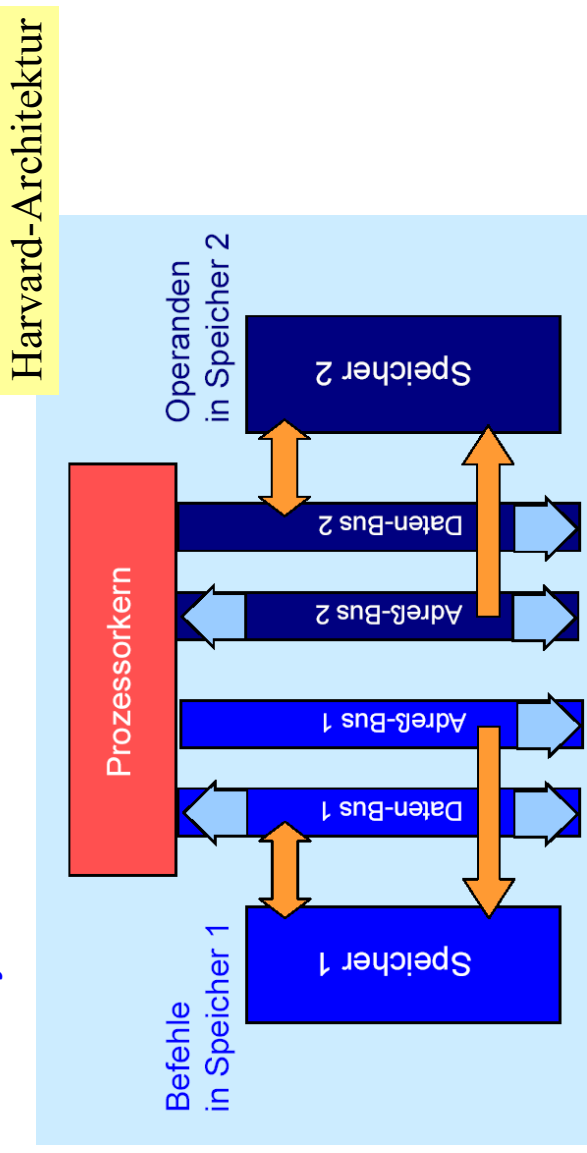


Ausgangssignal: $Y_i = A * X_i + A * X_{i-1} + (-B) * Y_{i-1}$



5.3.3. DSP: Speicherzugriffe (I)

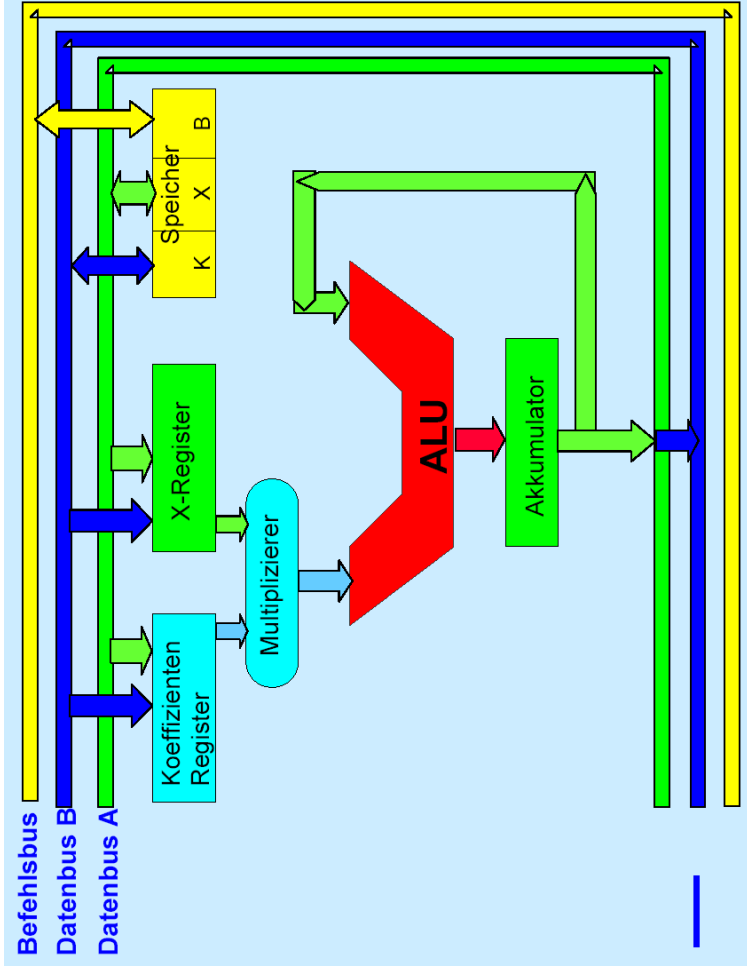
Ein weiteres gemeinsames DSP-Merkmal ist die Fähigkeit, mehrere Speicherzugriffe in einem einzigen Instruktionszyklus abzuschließen.



5.3.3. DSP: Speicherzugriffe (I)

Im Gegensatz zu üblichen Prozessoren mit
v. Neumann - Architektur
bei der Befehle und Daten aus einem gemeinsamen
Speicher über einen
ebenfalls gemeinsamen Datenbus laufen -
verfügen Signalprozessoren
über getrennte Busse für Befehle und Daten.

5.3.4. Aufbau eines DSP (I)



5.3.4. Aufbau eines DSP (II)

Im allgemeinen unterliegen diese Mehrfachzugriffe während eines einzigen Instruktionszyklus starken Einschränkungen.

Typischerweise müssen **alle Speicherquellen und -ziele, bis auf eine, intern im Chip liegen.**

Ferner erlauben nur ganz bestimmte Instruktionen **Mehrfachzugriffe auf den Speicher.**

Um diesen parallelen Zugriff zu bewältigen, bieten DSPs **mehr als einen chip-internen Instruktions- und Datenpfad**, Mehrfachzugang (multiported) von On-Chip-Speicher sowie etliche unabhängige Speicherbereiche.

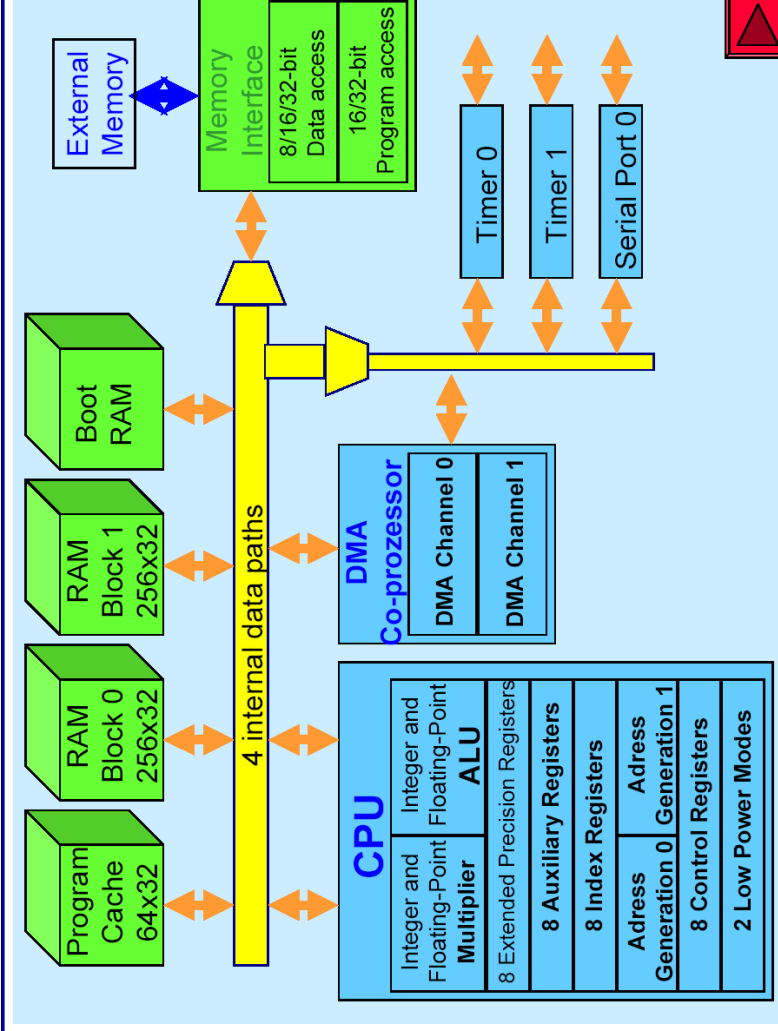
5.3.4. Aufbau eines DSP (III)

Auf vielen DSPs befinden sich verschiedene **parallele** und **serielle Ein- und Ausgabeschnittstellen**, so daß sich die Berechnungseinheiten mit Daten ausreichend versorgen lassen. Ein-/Ausgabe-Mechanismen mit **schneller Interrupt-Verarbeitung** oder **DMA-Fähigkeit** (DirectMemory Access) erhöhen die Leistung und reduzieren die Kosten eines DSP-Systems.

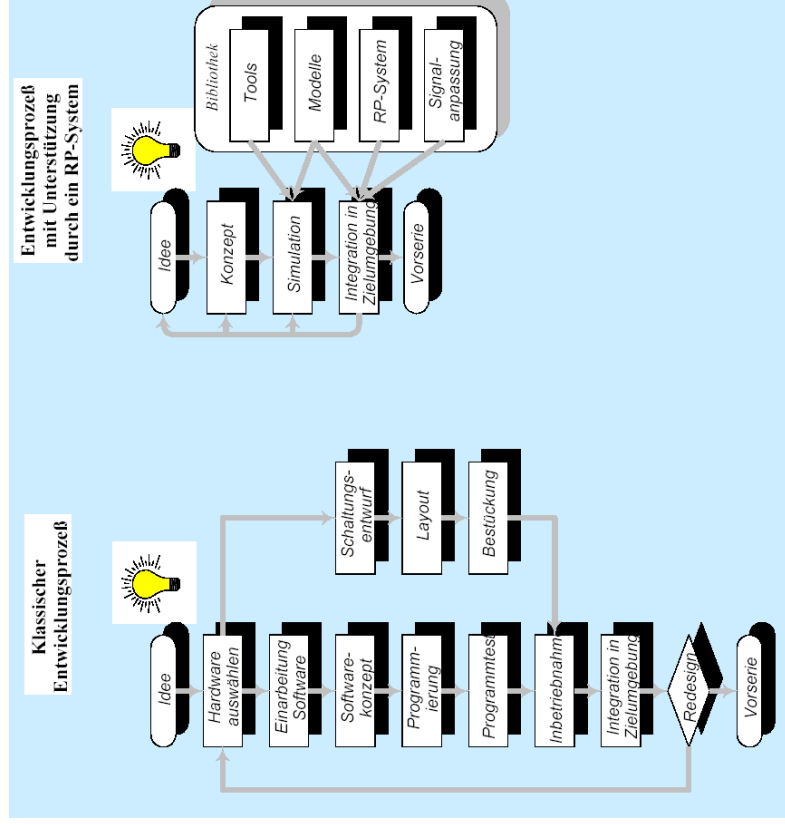
Ein weiteres wesentliches Unterscheidungsmerkmal von DSPs ist die Art der **Zahlendarstellung**, die entweder im **Festkommaformat** oder im **Gleitkommaformat** erfolgt.



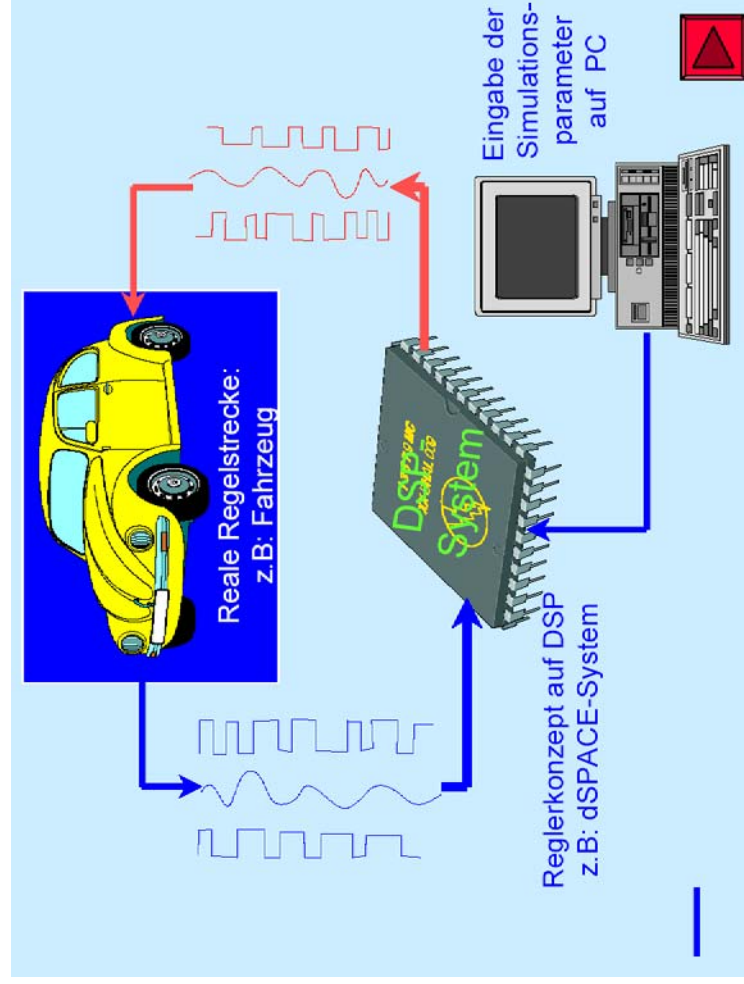
5.3.5. DSP TMS320C32



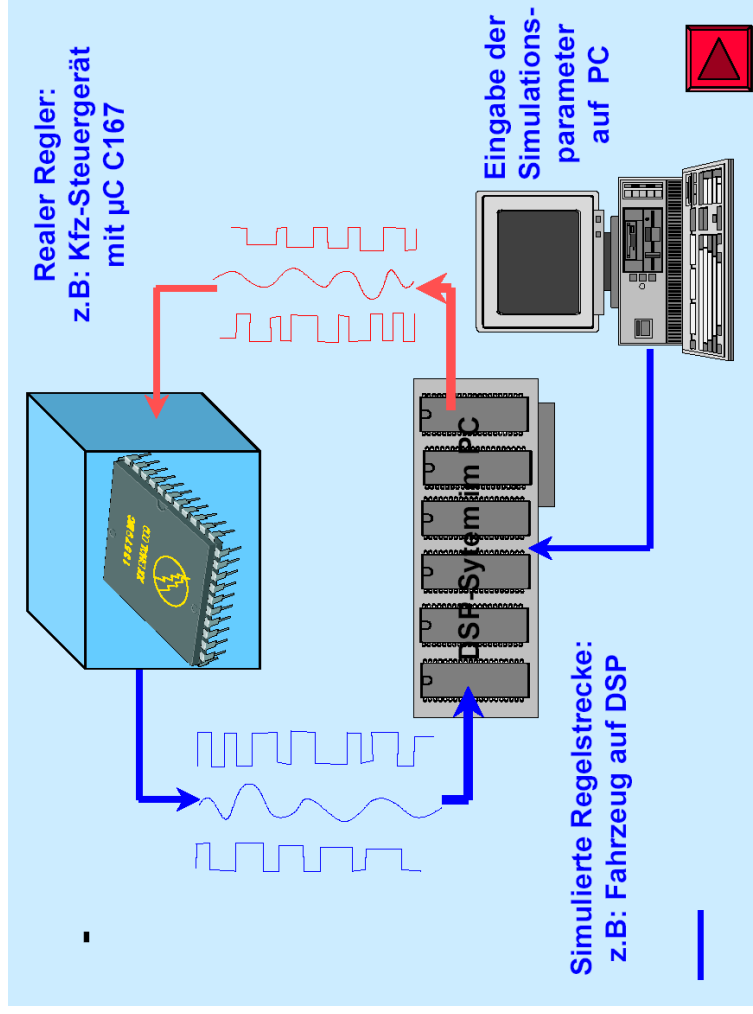
5.4. Entwurf



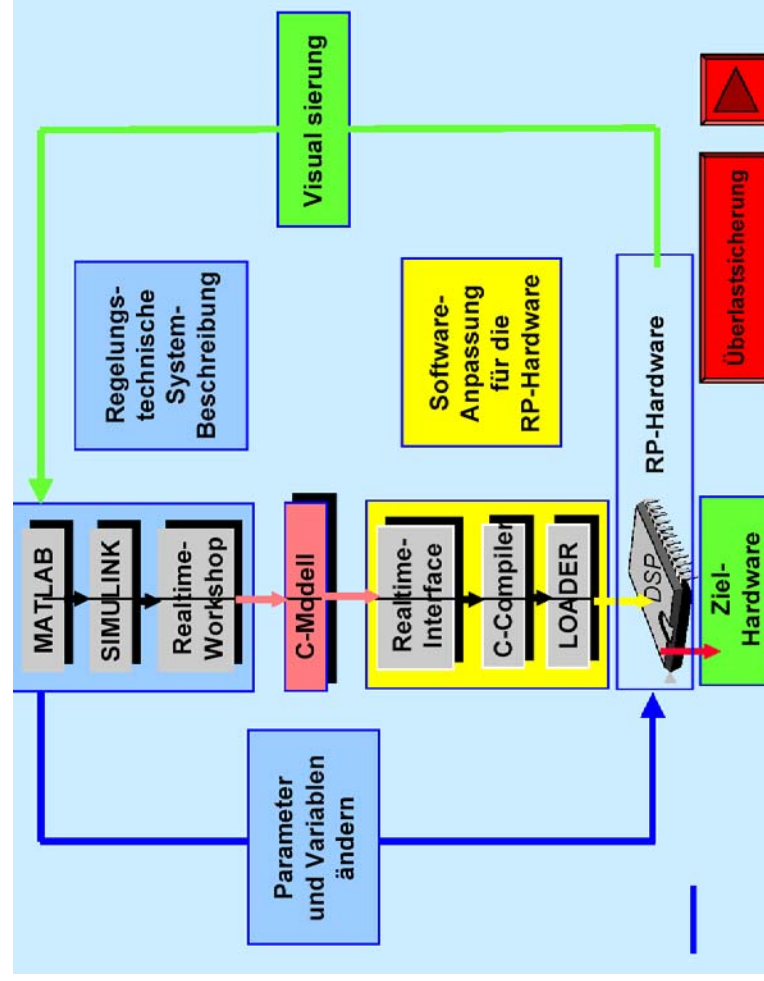
5.4.1. Rapid-Prototyping



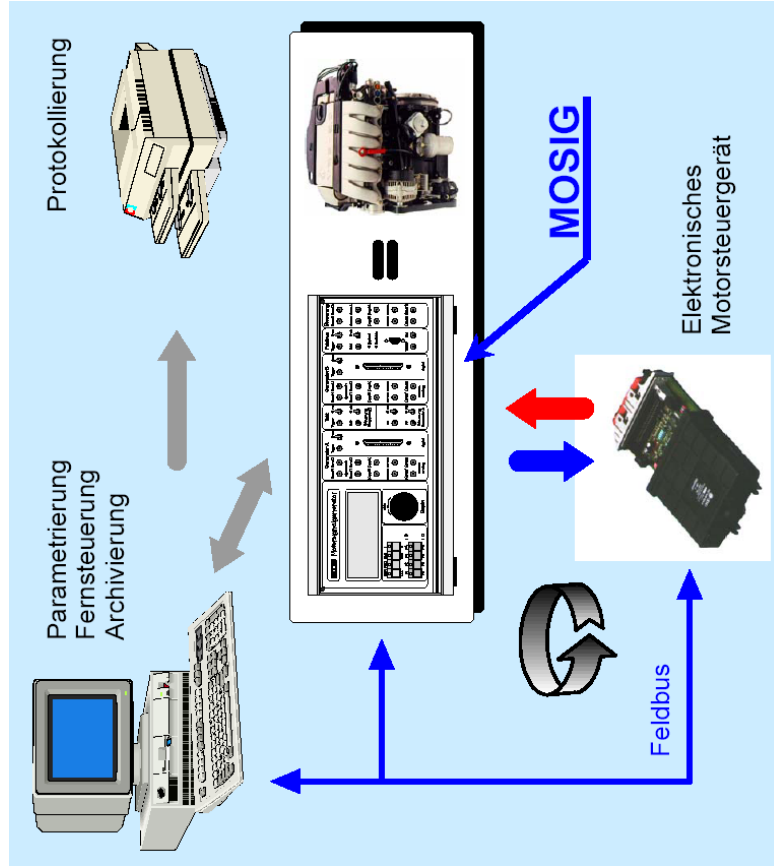
5.4.2. Hardware-in-the-loop (HiL)



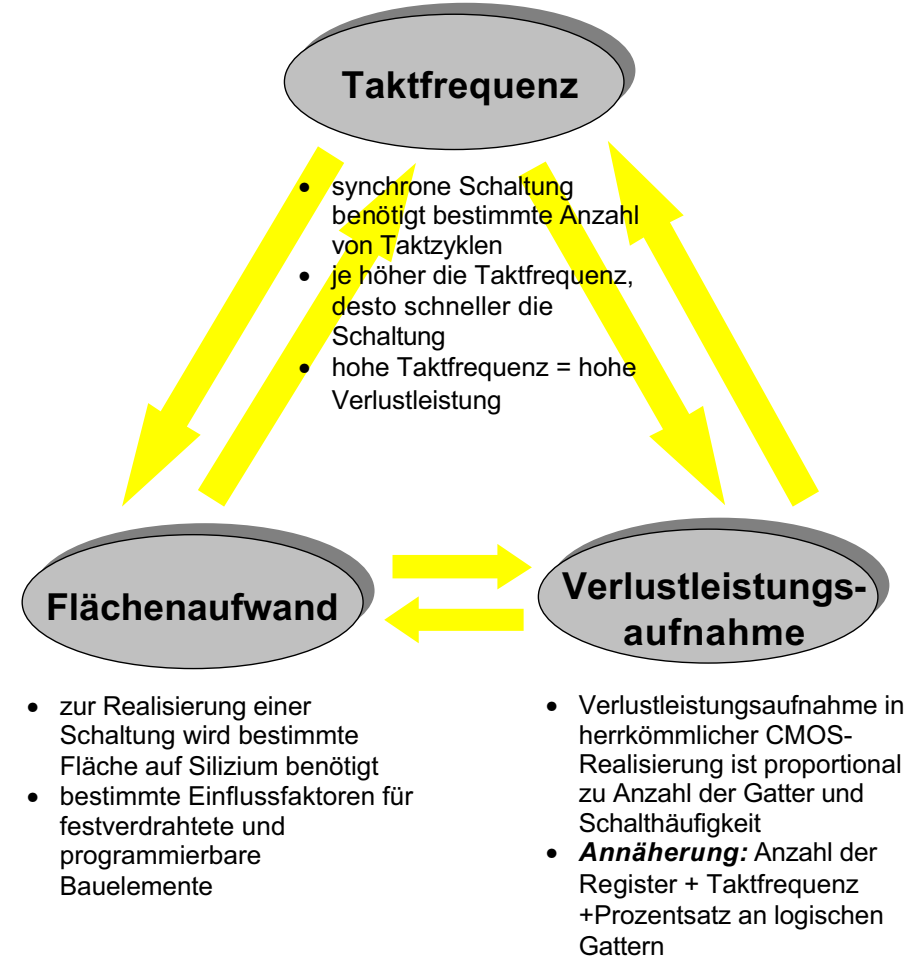
5.4.2. HiL: Simulation



5.4.2. HiL: KFZ-Entwicklungswerkzeug

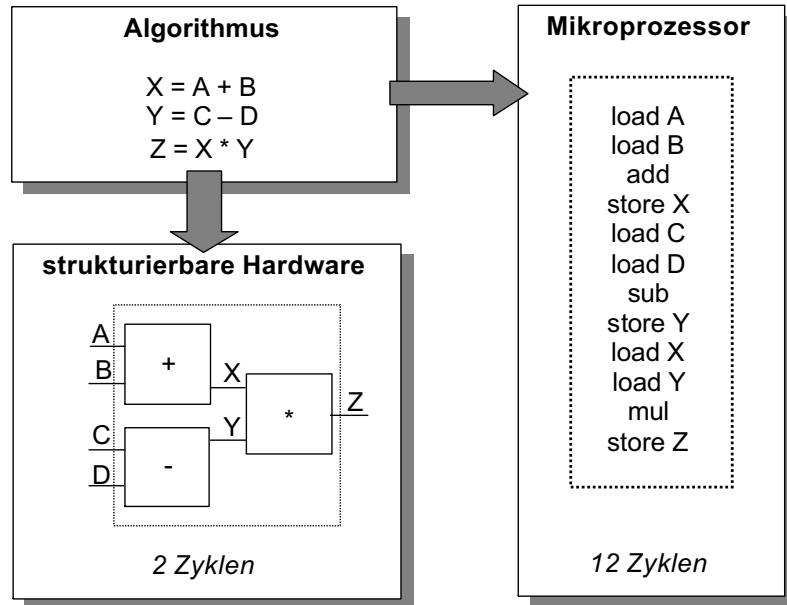


6. Programmierbare Logikbausteine (PLD)



6.1 Einordnung der PLD

Computing in Space vs. Computing in Time



Räumliche Sequentialisierung

- Datenflussorientierung
- Parallelisierung (Addition und Subtraktion)
- Pipelining (Add/Sub und Mul)

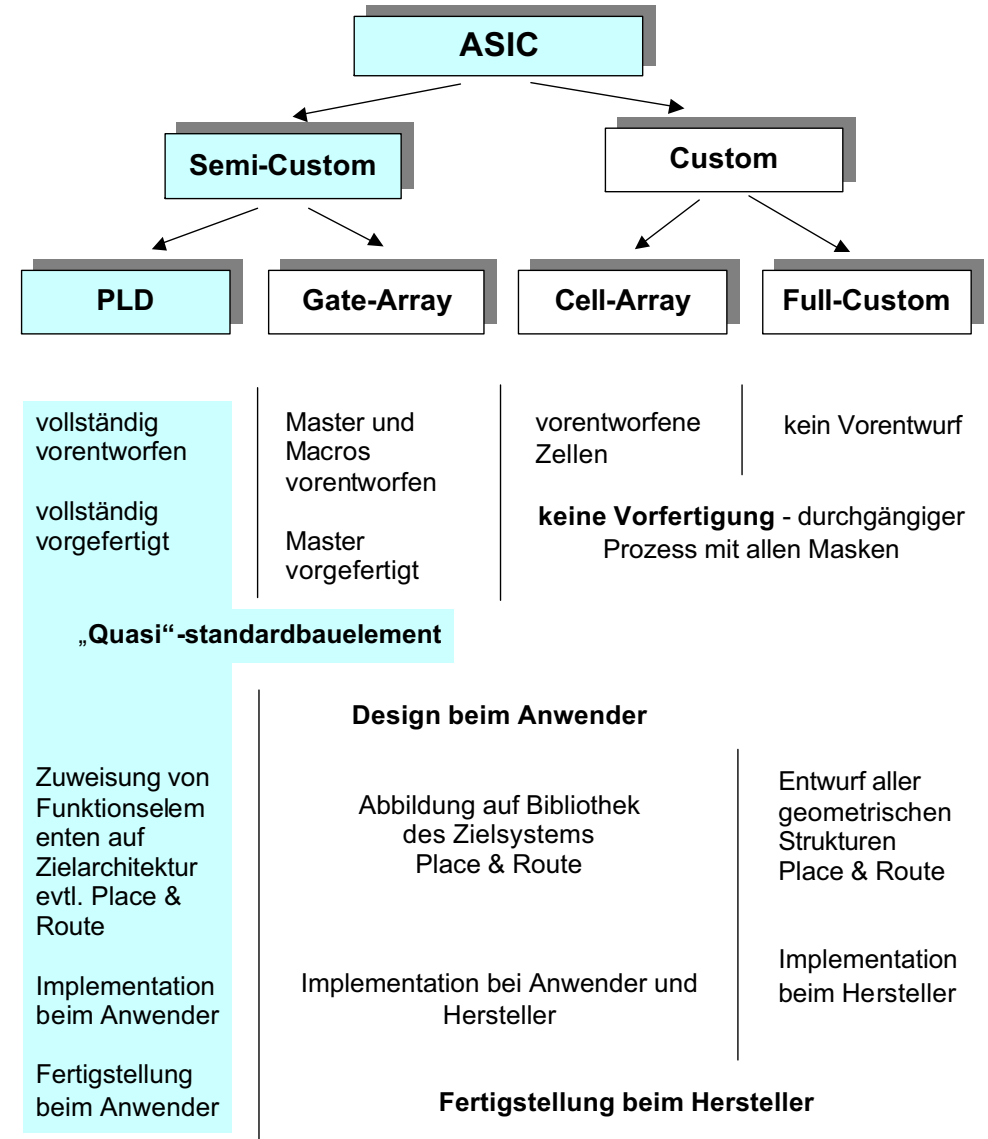
weitere Kriterien:

- Skalierbarkeit
- Hardwareaufwand
- Echtzeitfähigkeit
- Verlustleistungsaufnahme
- Flexibilität
- Entwurfsprozess

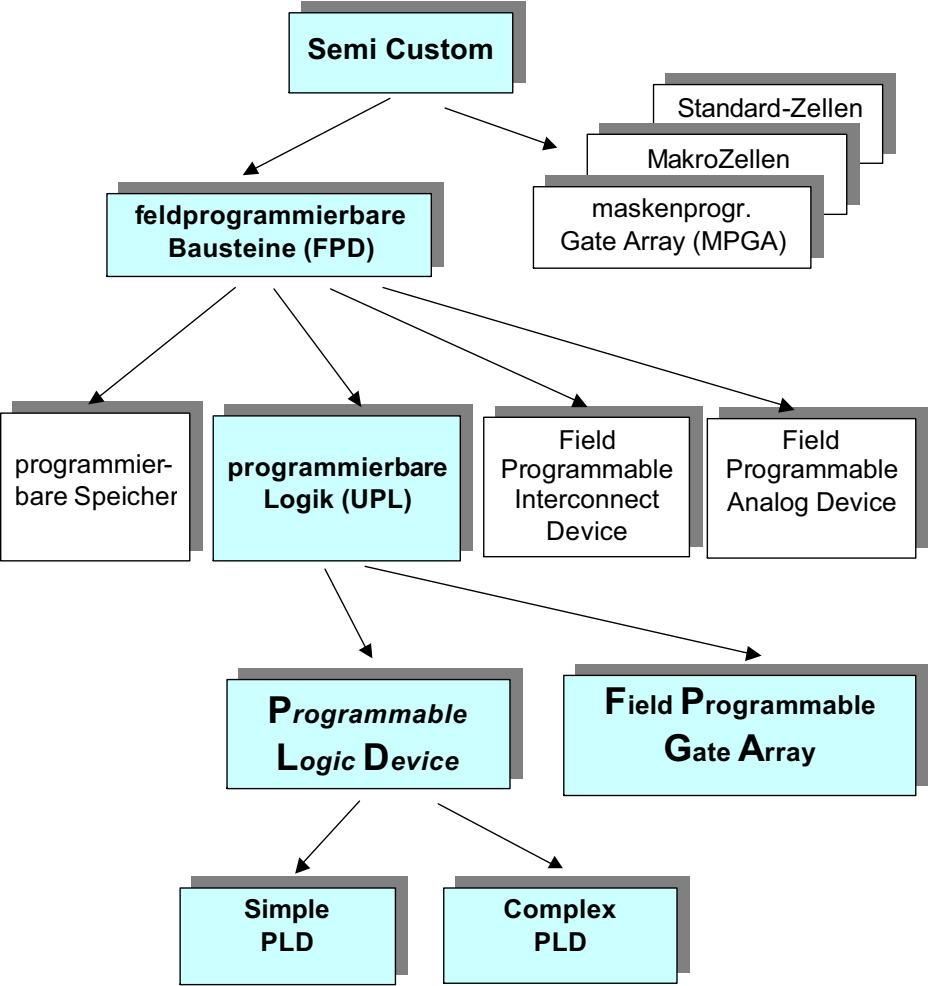
Zeitliche Sequentialisierung

- Kontrollflussorientierung
- Pipelining bei modernen Mikroprozessoren (DSP) auch möglich

6.2 Systematisierung



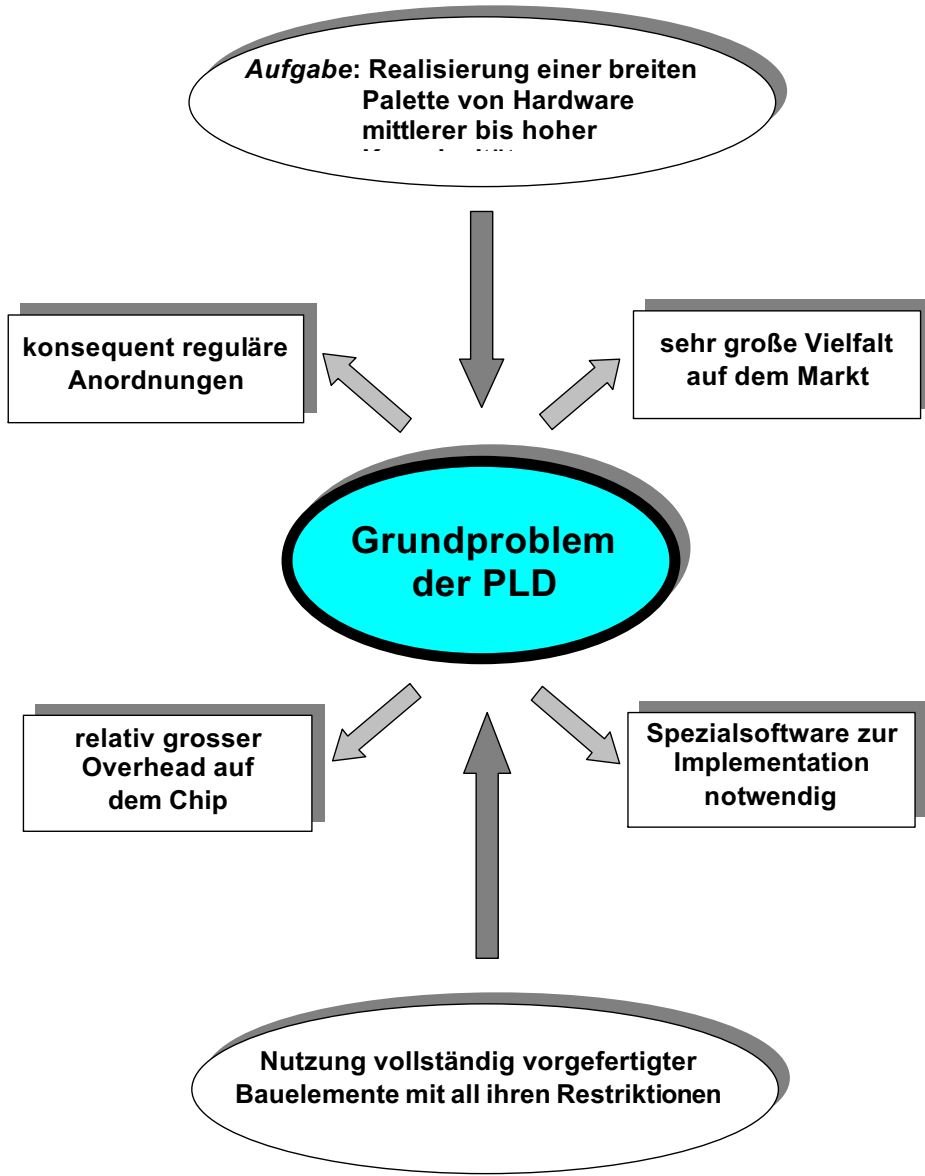
Systematisierung der Semi-Cusom IC



Vergleich der Entwurfsstile

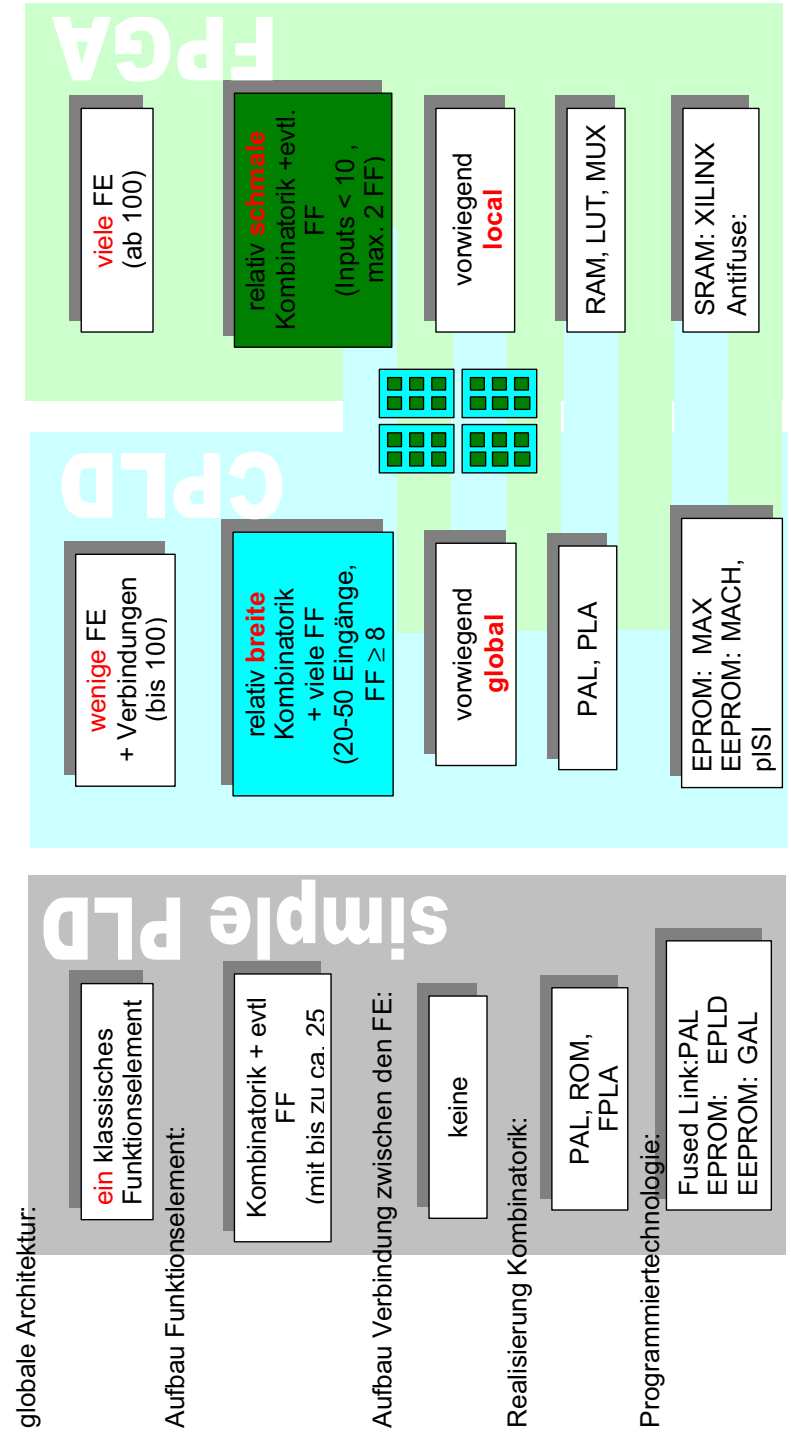
	Standard-baustein	Full-Custom-ASIC	Semi-Custom-ASIC	Programmierbare Logik
IC-Preis	klein	hoch	mittel	klein
Preis/Gatter	gering bis mittel	gering	mittel	mittel
Entwicklungszeit	-	Monate	Wochen	Stunden bis Tage
Fertigungszeit	direkt verfügbar	Wochen	Tage bis Wochen	Sekunden bis Minuten
NRE-Kosten	-	sehr hoch	hoch	gering
Silizium-Ausnutzung	sehr gut	sehr gut	schlecht bis gut	schlecht
Entwurfsänderung	-	sehr aufwendig	aufwendig	einfach
Lieferanten	viele	einer	zumeist einer	viele

Problematik beim Einsatz von PLD

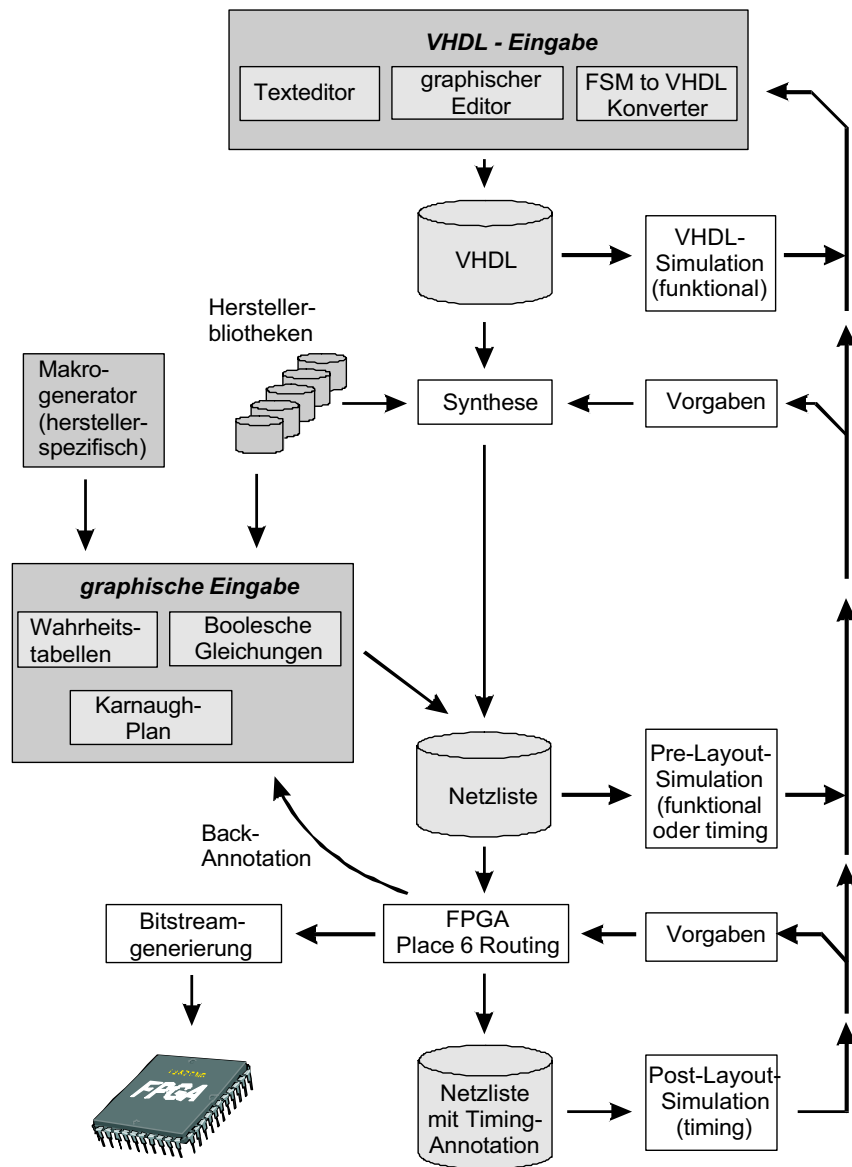


Tafelbild

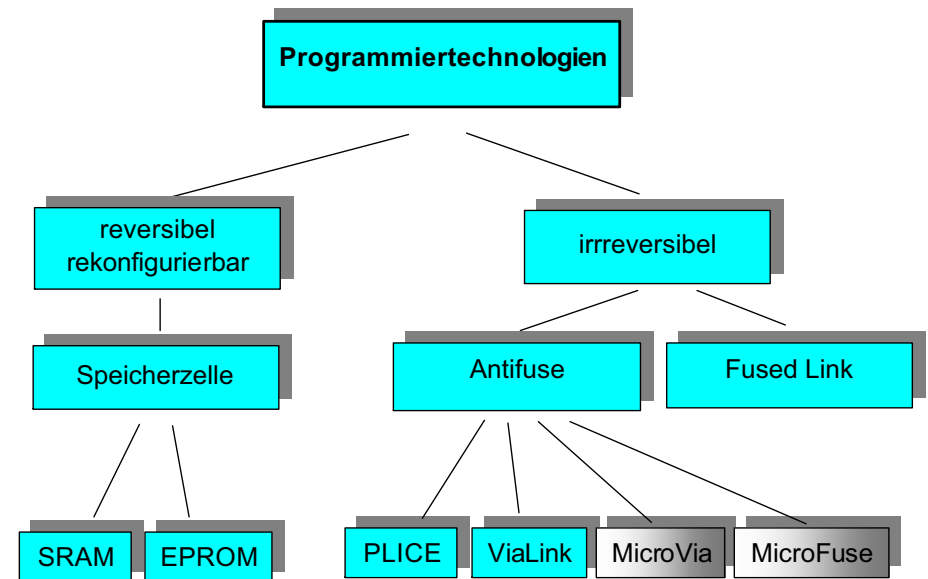
Systematisierung der PLD



Entwurfsablauf (z.B. eines FPGA)



6.3 Programmiertechnologien (Konfiguration)



Übersicht über die verwendeten Technologien:

Technologie	flüchtig	reprogrammierbar	Programmiergerät
Fused-Links			x
Antifuse			x
EPROM		x	x
EEPROM		x	
Flash EEPROM		x	
SRAM	x	x	

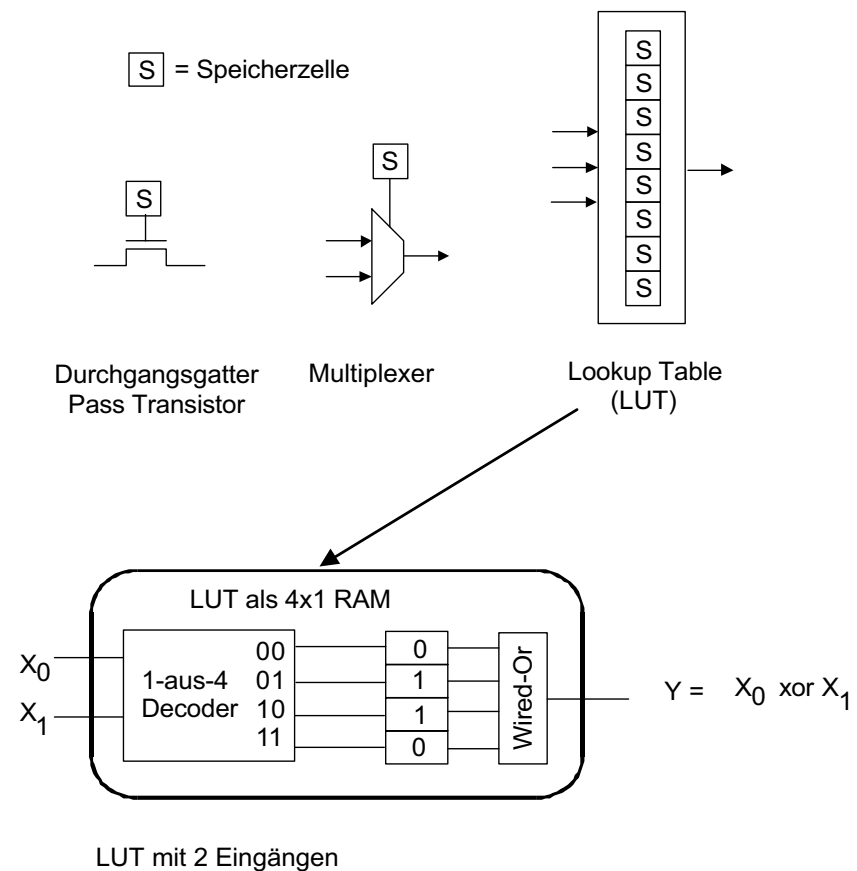
Bemerkung: RAM-basierte Bauelemente 100%ig vortestbar

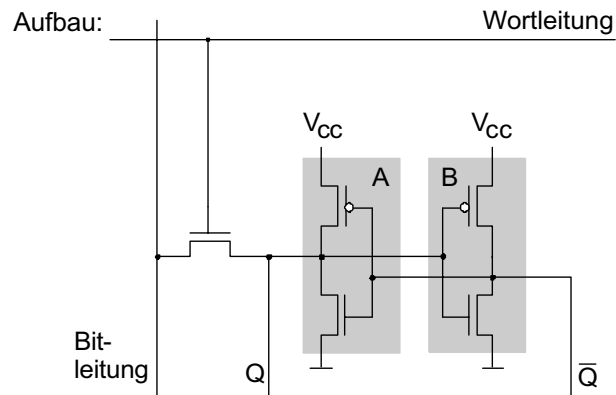
Technologie	Hersteller	Bausteinfamilie	Architektur
Antifuse	Actel	ACTx	FPGA
	Quicklogic	pASIC	FPGA
SRAM	Altera	APEX	CPLD/FPGA
	Altera	FLEX	FPGA/CPLD
	Atmel	AT40K	FPGA
	Cypress	Delta39K	CPLD
	Lucent	ORCA	FPGA
	Xilinx	Virtex	FPGA
EEPROM	Altera	MAX	CPLD
	Lattice	Godfather	CPLD
	Xilinx	Coolrunner	CPLD
Flash	Actel	ProASIC	FPGA
	Xilinx	XC9500	CPLD
Fused-Links	Atmel	PAL	SPLD

Verwendung der Programmiertechnologien in den Bausteinfamilien

SRAM-Zellen

Programmierelemente mit Speicherzelle:





5-Transistor-SRAM-Zelle von XILINX

Vorteil gegenüber normalen CMOS-SRAM-Zelle (6 Transistoren+invertierte Wortleitung):

- weniger Platzbedarf

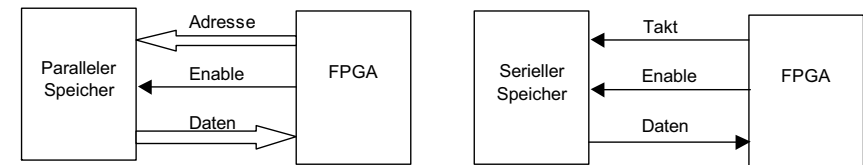
Nachteil

- kritischer und anfälliger

☞ nicht unter $1\mu\text{m}$ und Spannungsversorgungen unter 3V

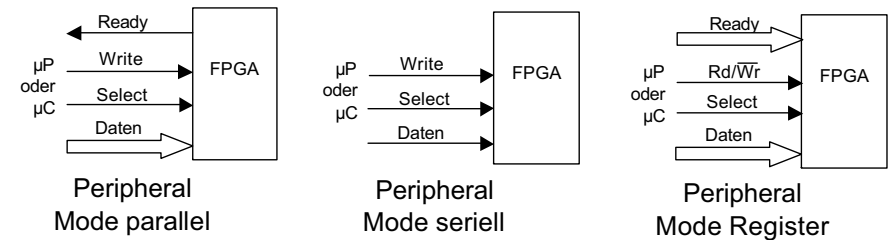
Konfigurationsmöglichkeiten für SRAM-FPGAs

Da SRAM-Zellen flüchtig sind, muß nach jedem Neustart Konfiguration neu eingeschrieben werden !



Master Mode parallel

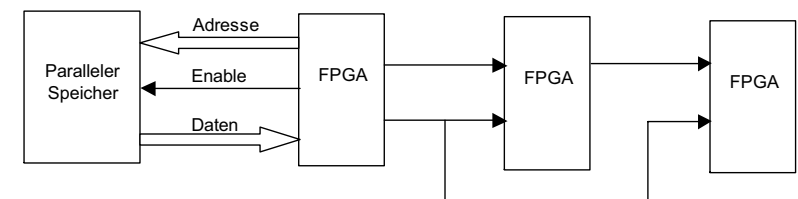
Master Mode seriell



Peripheral Mode parallel

Peripheral Mode seriell

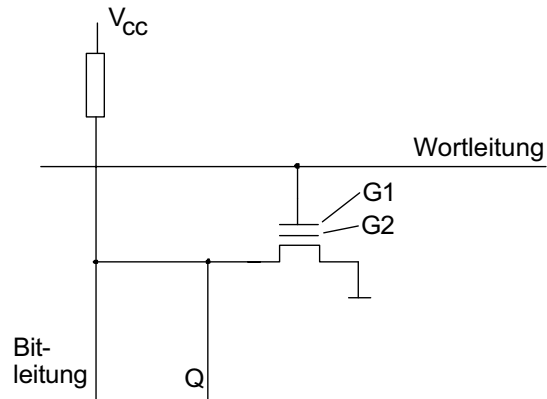
Peripheral Mode Register



Slave Mode für Kaskade-Schaltung (daisy chain)

Vorteile	Nachteile
• kein Programmiergerät erforderlich • jede beliebige Funktion aus Eingangssignalen realisierbar • Rekonfigurierung, ISP • schnelle Entwurfsänderungen möglich	• schlechter bzw. umständlicher Kopierschutz • Konfigurationsspeicher erforderlich • sorgfältige Planung nach Neustarts notwendig • empfindlicher gegen radioaktive Strahlung

EPROM-Zellen



Wirkungsweise:

- basiert auf MOSFET-Transistor, der durch Programmierung dauerhaft ausgeschaltet werden kann
- Ausnutzung des Tunneleffektes
- elektrische Ladung auf Floating-Gate (G2) durch hohe Spannung (11 bis 21 V) zwischen Kontroll-Gate (G1) und Drain

Durch Bestrahlung mit UV-Licht kann die Programmierung rückgängig gemacht werden.

EEPROM und Flash-EPOM kann Ladung auf Floating-Gate elektrisch gelöscht werden.

EEPROM: zusätzliche Transistoren pro Zelle

Flash-EPROM: sehr dünne Silizium-Schicht unter dem Floating-Gate

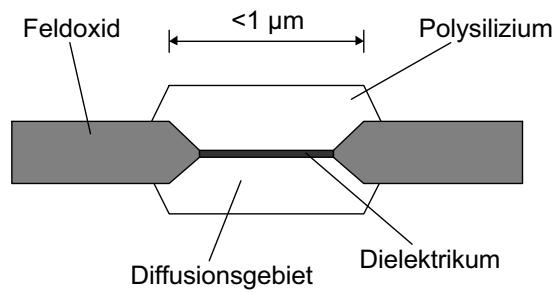
Antifuse- Technologien

- durch Anlegen einer Programmierspannung wird die isolierende Schicht zwischen den beiden Anschlüssen durchgeschmolzen
- ☞ es entsteht eine niederohmige, dauerhafte Verbindung
- Anwendung: vorwiegend in FPGA
- Herkömmliche Bipolar- Fuses wird mehr in PLD angewendet

Name	Hersteller	Programmierung	Aufbau
PLICE	Actel	16 V, 3..15 mA, 5 ms 100 MΩ -> 200 Ω	Dielektrikum aus Oxygen-Nitrogen-Oxygen (ONO) zwischen einem N+ Diffusionsgebiet und einem N+ Polysilizium-Gate
ViaLink	QuickLogic, (Cypress)	12 V, 15 mA >50 MΩ ->20..50 Ω	Amorphes Silizium zwischen zwei Metallisierungsebenen
Micro-Fuse	(Cross-point Solutions)	>100 MΩ -> <100 Ω	Amorphes Silizium zwischen einer Metallisierungsebene und Polysilizium
Micro-Via	(Xilinx)	>1 MΩ -> 50 Ω	Amorphes Silizium zwischen zwei Metallisierungsebenen

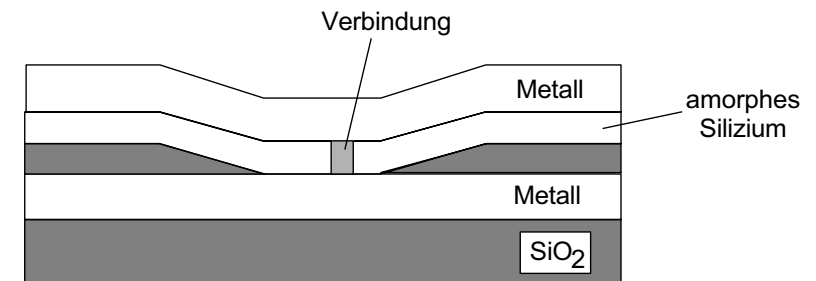
PLICE-Antifuse

(programmable low-impedance circuit-element)

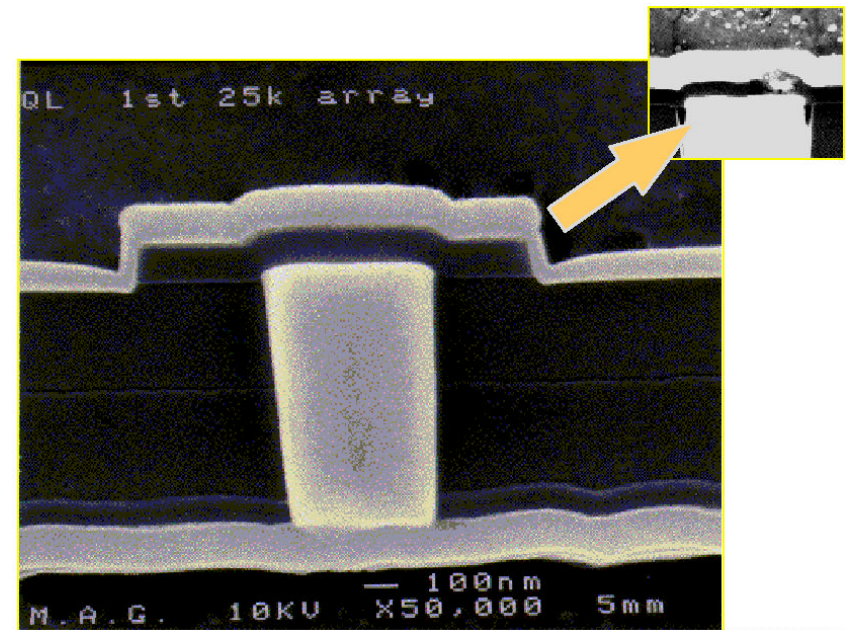


- das trennende Dielektrikum (sehr dünn) wird aufgeschmolzen
- 3 zusätzliche Herstellungsschritte (im Vergleich zum CMOS-Prozeß) notwendig
- Programmierzeit mehrere Minuten (A1012 z.B. 18 Minuten)

ViaLink-Antifuse



- sehr geringer Platzbedarf
- niedriger elektrischer Widerstand
- kleine Kapazitäten

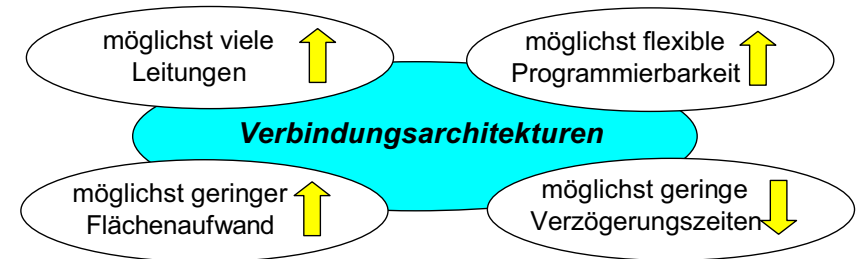


Vergleich der Technologien

	SRAM	Flash- EPROM	PLICE	ViaLink
Konfigurierung flüchtig	ja	nein	nein	nein
rekonfigurierbar	ja	ja	nein	nein
im System programmierbar (ISP)	ja	theoretisch ja	nein	nein
Zellengröße	groß	mittel; als Array: klein	(sehr) klein	sehr klein
Schalttransistoren	-	-	groß	groß
On-Widerstand	0,6 .. 1 k Ω	0,6 .. 1 k Ω	200 Ω	20 .. 50 Ω
Off-Kapazität	10 .. 20 fF	10 .. 20 fF	5 fF	1 fF
zusätzliche Prozeßschritte	0	3 bis 5	3	3

6.4 Verbindungsarchitekturen

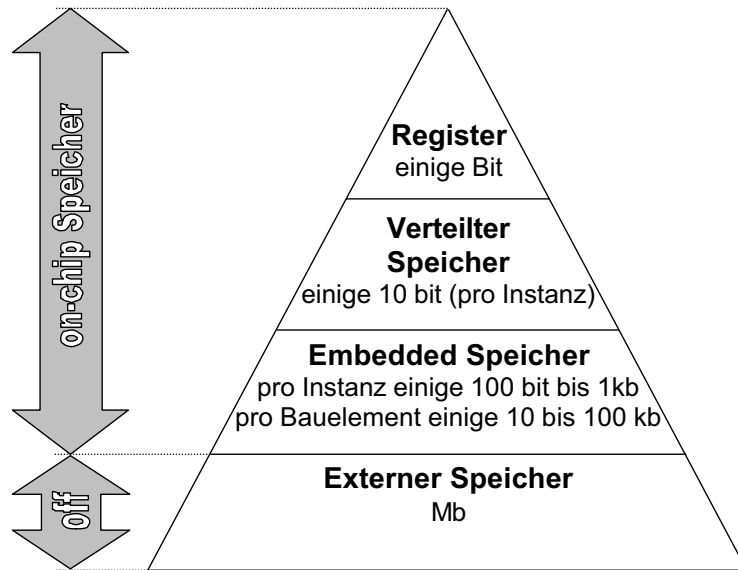
Anforderungen an die Verbindungsarchitekturen programmierbarer Logikbauelemente:



Typen von Verbindungsleitungen:

- Lokale Verbindungsleitungen
- Globale Verbindungsleitungen
- Spezielle Verbindungsleitungen für die Verteilung von Taktsignalen und anderen zeitkritischen Signalen
- Leitungen die zum Preset oder Reset der Schaltungen genutzt werden
- Leitungen für Spannungsversorgung der Logikzellen

6.5 Speicher in komplexen PLD

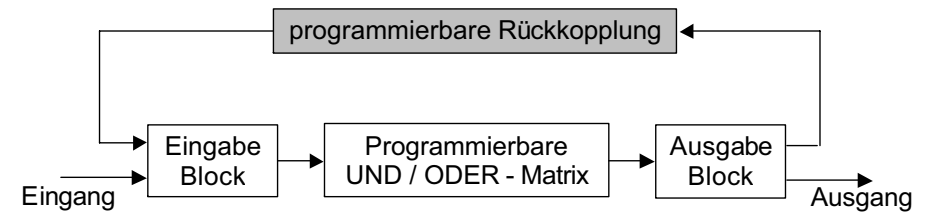


Kriterien:

- Größe
- Wortbreite
- Zugriffszeit
- zusätzliche Funktionalitäten

6.6 Beschreibung der verschiedenen Bausteinarchitekturen

6.6.1 PLD geringer Dichte



Handelsbezeichnungen: PAL, PLA, GAL, EPLD, PLS, FPLA

wichtige Eigenschaften:

- nur ein einziger Block (FE)
- keine Platzierung und Verdrahtung notwendig
- Technologien: CMOS, bipolar
- Programmiertechnologien: Fused Link und EPROM
- Anzahl Makrozellen: 8...16 (entspricht der Zahl der E/A-Pins)
- Anzahl Eingänge: 16...32
- Anzahl Pins: 20...44
- Komplexität: 100...500 Gatteräquivalente
- max. Taktfrequenz: 100 MHz (100 Gattern), 60 MHz (500G.), 4,5 ns Laufzeit bisher erreicht

Chiparchitekturen bei PLD niedriger Dichte

Realisierung der Kombinatorik durch zweistufige Logik: UND- und ODER-Felder

	UND-Matrix	ODER-Matrix	Normalform
RAM, ROM	fest	programmierbar	KDNF
PAL	programmierbar	fest	DNF
PLA	programmierbar	programmierbar	DNF

Implementierbarkeit bei PLD geringer Dichte

- Anzahl der Register
- Konfigurationsmöglichkeiten für Register (CLK, S, R usw.)
- Anzahl Ausgänge
- Anzahl Eingänge
- Anzahl Produktterme

Hauptaugenmerk bei Untersuchung der Kombinatorik

ROM: Anzahl der Eingänge
PAL: Anzahl Produktterme pro Eingang
PLA: Anzahl Produktterme gesamt

Vorzugsvarianten für Realisierung von Kombinatorik:

schmale Eingangsfunktionen : ROM (2...5(8))
alle Verknüpfungsmöglichkeiten darstellbar
breite Eingangsfunktionen: PAL (8...32)
ROM zu aufwendig
Beschränkung meist durch limitierte Anzahl von Produkttermen

Programmierung der PLD

- Aufheben der überflüssigen Verbindungen zwischen Input Lines und Product Lines
- an Kreuzungslinien der UND-Matrix gelangt man über Ein- und Ausgangspin's und über in Baustein integrierte Auswahllogik

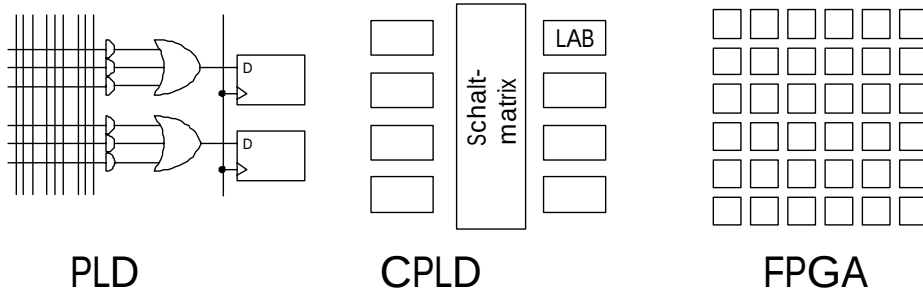
Ablauf des Programmiervorganges:

- 1) PGM ENABLE auf $V_{IHH} = 10,5 \text{ V}$
- 2) Auswahl einer Input Line durch Anlegen der Spannungspegel laut Tabelle und
Auswahl einer Product Line durch Anlegen der Spannungspegel laut Tabelle
- 3) V_{cc} wird auf $V_{IHH} = 10,5 \text{ V}$ erhöht
- 4) Zerstörung der Sicherung
- 5) Nach Ablauf der Zerstörzeit herunterfahren der Versorgungsspannung auf 5V
- 6) Verifikation

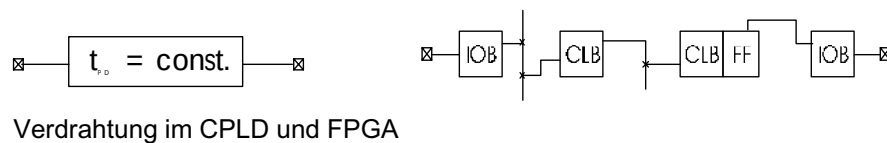
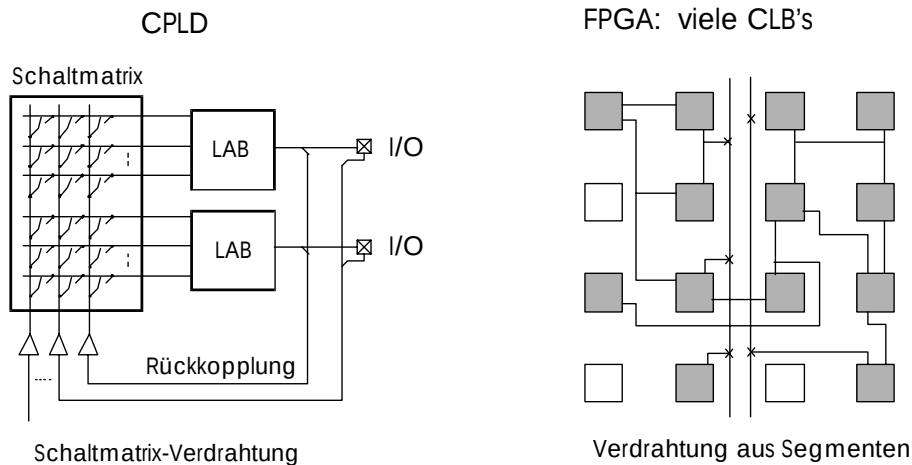
gegebenenfalls wird der Vorgang bis zu 4 mal wiederholt !

6.6.2 PLD hoher Komplexität

6.2.1 Abgrenzung zu den FPGA (Field Programmable Gate Array)



Architekturen von PLD, CPLD und FPGA



Unterschiede:

Eigen-schaften	CPLD	FPGA
Aufbau der Logik-zellen	wenige große Blöcke mit integrierter Logik- und E/A-Makrozellen PAL-Logik (AND/OR-Matrix) • 22-48 Eingänge • 8-32 Makrozellen pro/Bl. • 8-32 Ausgänge • alle Makrozellen benutzen die gleichen Eingänge	große Anzahl relativ kleiner Funktionselemente (feinkörnig) Logik: MUX oder LUT (RAM) • 4-13 Eingänge • 2-4 Makrozellen • 2-4 Ausgänge
Verbin-dungen	zentrale globale Verbindungen keine Verdrahtung notwendig	dezentrale lokale Verbindungen Verdrahtung notwendig
E/A	relativ feste Konfiguration der Verbindungsleitungen zwischen Makrozellen und Pins schneller Signalweg von Logikmakrozellen zu Pins keine separaten Ausgangsregister	Ring aus frei zuordenbaren E/A-Blöcken jede Logikmakrozelle kann mit jedem Pin verbunden werden separate Ausgangsregister vor den Pins
Signallaufzeiten	homogen • konstant • relativ kurz • vorhersagbar Geschwindigkeit nicht abhängig von Schaltung	stark vom konkreten Signalweg abhängig • ungleichmäßig • auch hohe Werte möglich • erst durch Layoutextraktion zu bestimmen Geschwindigkeit abhängig von der Schaltung
Komplexi-tät	mittel	hoch

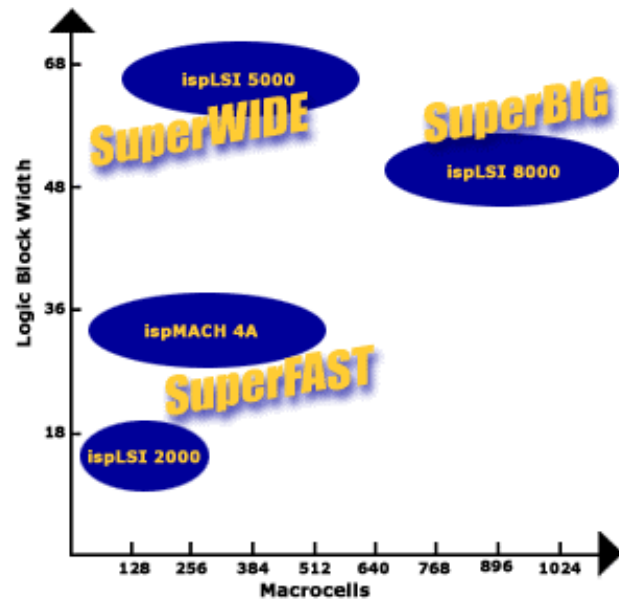
Eigen-schaften	CPLD	FPGA
Flexibilität	mittel	hoch
Flächen-ausnutz.	40% - 60%	50% - 95%
Stromver-brauch	hoch bis sehr hoch	gering bis mittel
Einsatzge-biete	bei breiten Eingangs-funktionen einfache Realisierung schneller komplexer state-machines	schmale Eingangslogik registerintensive Schaltungen
Vor-/Nachteil	Preis pro Gatter mittel bis hoch	Preis pro Gatter gering bis hoch anspruchsvolle Software erforderlich angemessene Verdrahtungsressourcen erforderlich einfacher Umstieg auf Bausteine höherer Komplexität bei Beibehaltung der Leistungsdaten
Anzahl Makrozell en	8 ... 256	128 ... 1800
Anzahl I/O Pins	44 ... 500	44 ... 596
Komplexit ät	500 ... 2.500.000 Gatter	1000...2.000.000 Gatter
Taktfrequen-zen	bis 300 MHz	200 MHz

Die umsatzstärksten Hersteller von PLD

Hersteller	PLD	CPLD	FPGA
Actel (incl. Gatefield)			SX/SX-A-Familie MX-Familie ProASIC-Familie eX-Familie
Altera		MAX7000-Familie MAX9000-Familie FLEX6000-Familie FLEX10K-Familie APEXII-Familie APEX20K-Familie	
Atmel	PAL-kompatible SPLD	ATF-Familie	AT40K-Familie AT94K-Familie
Cypress	PALCE	Delta39K Ultra37K Flash370i	
Lattice (Vantis von AMD)	ispGAL GAL SPLD	5000-Familie ispMACH4A 2000-Familie 8000-Familie	
Lucent			ORCA-Familie
Quicklogic			pASIC-Familie Eclipse-Familie
Xilinx		XC9500 CoolRunner	VIRTEX-Familie Spartan-Familie XC5000-Familie XC3000-Familie XC5200-Familie

Überblick über die CPLD von Lattice

(<http://www.latticesemi.com/products/cpld/index.cfm>)



- EECMOS-Technologie
- **In-System-Programming (ISP)**
 (nur 3,3V oder 5V notwendig und 4 bis 5 poliges serielles Interface)
 10.000 Programmierzyklen
 4 Basicprogrammiersignale: serial data in (SDI)
 mode select (MODE)
 serial data out (SDO)
 serial clock (SCLK)
 zusätzlich: ISP enable (ispEN)

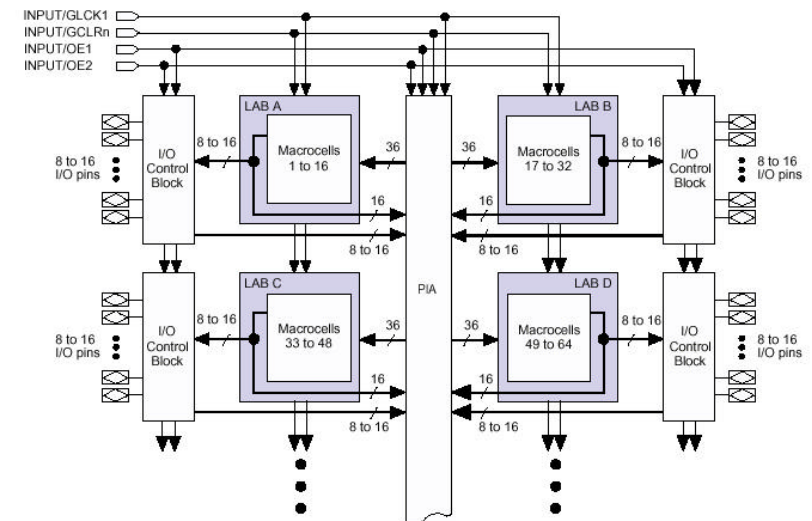
3,3 volt Device Families					
Family	Density	Speed		I/O	Logic Block Inputs
	Macrozellen	t_{PD} (ns)	F_{max} (MHz)		
ispLSI 5000VE	128-512	5	180	72-256	68
ispMACH4A3	32-512	5	182	32-256	33-36
ispLSI 2000VE	32-192	3	300	32-128	18
ispLSI 8000V	600-1080	8,5	125	192-360	44
2,5 volt Device Families					
ispLSI 2000VL	32-192	5	180	32-128	18
5.0 volt Device Families					
ispMACH 4A5	32-256	5	182	32-128	33-36
ispLSI 2000E	32-128	3.5	225	32-128	18

PLD der Firma Altera

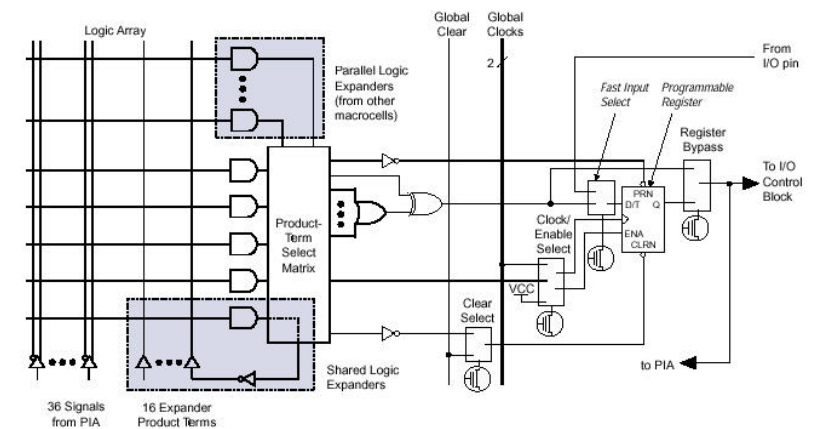
Device Family	Logic Cell Structure	Interconnect Structure	Reconfigurable Element
APEXII	Look-up table Product term	Continuous	SRAM
APEX20K	Look-up table Product term	Continuous	SRAM
FLEX 10K	Look-up table	Continuous	SRAM
FLEX 8000	Look-up table	Continuous	SRAM
FLEX 6000	Look-up table	Continuous	SRAM
MAX 9000	Product term	Continuous	EEPROM
MAX 7000	Product term	Continuous	EEPROM
MAX 5000	Product term	Continuous	EPROM
Classic	Product term	Continuous	EPROM

Device Family	User I/O Pins	Usable Gates
APEXII	492 to 1140	600.000 to 4.000.000
APEX20K	128 to 376	30.000 to 200.000
FLEX 10K	134 to 470	10.000 to 250.000
FLEX 8000	78 to 208	2.500 to 16.000
FLEX 6000	81 to 218	15.000 to 24.000
MAX 9000	159 to 216	6.000 to 12.000
MAX 7000	36 to 356	600 to 12.000
MAX 5000	28 to 100	600 to 20.000
Classic	22 to 68	300 to 900

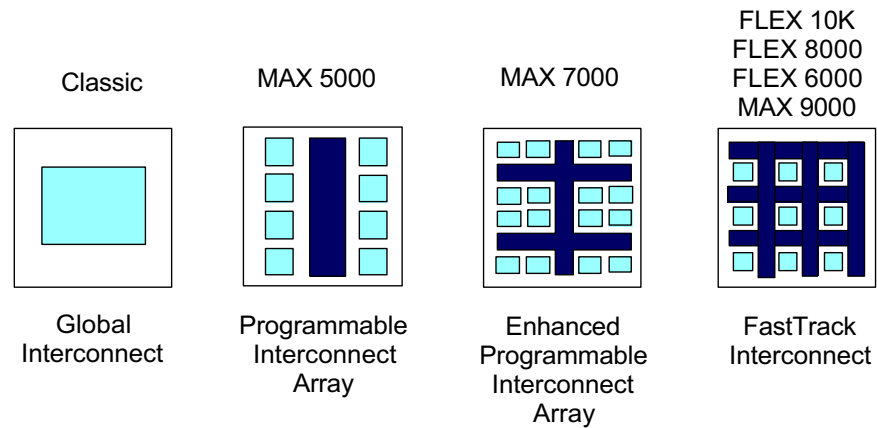
Blockschaltbild des MAX7000



Device Macrocell



Altera Architecture Evolution



Software:

Altera MAX+PLUS II

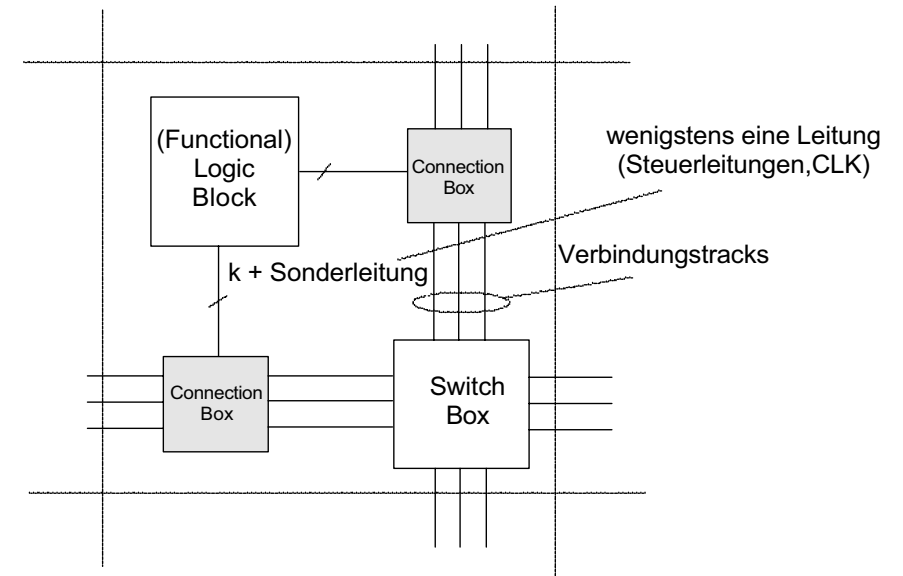
Quartus

6.6.3 Field-Programmable Gate Array FPGA

- Routing notwendig
- lokale Verbindungsressourcen über den ganzen Chip

Das FPGA-Modell nach Jonothan Rose (Toronto)

Matrix, deren Elemente folgende Struktur haben



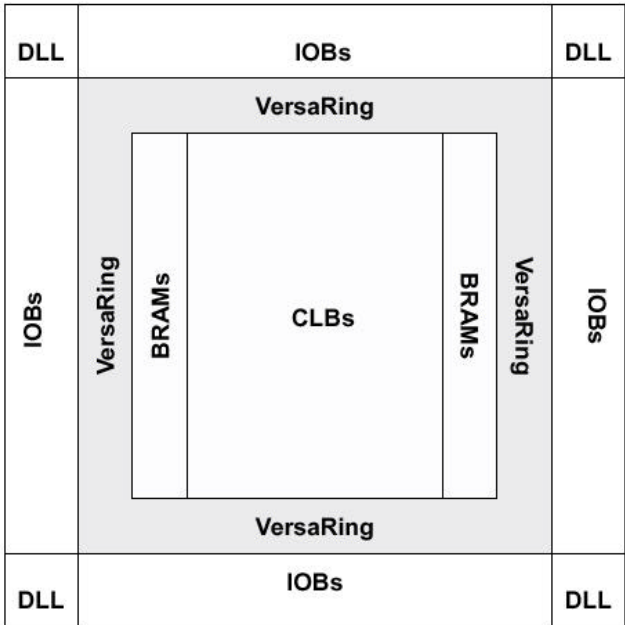
Die Virtex-Familie (XILINX)

Device	System Gates	CLB Array	Logic Cells	Maximum Available I/O	Block RAM Bits	Maximum SelectRAM+™ Bits
XCV50	57,906	16x24	1,728	180	32,768	24,576
XCV100	108,904	20x30	2,700	180	40,960	38,400
XCV150	164,674	24x36	3,888	260	49,152	55,296
XCV200	236,666	28x42	5,292	284	57,344	75,264
XCV300	322,970	32x48	6,912	316	65,536	98,304
XCV400	468,252	40x60	10,800	404	81,920	153,600
XCV600	661,111	48x72	15,552	512	98,304	221,184
XCV800	888,439	56x84	21,168	512	114,688	301,056
XCV1000	1,124,022	64x96	27,648	512	131,072	393,216

Features:

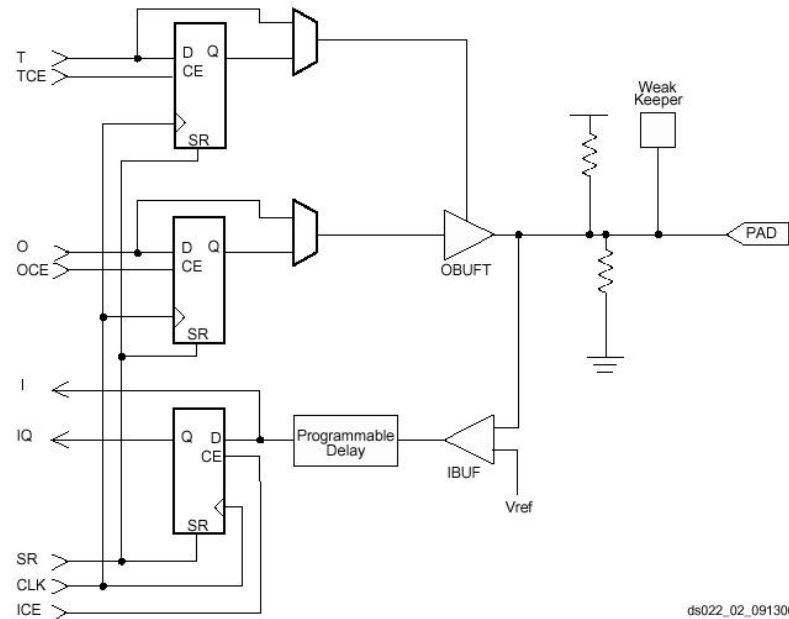
- Spannungsversorgung: 2,5 V, 1,8V und 1,5 V
- spezielle Chips mit grossen Speicherbereichen (Virtex E)

Blockschaltbild von Virtex 2,5 FPGAs:

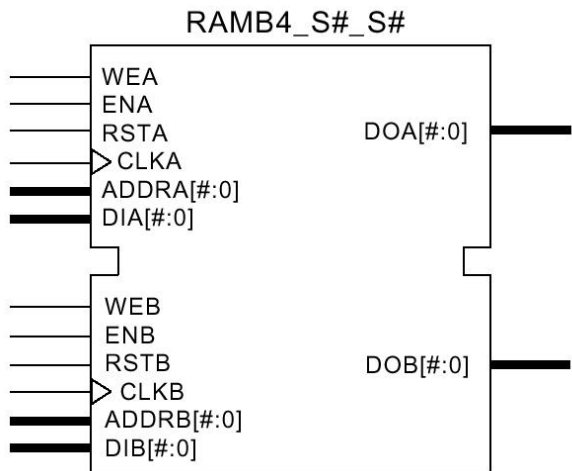


verschiedene IO-Blöcke sind mit unterschiedlichen Spannungspegeln belegbar

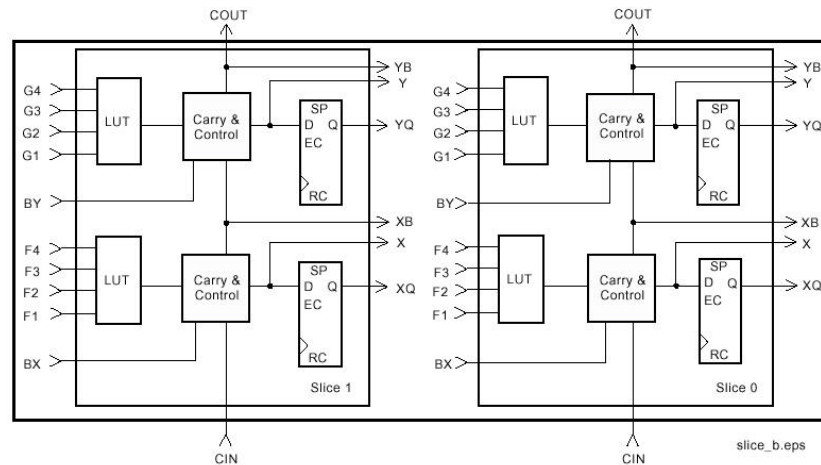
I/O-Block



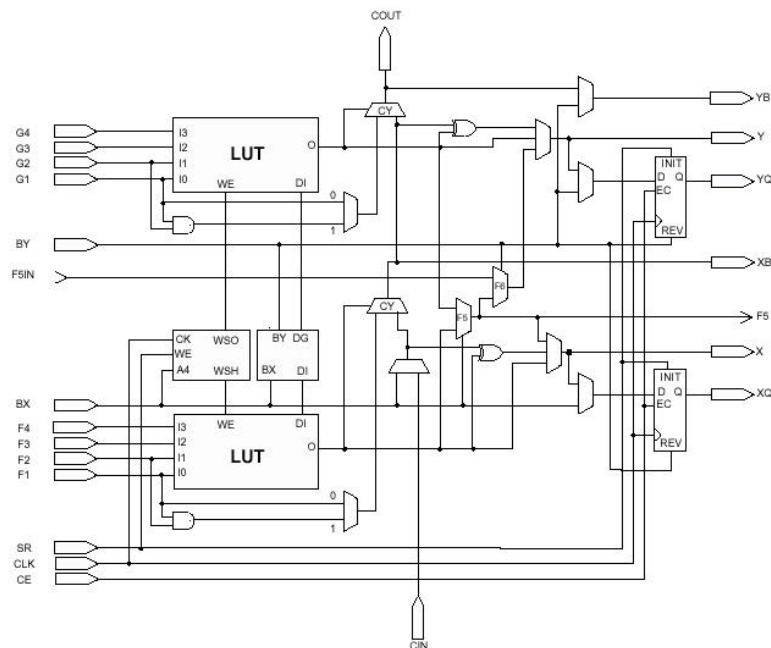
Block RAM:



Configurable Logic Block

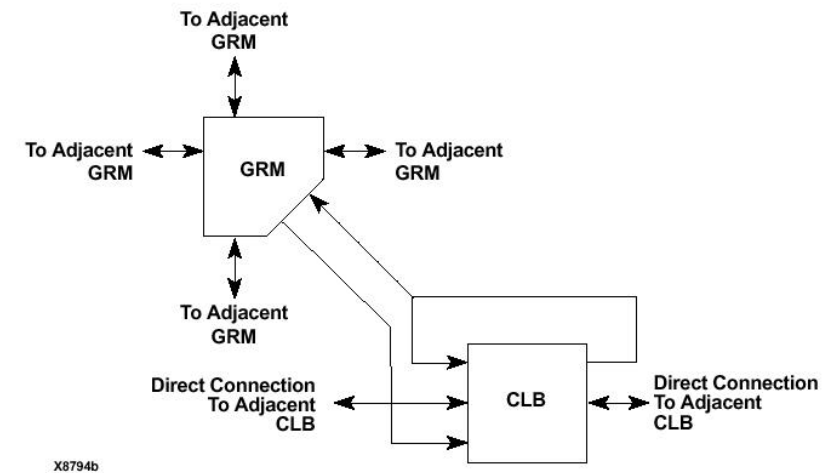


Virtex Slice



detailed Virtex Slice

Verbindungsstruktur der Virtex-Familie



Local Routing:

- Verbindungen zwischen LUTs, den Flipflops und zwischen CLB und GRM
- schnelle interne Rückkopplungspfade innerhalb eines CLB, um z.B. mehrere LUTs zu kaskadieren, und
- schnelle direkte Verbindungen zwischen horizontal unmittelbar benachbarten CLBs

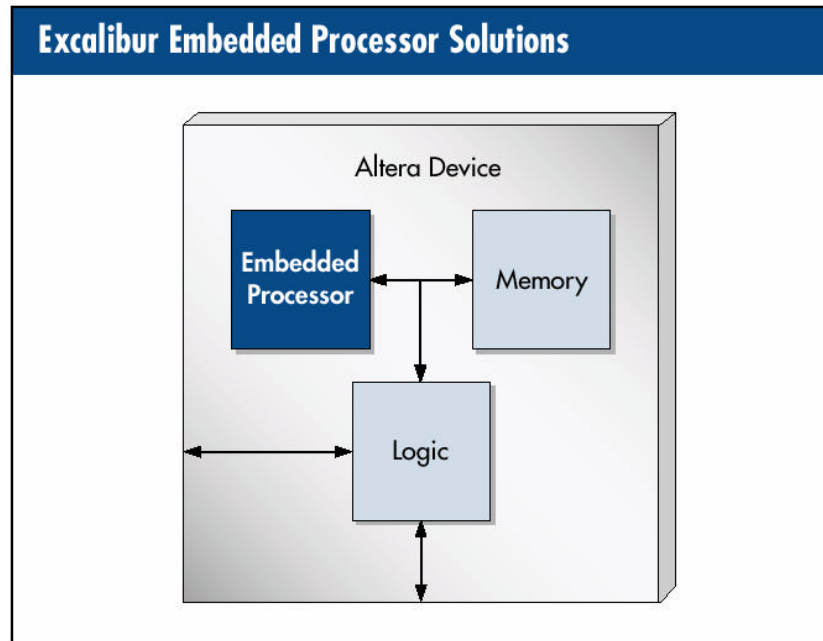
Allgemeine Verbindungen:

- je 6 Leitungen verbinden unmittelbar benachbarte GRMs insgesamt also 24 single-length-Leitungen
- 72 gepufferte Leitungen, die sogenannten Hex Lines verbinden GRMs, die sechs Blöcke entfernt sind
- außerdem noch 12 gepufferte, bidirektionale Leitungen, die in horizontaler und vertikaler Richtung über gesamten IC laufen

zusätzlich noch detizierte Verbindungen:

- 4 tristate-fähige horizontale Verbindungsleitungen pro CLB
- 2 jeweils vertikale Carry-Leitungen pro CLB
- 4 Clockleitungen (direkt von speziellen Pins) über globalen Puffer an alle CLBs, IOBs und Speicherblöcke
- jeweils 12 horizontale und vertikale zum Aufbau von einem Verbindungsbaum

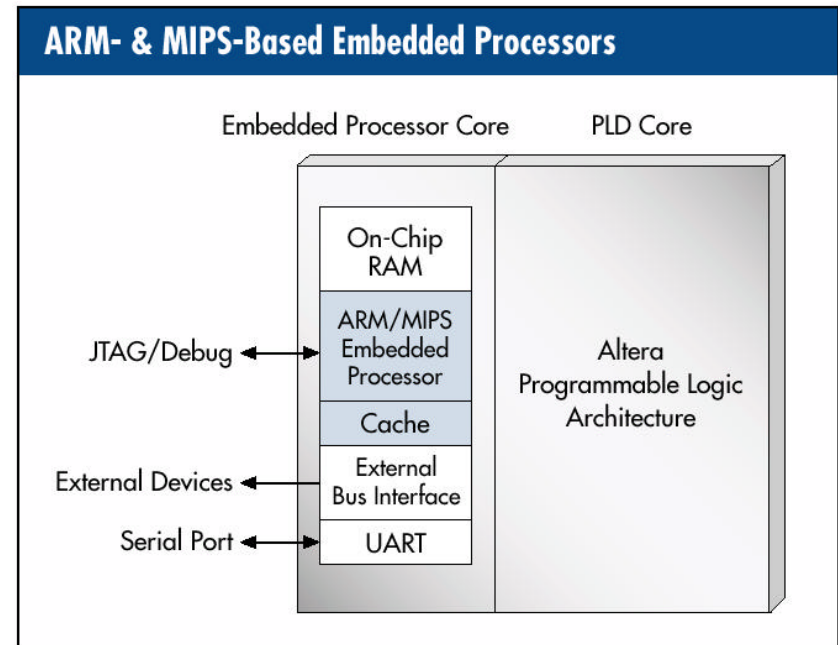
6.7 Embedded Processor Solutions (Excalibur)



Vorteile:

- kombiniert programmierbare Logik , Speicher und einen Prozessorkern
- Einchiplösungen von kompletten Systemen (System-on-a-programmable-chip [SOPC] technology)
- schnelle Time-to-market Lösungen
- volle Flexibilität
- also alle Vorteile von PLD und Mikrocontrollern vereint.

6.7.1 ARM- & MIPS-Based Embedded Processors PLD Solutions

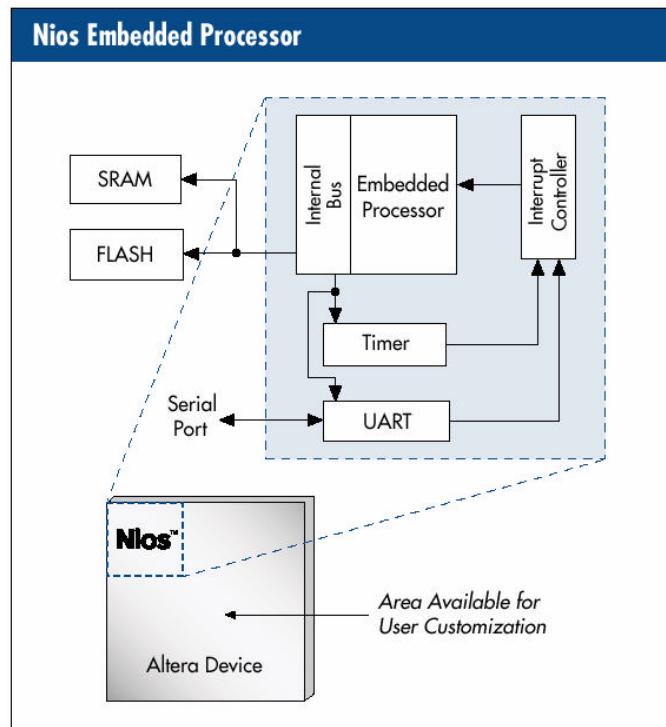


- Industry-standard ARM922T 32-bit RISC Processor core mit bis zu
- 200 MHz
- External SDRAM 133 MHz data rate interface up to 512 Mbytes
- (double data rate 266 MHz)

Table 1. Current ARM-Based Embedded Processor Device Features *Note (1)*

Feature	EPXA1	EPXA4	EPXA10
Maximum system gates	263,000	1,052,000	1,772,000
Typical gates	100,000	400,000	1,000,000
LEs	4,160	16,640	38,400
ESBs	26	104	160
Maximum RAM bits	53,248	212,992	327,680
Maximum macrocells	416	1,664	2,560
Maximum user I/O pins	178	360	521
Single-port SRAM	32 Kbytes	128 Kbytes	256 Kbytes
Dual-port SRAM	16 Kbytes	64 Kbytes	128 Kbytes

6.7.2 NIOS Embedded Processor Family



Features:

- Konfigurierbare RISC Architektur (16 oder 32 Bit)
- On-Chip Peripherie
 - UART
 - Timer
 - PIO
 - SRAM
 - FLASH
 - und in Zukunft SPI, PWM, IDE disk controller, Ethernet Controller
- Altera MegaWizard interface konfiguriert den Prozessorkern
 - generiert peripheral bus module (PBM)
 - weist IRQ und Prioritäten zu
 - Dynamische Busanpassung
 - konfiguriert periphere Wait states

6.8 Analoge PLD

(z. B. der Firma Lattice)

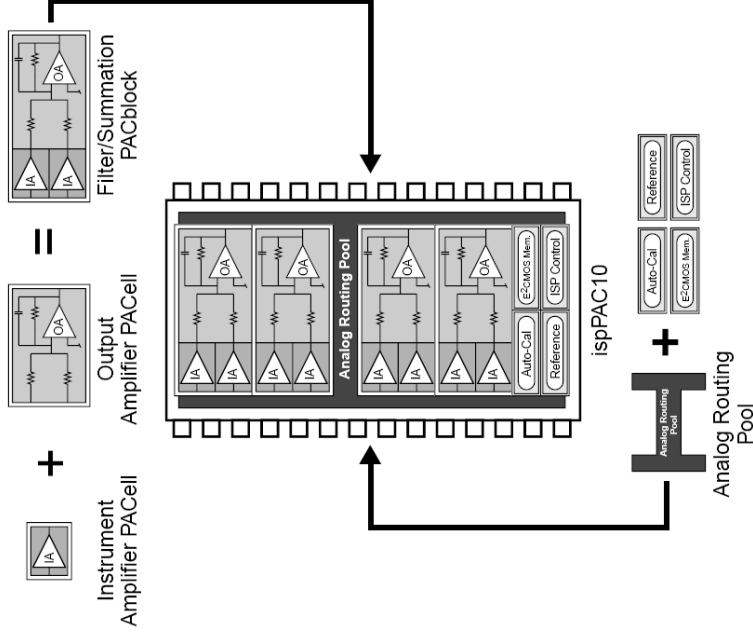


Features:

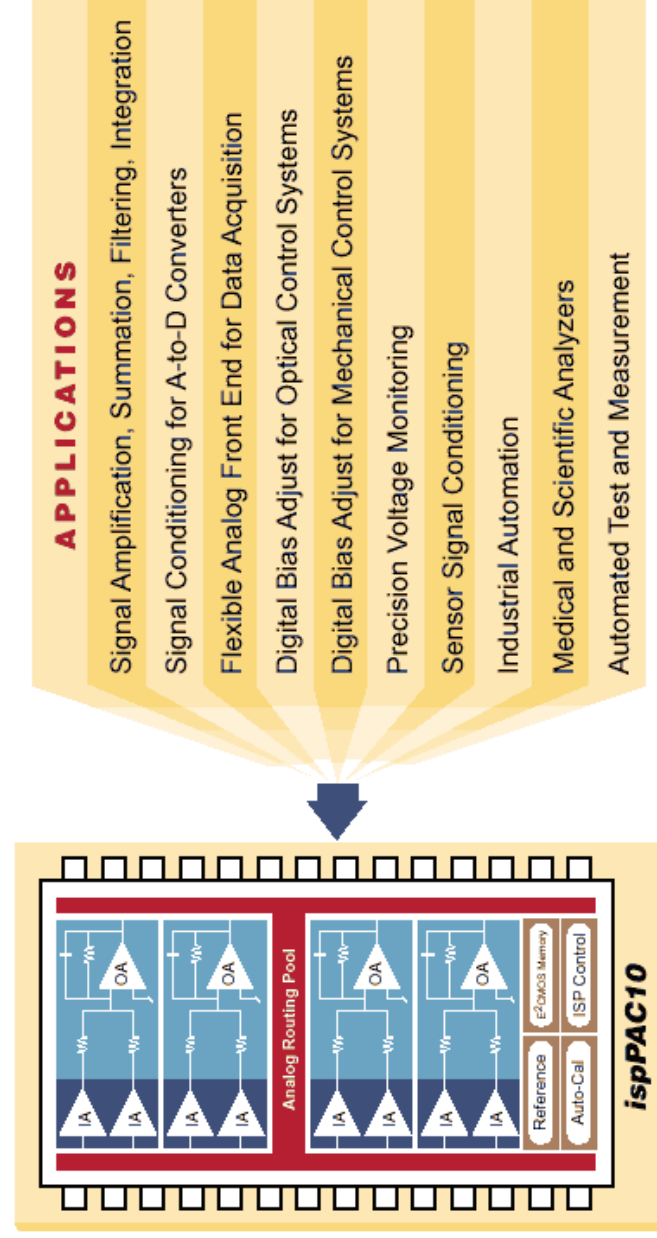
- mehrere analoge Funktionen realisierbar (OV, Filter usw.)
- In-System-Programmable analog Circuit
- keine externen Komponenten notwendig
- über JTAG Schnittstelle zu konfigurieren
- über Parallelport PC programmierbar
- Software unter Windowsoberfläche

6.8. *ispPAC* von Lattice Inc.

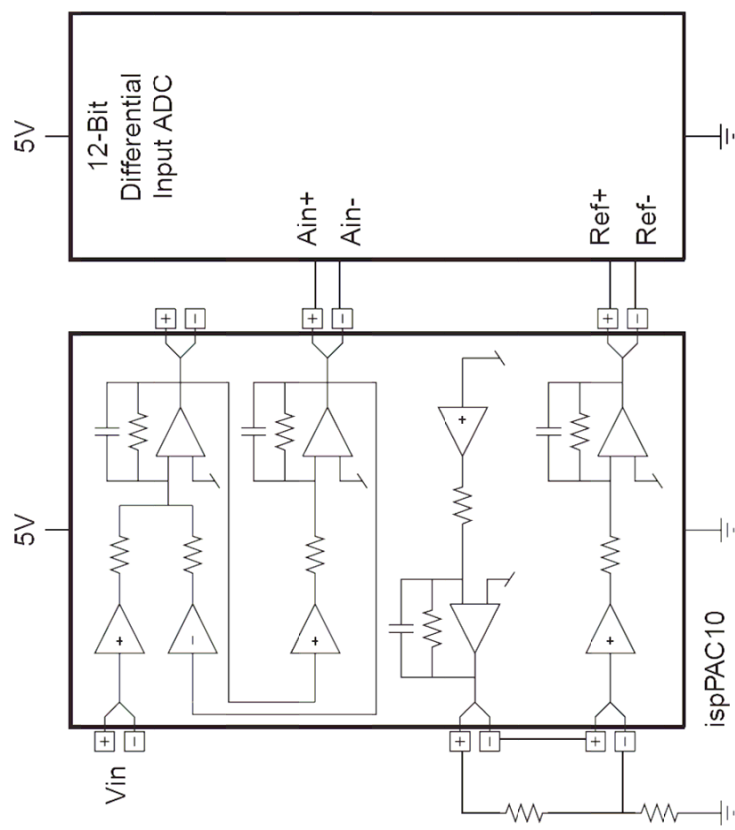
<http://www.latticesemi.com/>



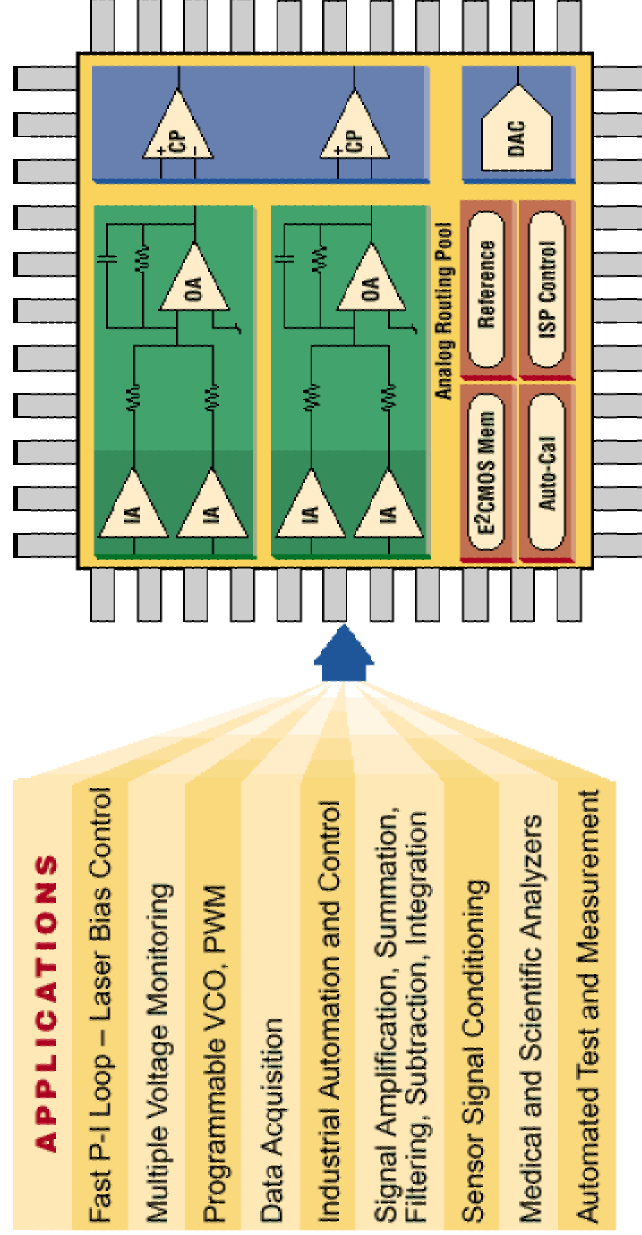
ispPAC 10



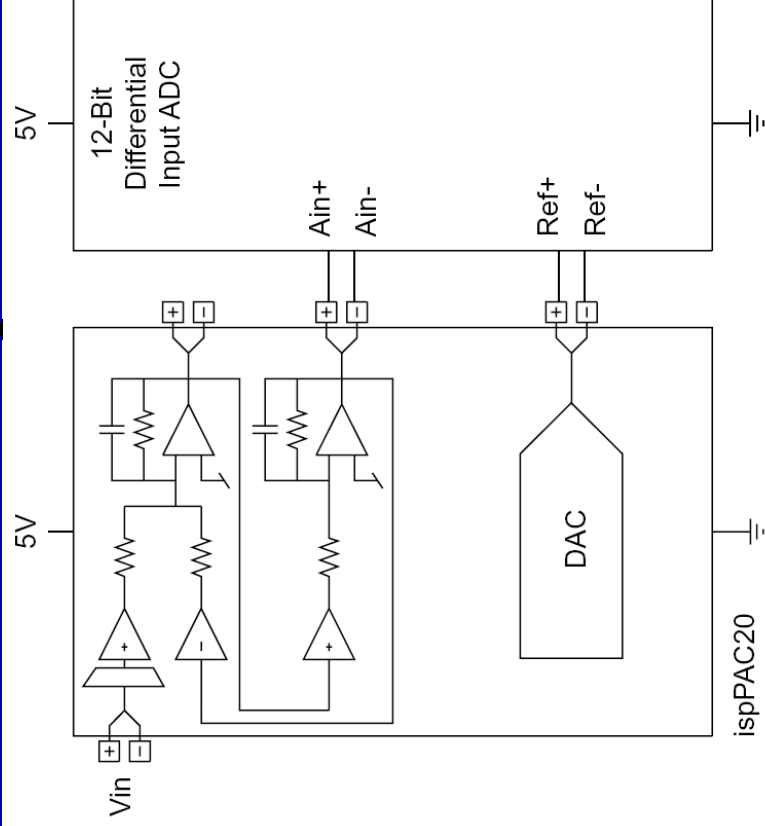
ispPAC 10



ispPAC 20

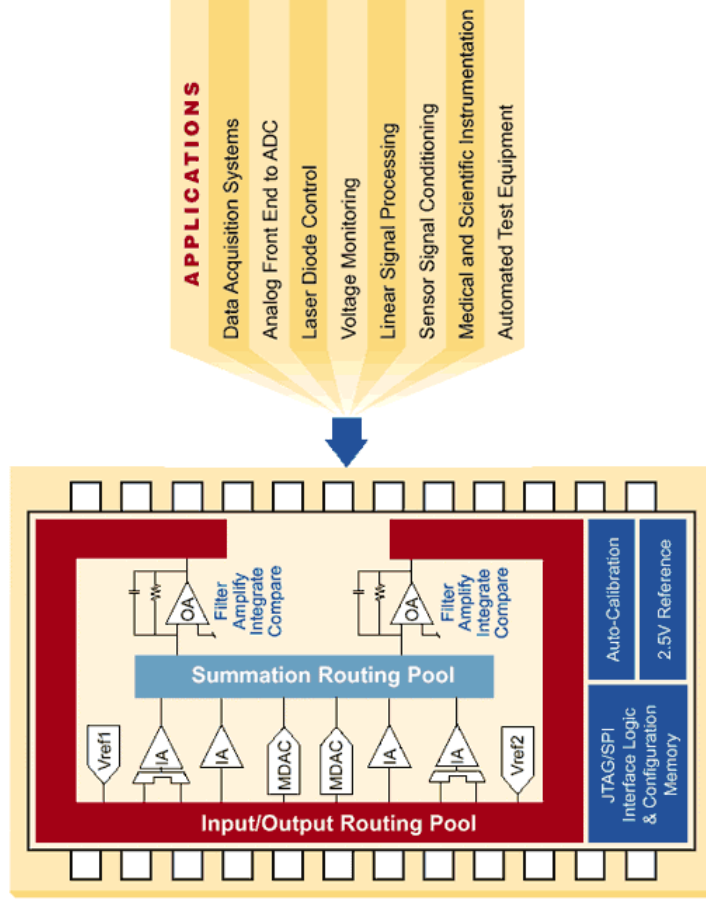


ispPAC 20



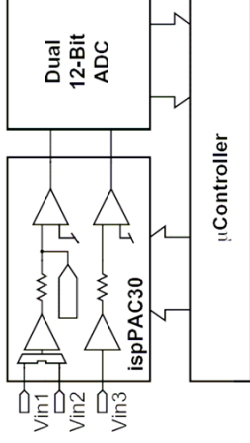
ispPAC 30

ispPAC30 Block Diagram

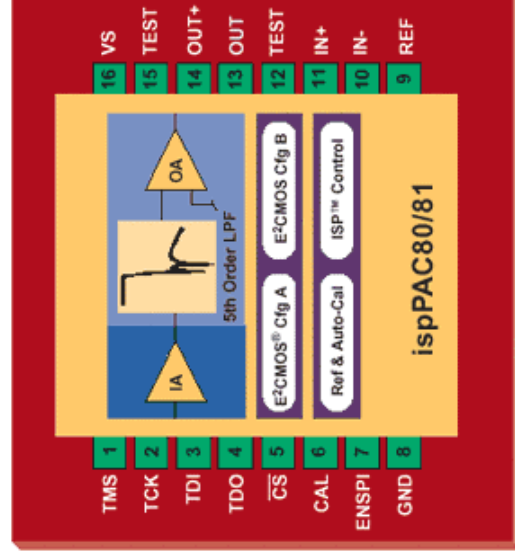


ispPAC 30

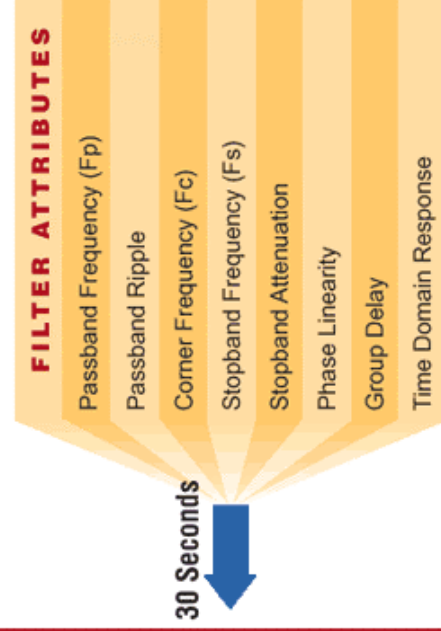
- **Flexible Interface and Programming Control**
 - Full configuration capability, SPI or JTAG modes
 - Unlimited device updates using SRAM register
 - E²CMOS[®] for non-volatile configuration storage
 - Real-time microcontroller configuration/control
- **Four Input Instrumentation Amplifiers (IA's)**
 - High impedance: differential or single-ended
 - 0V to 2.8V with programmable gains (± 1 to ± 10)
 - Dual multiplexers (pin or serial port controlled)
 - Connects easily to existing system circuits
- **Two Configurable Rail-to-Rail Output Amps**
 - Single-ended, 0V to 5V output swing
 - Gain bandwidth product >15MHz
 - Amplifier, filter, integrator or comparator modes
 - 7 filter frequencies (50kHz to 600kHz)
- **Two 4-Quadrant, 8-Bit Multiplying DACs**
 - Full bandwidth when used as a multiplier
 - Precision gain (<0.01 steps) with signal as input
 - Precision offset (in 7 ranges) using internal Vref
- **Analog Input/Summation Routing Pools**
 - Routing of all I/O to any IA or MDAC
 - Any IA/MDAC summed to either output amplifier
 - Circuits with and without feedback possible
 - Routable to maintain pin location relationships
- **Other Product Features**
 - Single supply (+5V) operation
 - Precision voltage reference output (2.5V)
 - Power-down for μ Watt power consumption
 - Auto-calibration of internal offsets
 - Available in 28-pin PDIP or 24-pin SOIC
- **Applications**
 - Reconfigurable or adaptive signal conditioning
 - Analog front end for most A/D converters
 - Programmable analog signal control loops
 - Precision programmable gain amplifiers



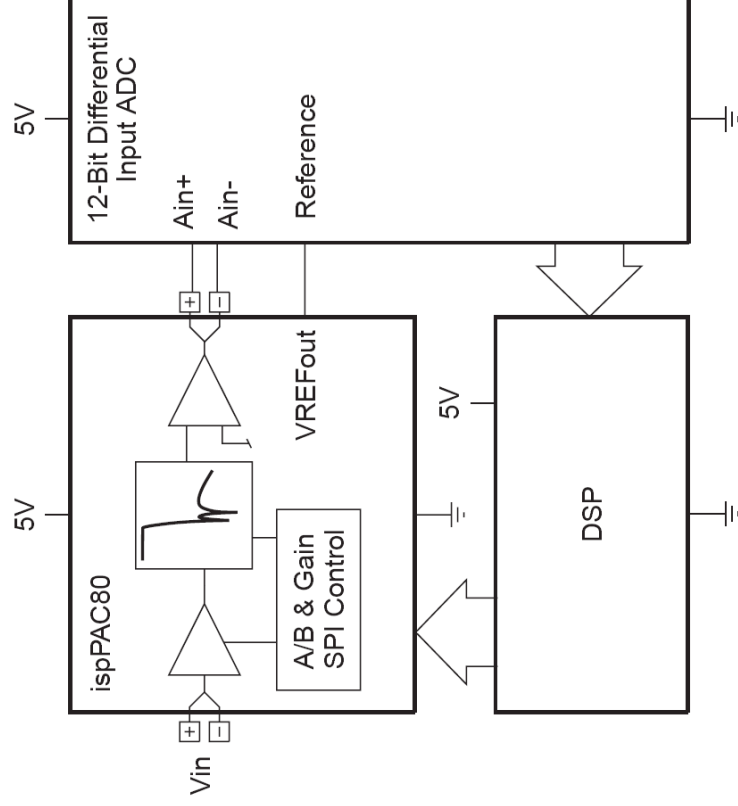
ispPAC 80



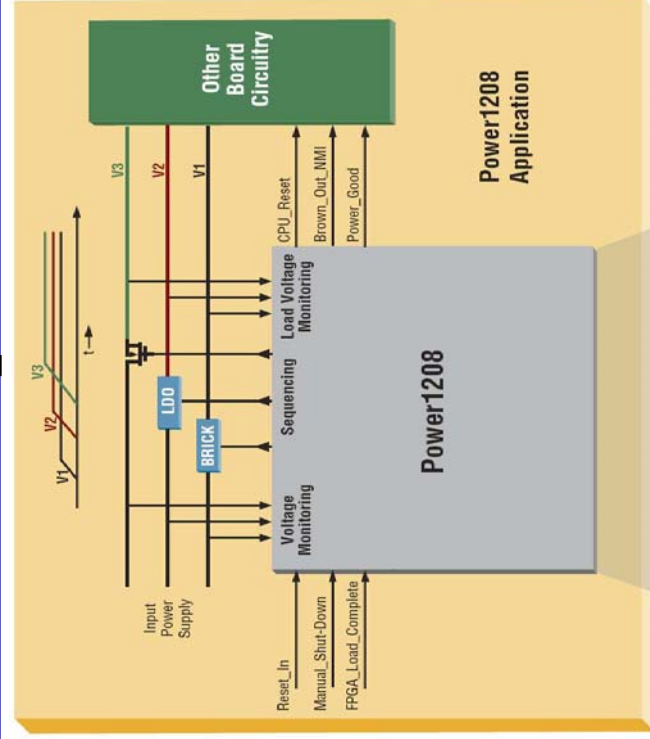
ispPAC80/81 Block Diagram (16-pin SOIC)



ispPAC 80

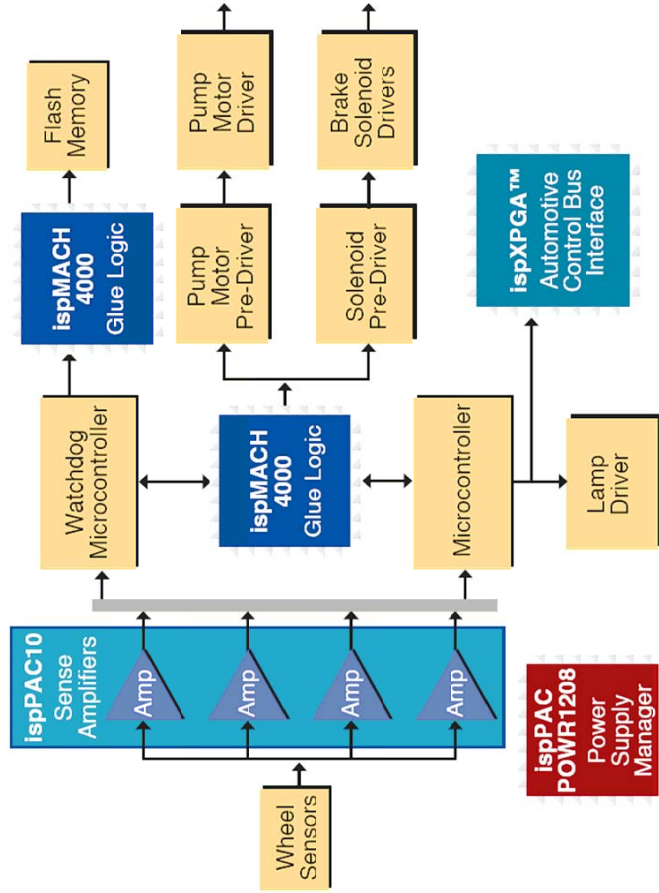


ispPAC Power 1208



ispPAC Power 1208

Lattice Programmable Solutions in Drive-by-Wire Application



6.9 Wichtige Adressen und Literaturhinweise

- Markus Wannemacher: „Das FPGA-Kochbuch“
Bonn, International Thomson Publishing GmbH
ISBN 3-8266-2712-1
- Axel Sikora: „Programmierbare Logikbauelemente, Architekturen und Anwendungen“
München, Wien, Carl Hanser Verlag
ISBN 3-446-21607-3
- A. Auer: „Programmierbare Logik-IC“
Hüthig Buchverlag Heidelberg
ISBN 3-7785-1910-7
- A. Auer: „PLD-Handbuch“
Hüthig Buchverlag Heidelberg
ISBN 3-7785-1991-3
- http://www.actel.de/products/fpga_devices.html
- <http://www.altera.com/products/devices/dev-index.html>
- <http://www.atmel.com/atmel/products/prod1.htm#UPL>
- <http://www.cypress.com/pld/datasheets.html>
- <http://www.latticesemi.com/products/cpld/index.cfm>
- <http://www.lucent.com/>
- http://www.quicklogic.com/tools/product_lit/
- <http://www.xilinx.com/partinfo/databook.htm>

Kapitel 6.10

Programmable System on Chip (PSoC)

Inhalt:

- ◆ Abschnitt 6.10.1: Einführung in die PSoC MCU
- ◆ Abschnitt 6.10.2: PSoC Designer IDE Software
PSoC In-Circuit Emulator (ICE)
- ◆ Abschnitt 6.10.3: Praxis-Beispiel für das Design
einer Applikation

Abschnitt 1: Einführung in den PSoC Mikrocontroller

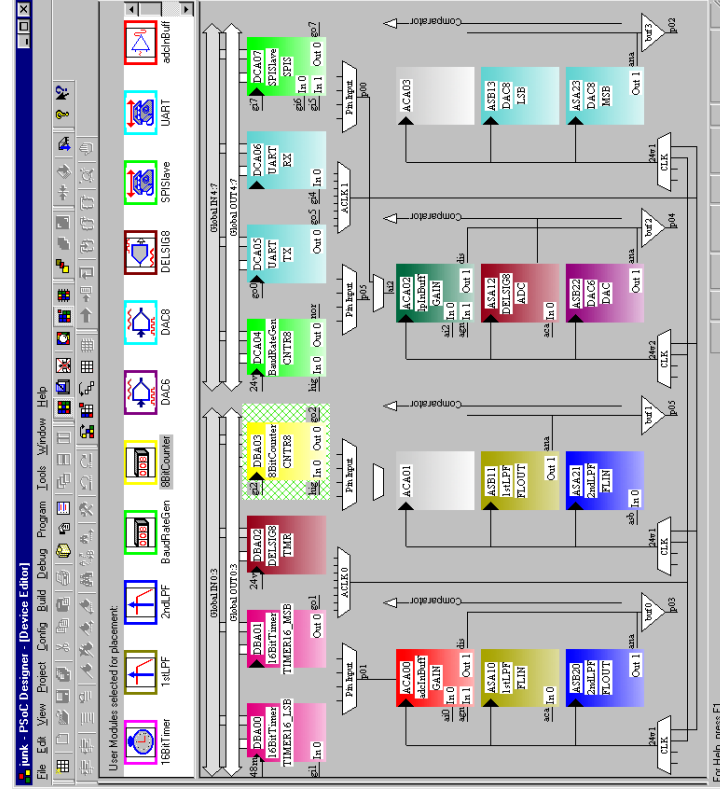
PSoC = Programmable System-on-Chip

- ◆ Der μC ermöglicht die Veränderung der Funktion der Peripheriekomponenten zur Laufzeit
- ◆ Somit kann festgelegt werden:
 1. Welche Funktionen sollen durch den μC erfüllt werden?
 2. Wann soll diese Funktion erfüllt werden?
 3. Wie sind die Verbindungen zwischen diesen Funktionen und der Außenwelt (Pinout)?

Abschnitt 1: Einführung in den PSoC Mikrocontroller

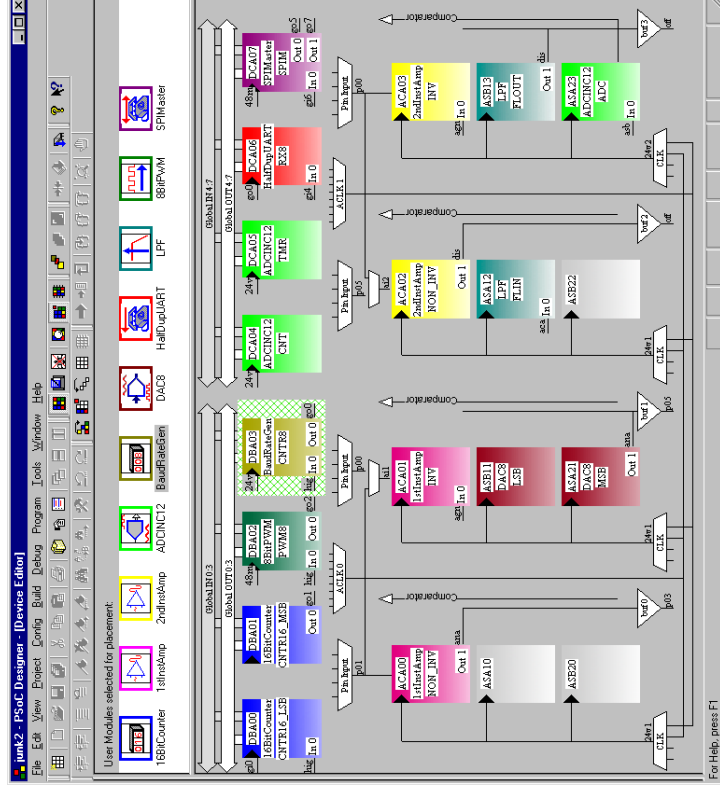
Beispiel für eine Konfiguration des μC

- ein 8-Bit Counter
- ein 16-Bit Timer
- ein Full-Duplex UART mit Baudraten-generator
- ein SPI (Serial Peripheral Interface) Slave (Full Duplex) Controller
- ein 4-Kanal 8-Bit Delta-Sigma ADU
- ein 6-Bit DAU
- ein 8-Bit DAU
- zwei Tiefpass Filter



Abschnitt 1: Einführung in den PSoC Mikrocontroller

Beispiel für eine weitere Konfiguration des μC



- ein 16-Bit Counter
- ein 8-Bit PWM
- ein Half-Duplex UART
- ein SPI Master
- ein 12-Bit Incremental ADU
- ein Tiefpass Filter
- ein 8-Bit DAU
- zwei Instrumentation-Amplifier

Abschnitt 1: Einführung in den PSoC Mikrocontroller

Beide Konfigurationen können somit aus demselben IC erstellt werden.

- ein 8-Bit Counter
- ein 16-Bit Timer
- ein Full-Duplex UART mit Baudraten-Generator
- ein SPI Slave (Full Duplex)
- ein 4-Kanal 8-Bit Delta-Sigma ADU
- ein 6-Bit DAU
- ein 8-Bit DAU
- zwei Tiefpass-Filter

- ein 16-Bit Counter
- ein 8-Bit PWM
- ein Half-Duplex UART
- ein SPI Master
- ein 12-Bit Inkremental ADU
- ein Tiefpass-Filter
- ein 8-Bit DAU
- zwei Instrumentation Amplifier

Abschnitt 1: Einführung in den PSoC Mikrocontroller

Dynamische Rekonfigurierbarkeit bedeutet, dass beide Konfigurationen in demselben IC zu unterschiedlichen Zeitpunkten in der gleichen Anwendung verwendet werden können.

- ein 8-Bit Counter
- ein 16-Bit Timer
- ein Full-Duplex UART mit Baudraten-Generator
- ein SPI Slave (Full Duplex)
- ein 4-Kanal 8-Bit Delta-Sigma ADU
- ein 6-Bit DAU
- ein 8-Bit DAU
- zwei Tiefpass-Filter

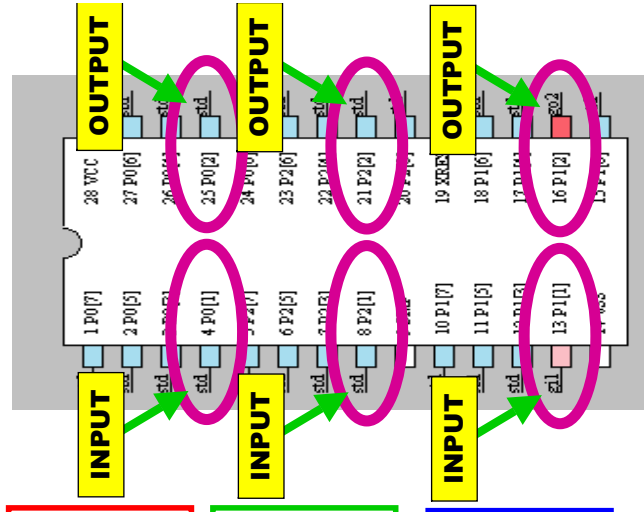
- ein 16-Bit Counter
- ein 8-Bit PWM
- ein Half-Duplex UART
- ein SPI Master
- ein 12-Bit Inkremental ADU
- ein Tiefpass-Filter
- ein 8-Bit DAU
- zwei Instrumentation Amplifier

Abschnitt 1: Einführung in den PSoC Mikrocontroller

- Ein 8-Bit Zähler:
 - Zählt positive Flanken an Pin 4
 - Setzt Pin 25 nach 10 Flanken auf High-Pegel

- Derselbe 8-Bit Zähler später:
 - Zählt positive Flanken an Pin 8
 - Setzt Pin 21 auf High-Pegel nach 15 Flanken

- Derselbe 8-Bit Zähler schließlich:
 - Zählt positive Flanken an Pin 13
 - Setzt Pin 16 auf High-Pegel nach 77 Flanken



Abschnitt 1: Einführung in den PSoC Mikrocontroller

- ◆ Mit dem PSoC ist eine anwendungsspezifische Hardwarekonfiguration möglich
- ◆ Benutzerdefinierte Eigenschaften – Auswahl von sowohl analogen als auch digitalen Funktionen
 - Erzeugung von unterschiedlichen Gerätefunktionen, die in Echtzeit veränderbar sind
 - Benutzerdefinierte Verbindungen und Pin-Outs
- ◆ Alle Einstellungen können zu unterschiedlichen Zeitpunkten angepasst werden :
 - ❖ Designvorgang
 - ❖ Entwicklung
 - ❖ Debugvorgang
 - ❖ Programmausführung

Abschnitt 1: Einführung in den PSoC Mikrocontroller

Innerer Aufbau des Mikrocontrollers:

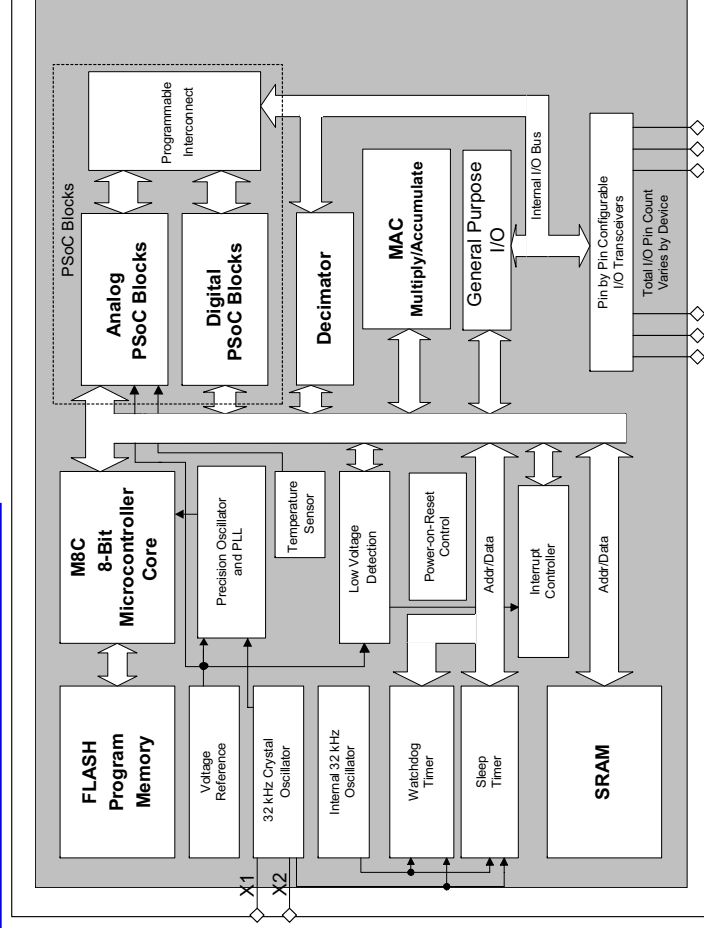
Programmable

System-

on-

Chip

Blöcke



Abschnitt 1: Einführung in den PSoC Mikrocontroller

Eigenschaften:

- ◆ 8 Bit M8C CPU-Kern, der 4 MIPs Leistungsfähigkeit besitzt
 - M8C ist eine interne Bezeichnung für einen 8-Bit CPU-Kern der Firma Cypress
 - Dieser Kern hat sich bereits in über 100 Millionen USB Anwendungen bewährt
- ◆ Integrierte MAC-Hardware (Multiply-Accumulate)
 - 8 X 8 Bit Multiplikation, 32-Bit Addition
 - Ergebnis steht sofort im nächsten Befehlszyklus zur Verfügung

Abschnitt 1: Einführung in den PSoC Mikrocontroller

Eigenschaften:

- ◆ Betriebsspannungsbereiche:
 - 5V +/- 10% : 24MHz, 4 MIPs CPU Performance
 - 3.3V +/- 10% : 12MHz, 2 MIPs CPU Performance
 - Batteriebetrieb: bis zu 24MHz (4 MIPs)
 - ❖ 1.2 V werden zum Start benötigt
 - ❖ Integrierter Schaltregler (charge pump) erzeugt eine Spannung von 3V oder 5V, die dynamisch ausgewählt werden kann
 - ❖ Es werden nur drei externe Bauteile benötigt
- ◆ Speicher
 - 4KB, 8KB, 16KB Flash-Programmspeicher (bis zu 64KB in zukünftigen Versionen)
 - 128, 256 Bytes SRAM (bis zu 2K geplant)
 - 512 Konfigurations- and I/O Kontrollregister

Abschnitt 1: Einführung in den PSoC Mikrocontroller

Weitere Angaben zum Flash-Speicher:

- ◆ Bis zu 16KByte je nach Device
- ◆ Weitere Eigenschaften:
 - 100,000 Lösch-/Schreibzyklen
 - Über ein proprietäres Interface kann der Speicher auch seriell programmiert werden
 - In-circuit programmierbar/re-programmierbar
- ◆ EEPROM wird durch Flash emuliert
 - Größe: beliebige Anzahl von 64-Byte Blöcken des „EEPROM“ (Blockspeicherung)
- ◆ IP Sicherung (intellectual property)
 - Lese/Schreib-Schutz ist auswählbar
 - Gültig für den gesamten Flash-Bereich oder jeden einzelnen 64-Byte Block

Abschnitt 1: Einführung in den PSoC Mikrocontroller

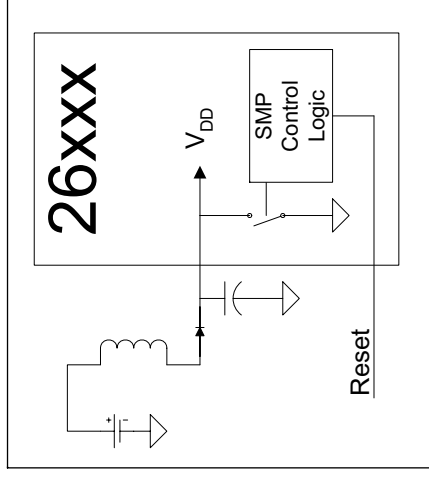
Systemtakt, Timer, Sleep-Modi

- ◆ Interner Hauptoszillator – 2.5% genau ohne externe Komponenten.
- ◆ Interne PLL kann aus 2x24 MHz 48MHz für die digitale Peripherie generieren
- ◆ Interner Low Speed (32kHz) Oszillator
 - Separater Watchdog-Oszillator aus Sicherheitsgründen
- ◆ Optional kann ein 32kHz-Quarzoszillator angeschlossen werden
 - Er treibt die Echtzeitfunktionen
 - Kann den Watchdog versorgen
 - Kann mit Hilfe der PLL benutzt werden, um den Haupttakt mit höherer Genauigkeit zu generieren
- ◆ Watchdog Timer
 - Wählbare Quelle
- ◆ Sleep Timer
 - Wählbare Quelle
 - Vom Benutzer programmierbarer Interrupt bei einer Frequenz von 1 Hz, 8 Hz, 64 Hz, 512 Hz
- ◆ Drei Sleep-Modi
 - Digitalteil im Sleepmodus
 - Analogteil im Sleepmodus
 - Außer dem Sleep-Timer sind alle Komponenten im Sleepmodus

Abschnitt 1: Einführung in den PSoC Mikrocontroller

Externe „Voltage Pump“

- ◆ Kann Ströme bis zu 50mA treiben
- ◆ Begrenzung durch Fähigkeit des internen Schalttransistors
- ◆ Minimale Startspannung: 1.2V
- ◆ Minimale Betriebsspannung: 0.7V

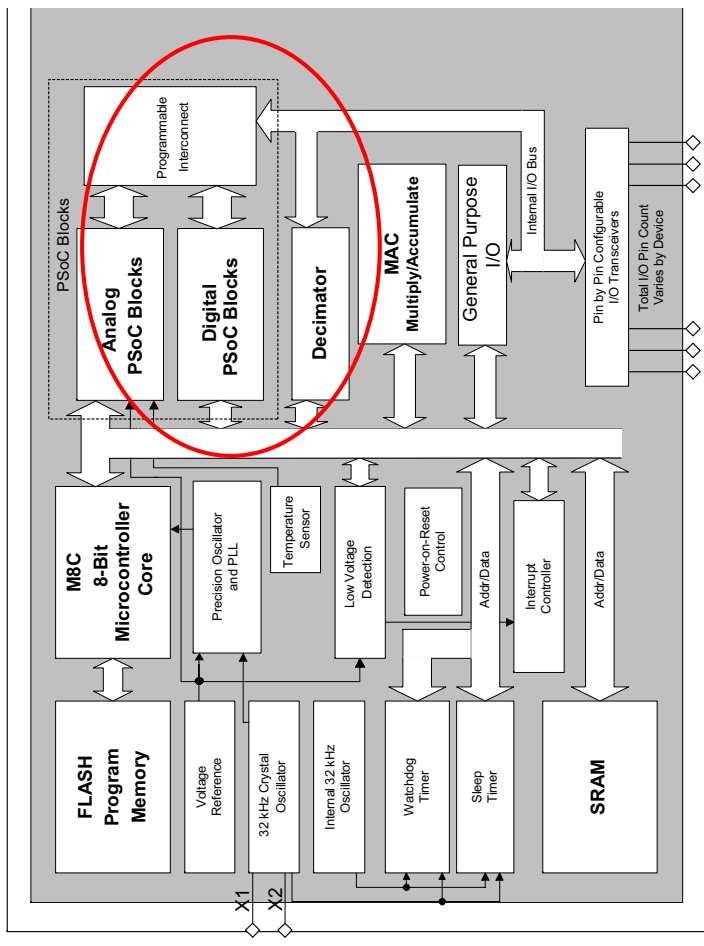


Abschnitt 1: Einführung in den PSoC Mikrocontroller

- ◆ Konfigurierbare I/O Pins
 - Jeder Pin kann 10mA treiben und 25mA aufnehmen
 - Integrierte/wählbare Pull-up und Pull-down Widerstände
 - Wählbar als Interruptquelle für Flanken- oder Pegelsteuerung
- ◆ Durch Multiplexer 8 analoge Eingänge (abgesehen vom 8-Pin Device) einlesbar
- ◆ Bis zu 4 Analogausgänge mit integrierter Treiberfähigkeit von 40mA
- ◆ 4 direkte, analoge Eingangsleitungen (Ausnahme: 8-Pin and 20-Pin Version)
- ◆ Temperatursensor auf dem Chip
 - Genauigkeit von $\pm 2^{\circ}\text{C}$, direkte Verbindung zu einem ADU

Abschnitt 1: Einführung in den PSoC Mikrocontroller

PSoC Blöcke



Programmierbare

System-

on-

Chip

Blöcke

Abschnitt 1: Einführung in den PSoC Mikrocontroller

PSoC Blöcke

◆ Digitalblöcke

– Zwei Typen

- ❖ „Basic Type“ (4)
- ❖ „Communications Type“ (4)
 - (Basic Type zusätzlich weiterer Eigenschaften für die serielle Kommunikation)
- Programmierbar in der Funktionsebene, jedoch
- Nicht programmierbar auf Gatterebene

Abschnitt 1: Einführung in den PSoC Mikrocontroller

PSoC Blöcke

◆ Analogblöcke

– Drei Typen

- ❖ Zeitkontinuierlich (Continuous Time) (4)
 - Basiert auf Widerstandsmatrix
- ❖ Switch Capacitor (8)
- ❖ Zwei Typen, um bi-quad Filter erzeugen zu können
 - Switch Capacitor A (4)
 - Switch Capacitor B (4)

Abschnitt 1: Einführung in den PSoC Mikrocontroller

Digitale PSoC Blöcke

◆ Acht 8-Bit Digital PSoC Blöcke verfügbar

◆ Vier digitale Basisblöcke

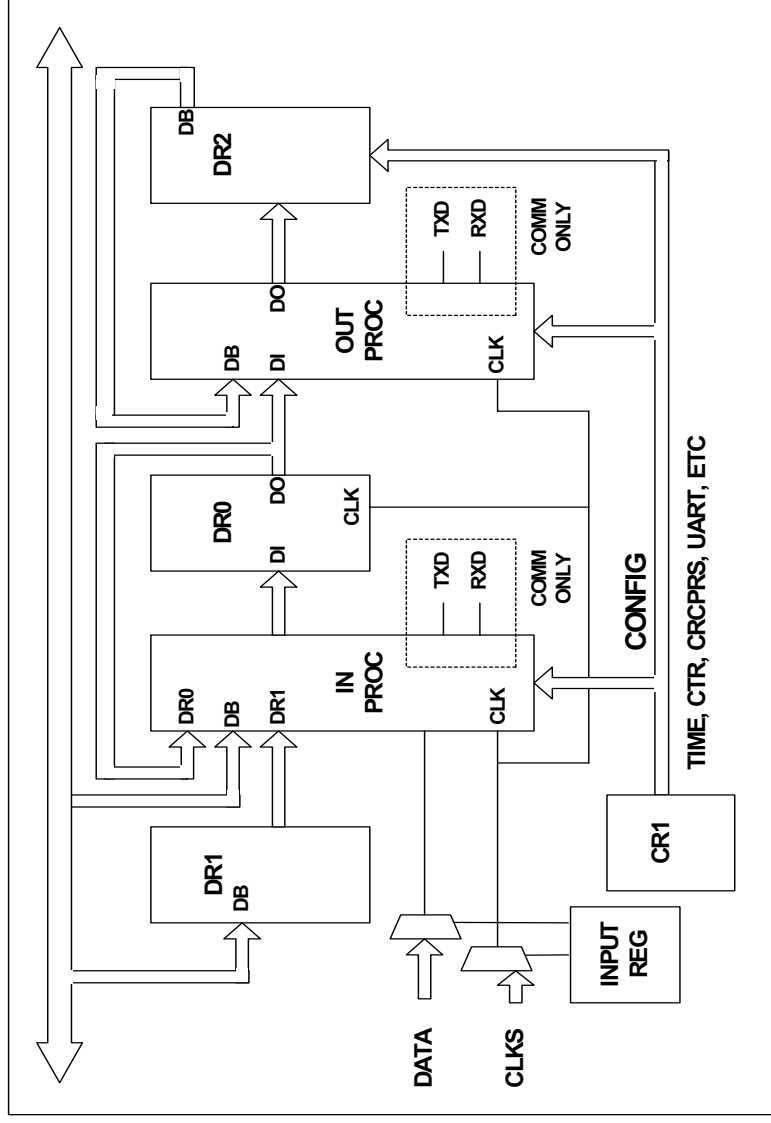
- Timer, Zähler (Counter), PWM
- Dead Band Generator (2 Phase Underlapped Clock)
- Pseudo Random Source (PRS)
- Cyclic Redundancy Check Generator (CRC)

◆ Vier digitale Comm-Blöcke

- Beinhalten alle Basisfunktionen und zusätzlich:
- SPI Master
- SPI Slave
- Async Rx
- Async TX

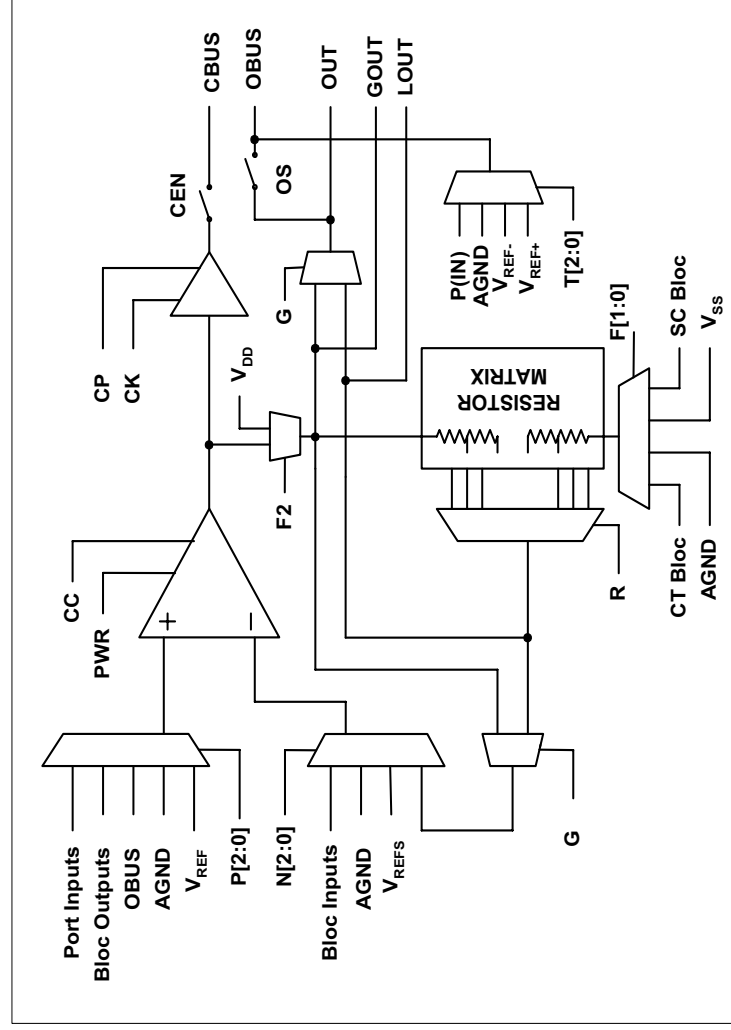
Abschnitt 1: Einführung in den PSoC Mikrocontroller

Digitale PSoC Blöcke



Abschnitt 1: Einführung in den PSoC Mikrocontroller

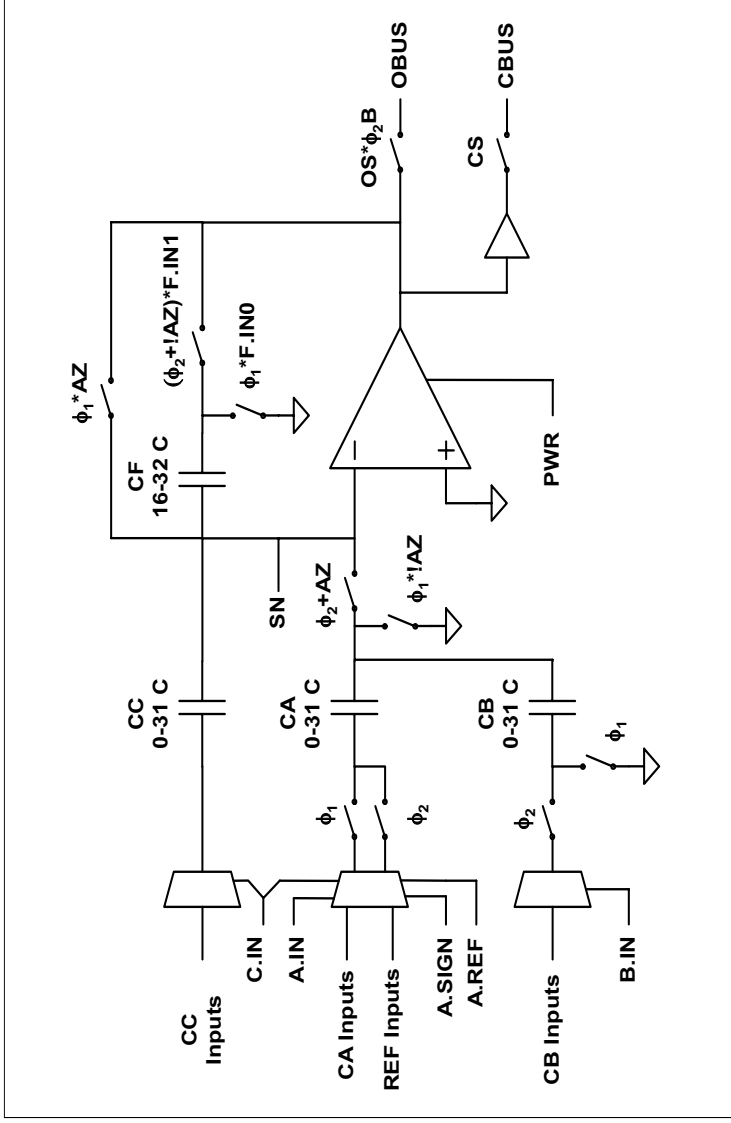
Analoge PSoC Blöcke



Continuous Time

Abschnitt 1: Einführung in den PSoC Mikrocontroller

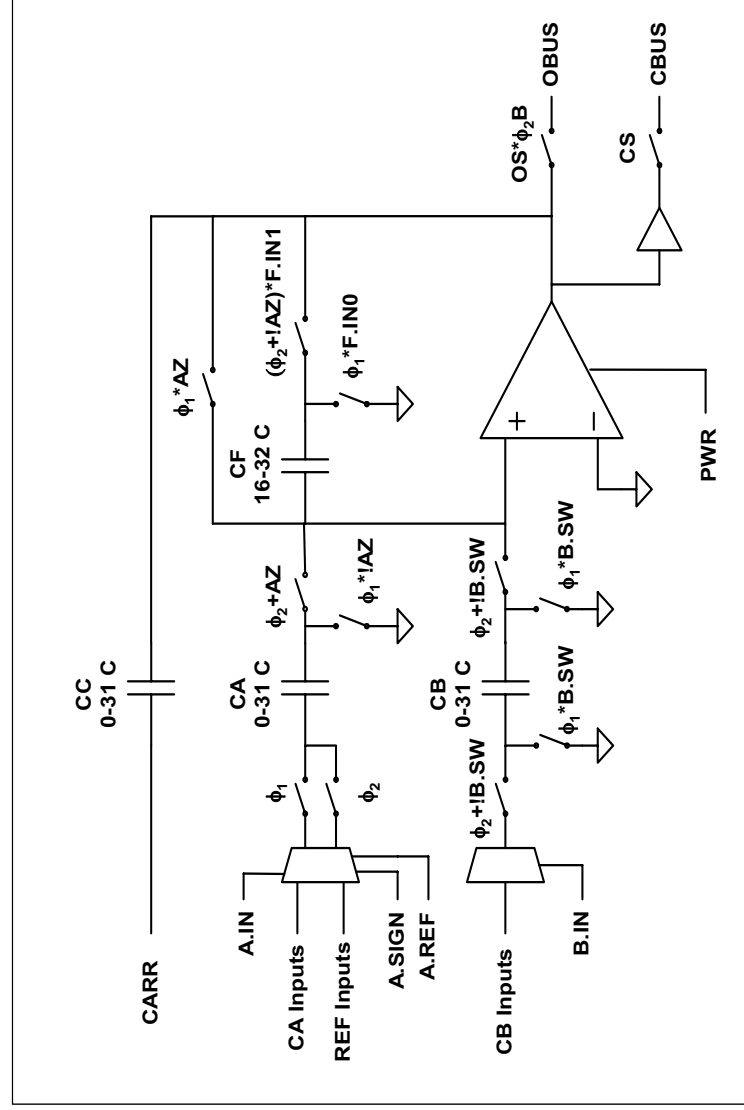
Analoge PSoC Blöcke



Switched Cap A

Abschnitt 1: Einführung in den PSoC Mikrocontroller

Analoge PSoC Blöcke



Switched Cap B

Abschnitt 1: Einführung in den PSoC Mikrocontroller

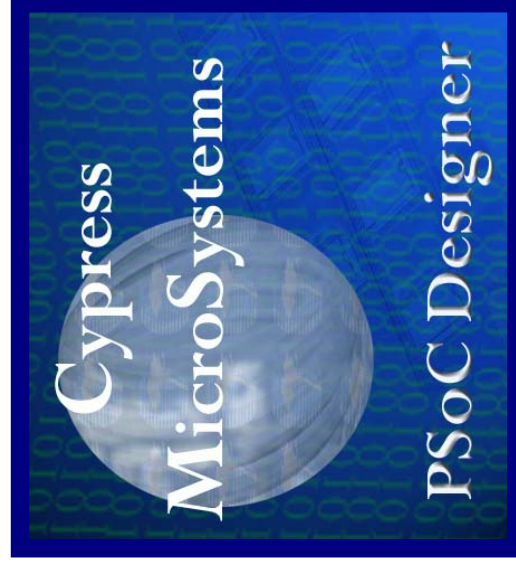
Vordefinierte Module in der Software

- ◆ Konfigurierte Hardware Blöcke können im IDE (Integrated Development Environment) ausgewählt werden
- ◆ Analog zu einem on-chip Peripherieelement
 - Timer
 - UART
 - ADU
- ◆ Bestehend aus einem oder auch mehreren PSoC Blocks
- ◆ Registerbits werden für die erste Konfiguration vorher gesetzt
- ◆ Weiterhin sind Datenblätter enthalten:
 - Application Programmer Interfaces (APIs)
 - Interrupt Service Routines (ISRs)
 - IC (Integrated Circuit)

Abschnitt 2: PSoC Designer IDE Software

PSoC Designer

- ◆ Integrated Development Environment



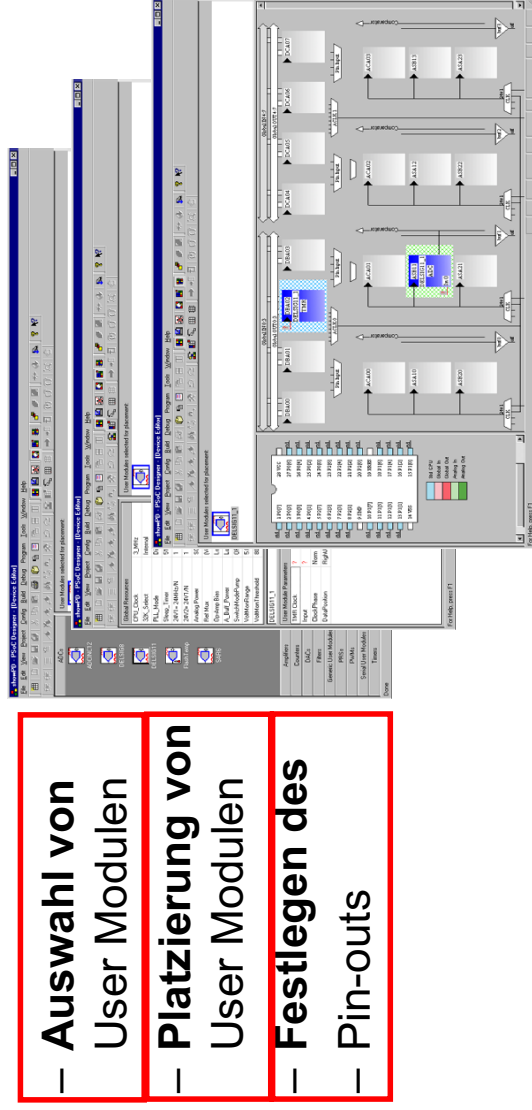
- ❖ **Device Editor**
- ❖ Application Editor
- ❖ C Compiler
- ❖ Assembler
- ❖ Librarian (Bibliothek mit User Modulen)
- ❖ Debugger

Abschnitt 2: PSoC-Designer IDE Software

PSoC Designer

Device Editor – Betriebsmodi

- ◆ Der Device Editor ermöglicht drei Betriebsmodi



Abschnitt 2: PSoC-Designer IDE Software

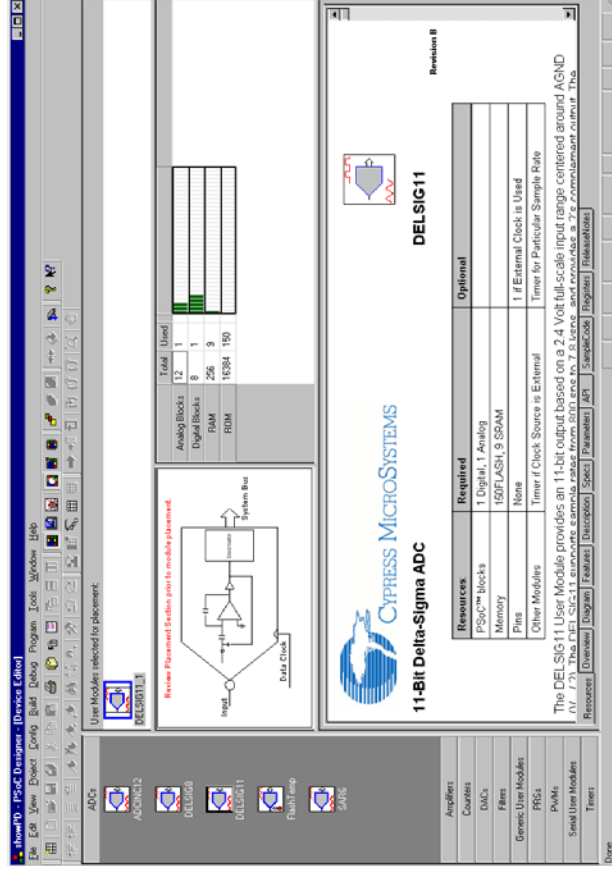
PSoC Designer: Funktionen

- ◆ Möglichkeiten, um
 - Projekte zu erzeugen und zu verwalten
 - Benutzermodule auszulesen (User Module Library)
 - Benutzermodule zu konfigurieren (Device Editor)
 - Quellcode zu schreiben und zu assemblieren/compilieren(Application Editor)
 - Programmcode zu debuggen/emulieren mit Hilfe des ICE (Debugger)
- ◆ Software (außer C-Compiler) ist im Internet herunterladbar:
 - (<http://www.cypressmicro.com/download/>)

Abschnitt 2: PSoC-Designer IDE Software

Software IDE Device Editor

◆ Auswahl von Benutzermodulen

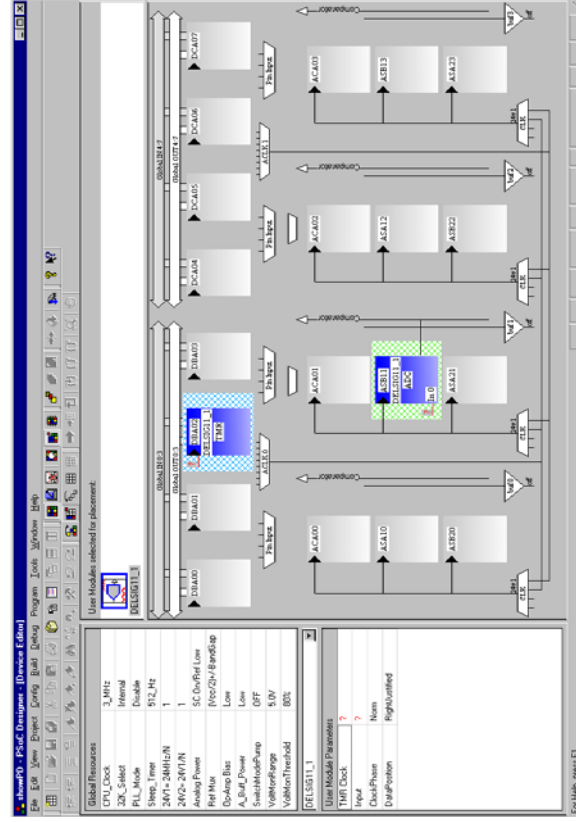


- ❖ Benutzermodule können aus einer Liste ausgewählt werden
- ❖ Zu jedem Benutzermodul gibt es ein Datenblatt
- ❖ Auswahl von Benutzermodulen und Einfügen in das aktuelle Projekt
- ❖ Ansicht der verbleibenden und verbrauchten Ressourcen

Abschnitt 2: PSoC-Designer IDE Software

Software IDE Device Editor

◆ Platzierung von User-Modulen



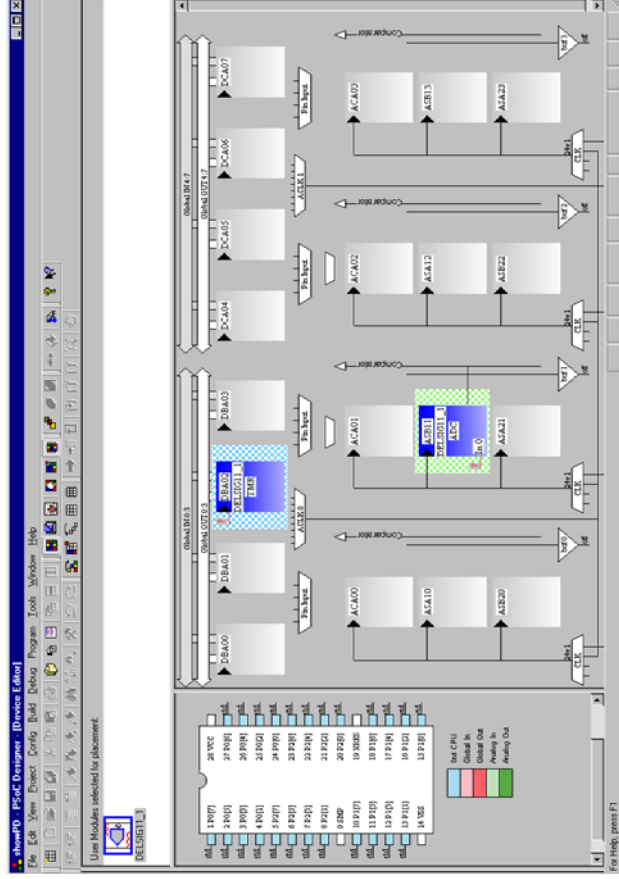
- ❖ Ansehen der PSoC Block Architektur
- ❖ Potentielle Modul-Platzierungen können ausgewählt werden
- ❖ Festlegen der Verbindungen zwischen Pins des ICs und den Modul-Blöcken
- ❖ Festlegen der Einstellungen für die Benutzer-Module und der globalen Einstellungen
- ❖ Festlegen des Taktes für die Benutzermodule

Abschnitt 2: PSoC-Designer IDE Software

Software IDE Device Editor

◆ Festlegen des Pin-outs

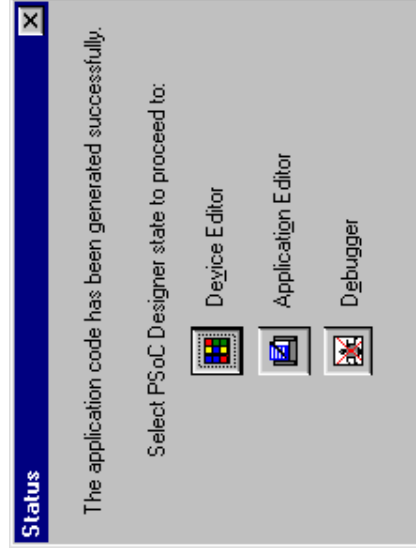
- ❖ Ansicht der Pinoptionen für die ausgewählte Komponente
- ❖ In/Out-Pins mit Benutzermodulen verknüpfen
- ❖ Festlegen der internen Verknüpfungen zwischen Benutzermodulen
- ❖ Festlegen des Modus und der Treiberfunktion für GPIO Pins



Abschnitt 2: PSoC-Designer IDE Software

Device Editor - Endresultat

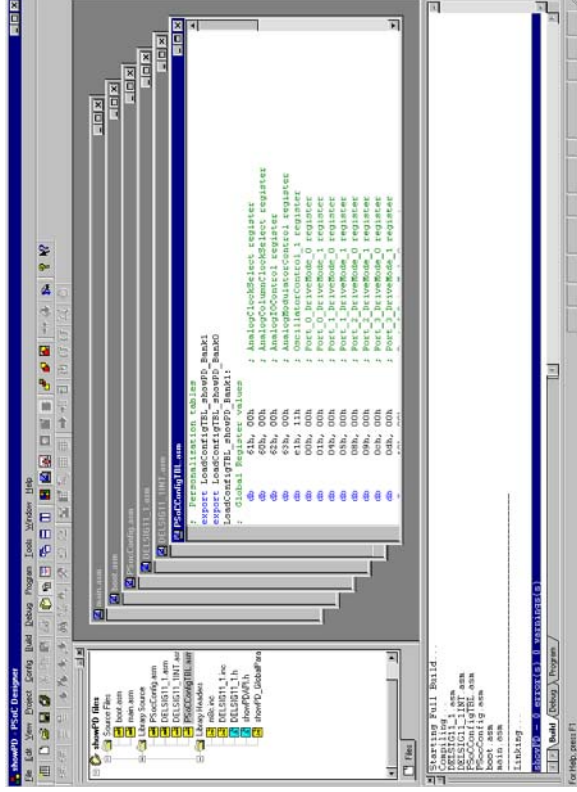
- ◆ Durch Drücken der Schaltfläche “Generate Configuration” wird der Projektcode erzeugt
- ◆ Alle Benutzereinstellungen werden umgesetzt
 - ❖ Es werden die Dateien gemäß dem konfigurierten Chip erzeugt
 - ❖ Die Quelldateien für das Projekt werden erzeugt
 - ❖ Es wird der Projektdateien-Editor aufgerufen und der Quellcode kann verändert/compiliert werden
 - ❖ Es kann ein Konfigurationsdatenblatt für die vorliegende Konfiguration erstellt werden



Abschnitt 2: PSoC-Designer IDE Software

Software IDE Application Editor

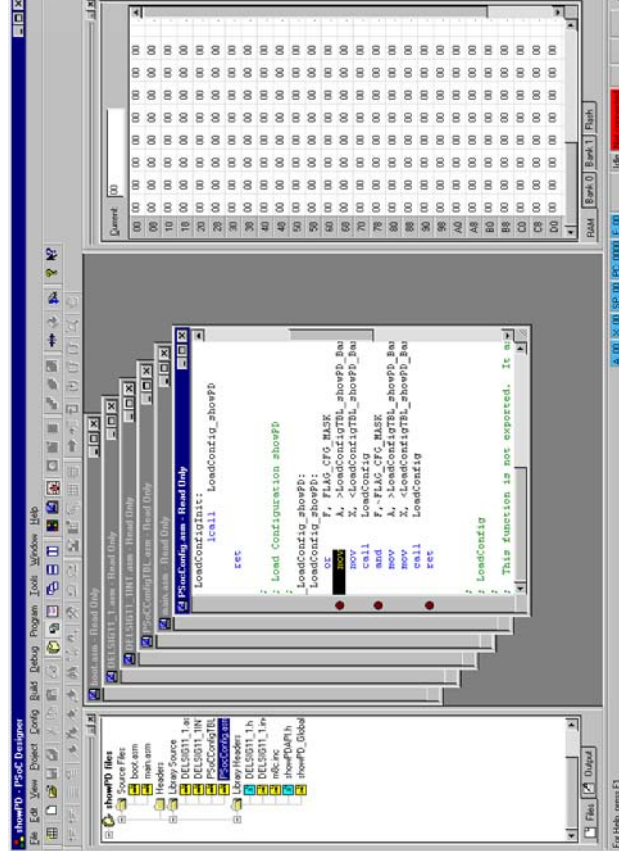
- Editor für Programmcode
- Assemblieren/Compilieren des Programmcodes
 - Ansehen und Editieren von individuellen Quelldateien
 - Bookmarks setzen und löschen (Editor/Debugger)
 - Dateien einzeln assemblieren/compilieren
 - Das gesamte Projekt übersetzen
 - Zeiger auf fehlerhafte Zeilen im Quellcode



Abschnitt 2: PSoC-Designer IDE Software

Software IDE Debugger

- ◆ Interface zum ICE (In-Circuit-Emulator)
 - ❖ Ansicht der Register- und Speicherinhalte
 - ❖ Änderung des Inhalts dieser Speicherbereiche
 - ❖ Verbindung zum ICE
 - ❖ Start/Stop/Einzelschritt-abarbeitung
 - ❖ Setzen von Breakpoints



Abschnitt 2: PSoC-Designer IDE Software

PSoC ICE Basiseinheit

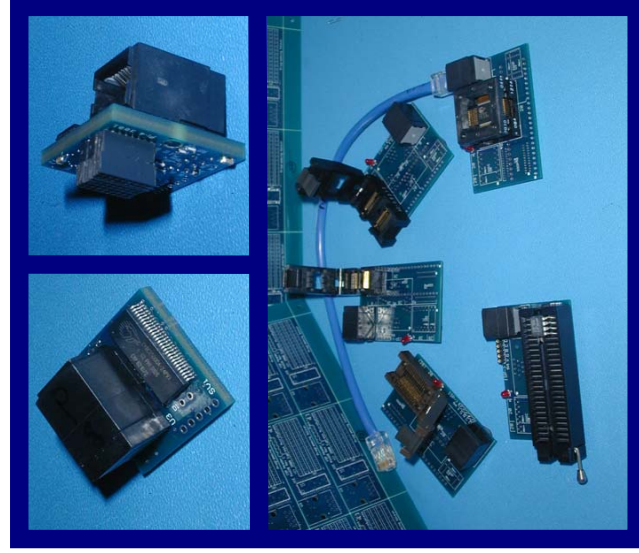
- ◆ Anschlüsse für
 - Parallel-Kabel
 - Spannungsversorgung
 - Pod
 - Logik Portpins
- ◆ Ist nur mit einer Entwicklungsumgebung erhältlich



Abschnitt 2: PSoC-Designer IDE Software

PSoC ICE Pods

- ◆ Erhältlich für alle Gehäuseformen
- ◆ Kann einzeln erworben werden
- ◆ Wird über ein TP CAT 5 Kabel mit der Basiseinheit verbunden
- ◆ Programmierplatine ist bei Erwerb des Pod enthalten



6.11. System-on-Chip

SoC technology gives rise to new problems:

- cost - how do we keep design costs under control?
- debug - how do we diagnose software problems that are buried deep in the silicon?
- production test - how do we test a device that no one individual fully understands?



System-on-Chip: Driving Forces

- performance: on-chip activity can generally proceed faster than off-chip activity
- power: on-chip capacitances are much lower than off-chip ones, so on-chip activity is more power-efficient
- reliability: inter-chip connections through PCBs are a significant source of unreliability, and there is less to go wrong if everything is on one chip
- cost: provided the SoC is not uneconomically large it is cheaper than the equivalent multi-chip solution
- even if the SoC is uneconomic on the current technology generation this will change with the next generation!
- size: small physical size (and weight) is an advantage for many applications
- Electromagnetic interference (EMI)



System-on-Chip: Applications

At present there are relatively few true single-chip systems:

- smartcard chips are an obvious example of a true SoC

It is far more common have separate memory chips:

- current mobile phones have an SoC with all the processing and peripheral inter-faces, with separate chips for large memories and the radio frequency (RF) functions.
- Incorporating the RF functions

A 'right first time' design methodology is required!



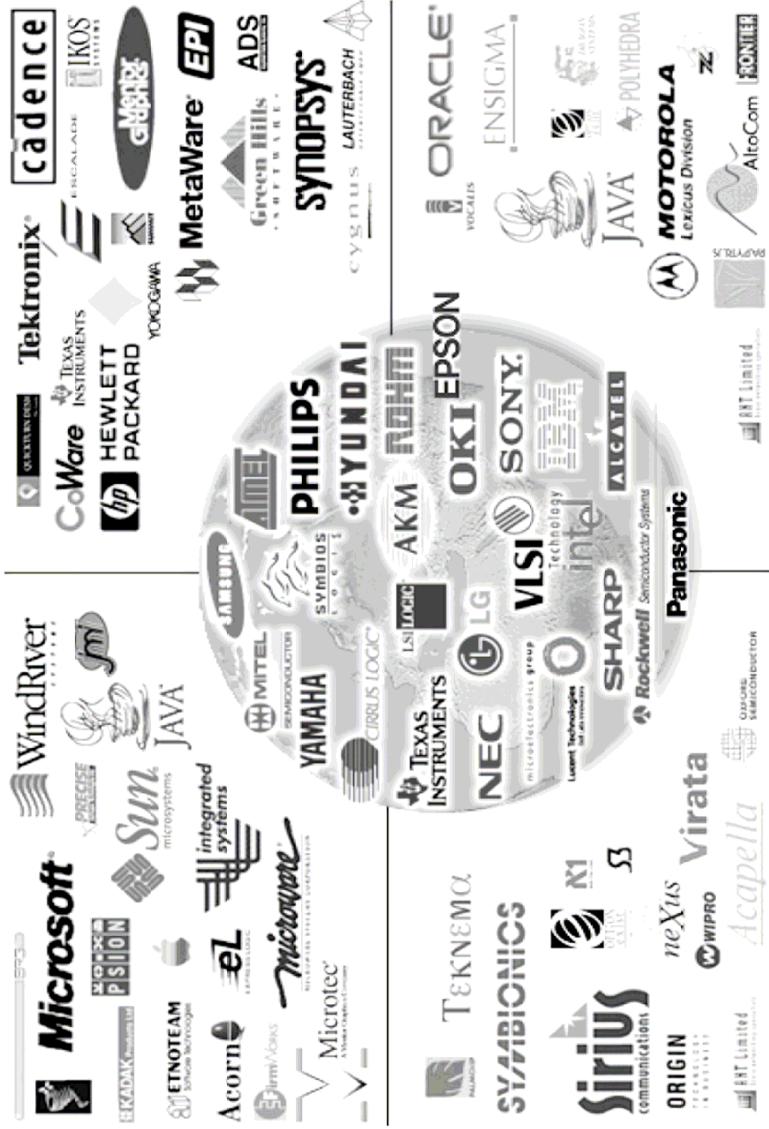
Design re-use

- foundry services (e.g. TSMC): these companies fabricate silicon using customer supplied layout design
- fabless semiconductor houses: design chips that they fabricate through foundries
- IP suppliers (e.g. ARM): design 'IP blocks' (e.g. processor cores) that they license to customers who then include the IP block in their SoC designs

ARM Limited is generally credited with creating a new businessmodel with their IP licensing.



Design reuse - the ARM IP business



Universität Karlsruhe (TH)

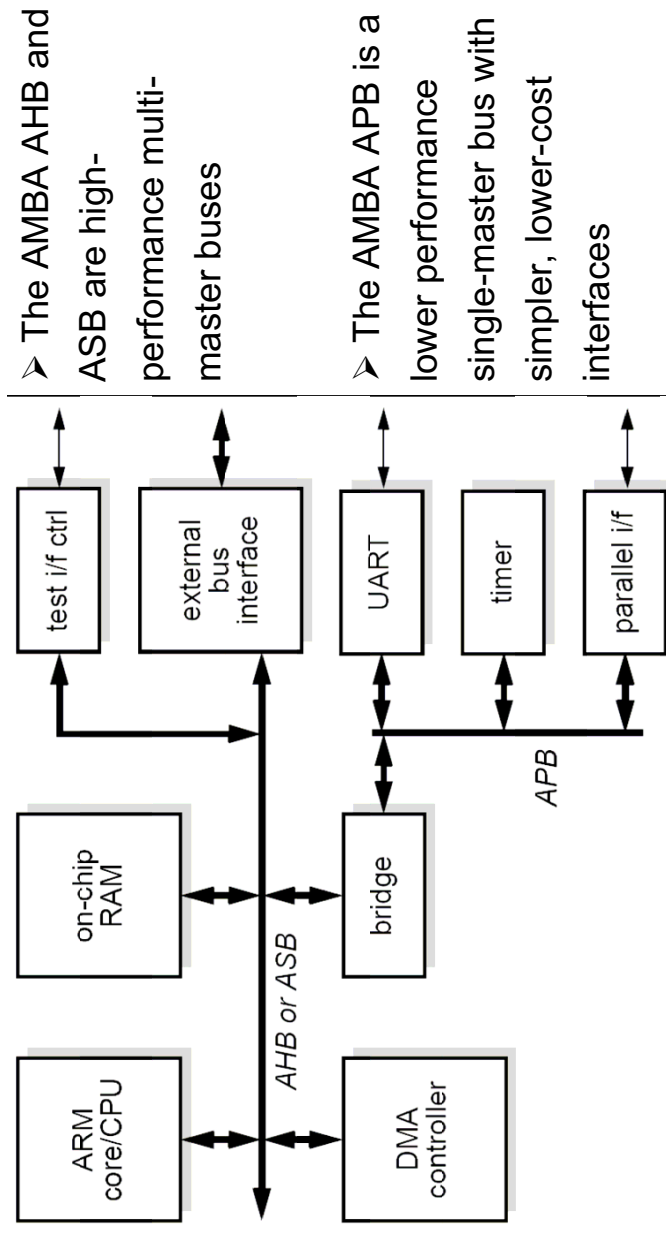
Institut für Mikro-und Nanoelektronische Systeme



5

On-chip buses: The ARM AMBA bus

AMBA: Advanced Microcontroller bus architecture



Universität Karlsruhe (TH)

Institut für Mikro-und Nanoelektronische Systeme

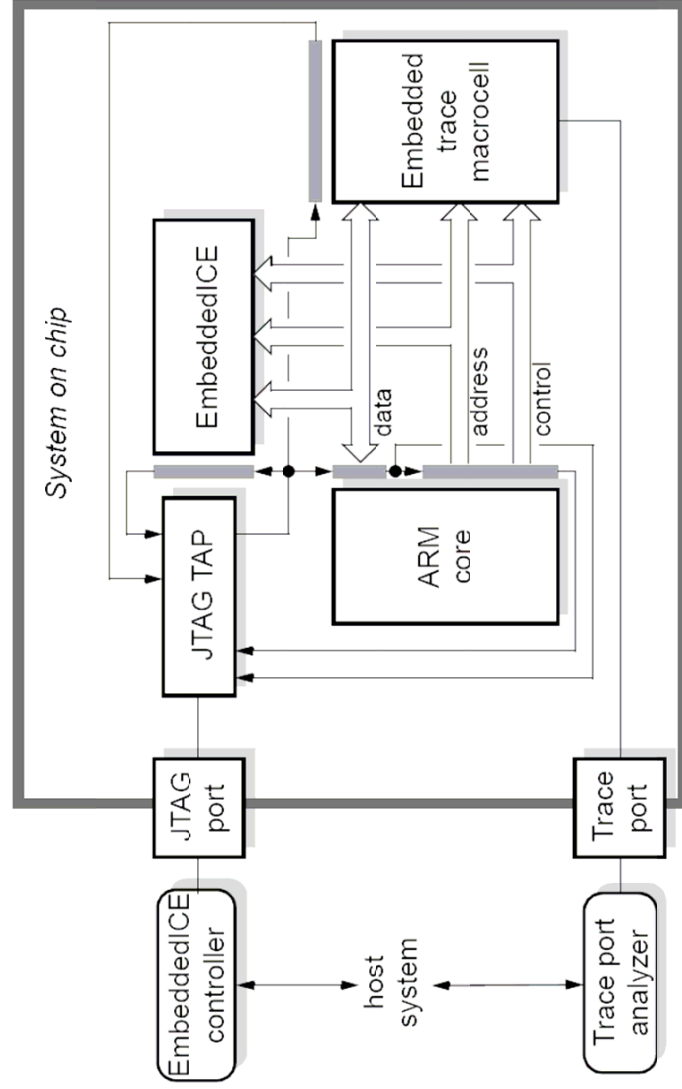


6

SoC debug

- breakpoint/watchpoint hardware: this will stop processor execution whenever a particular instruction or data location is accessed
- mechanisms to examine processor and memory state
- a 'trace' facility to see a record of processor address and data bus activity around some triggering event

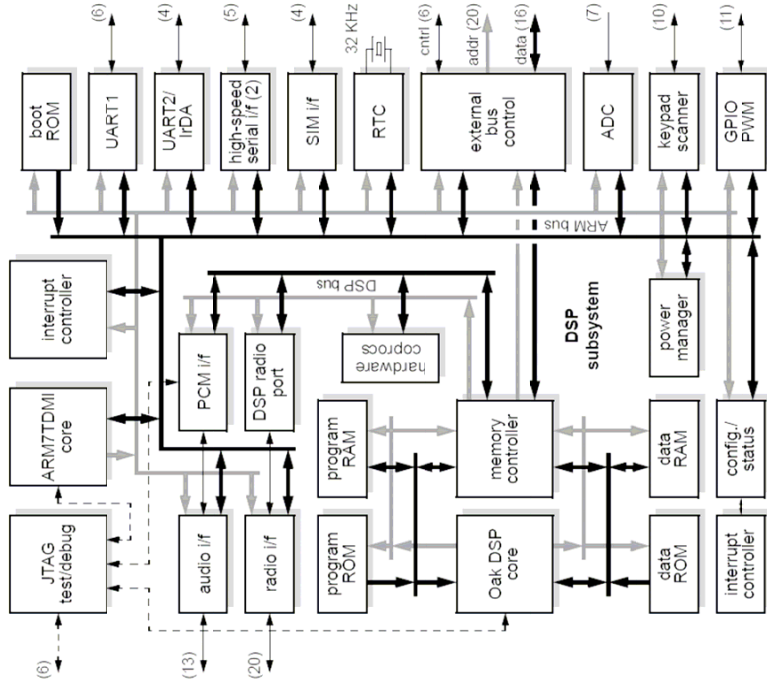
SoC debug: Embedded ICE system



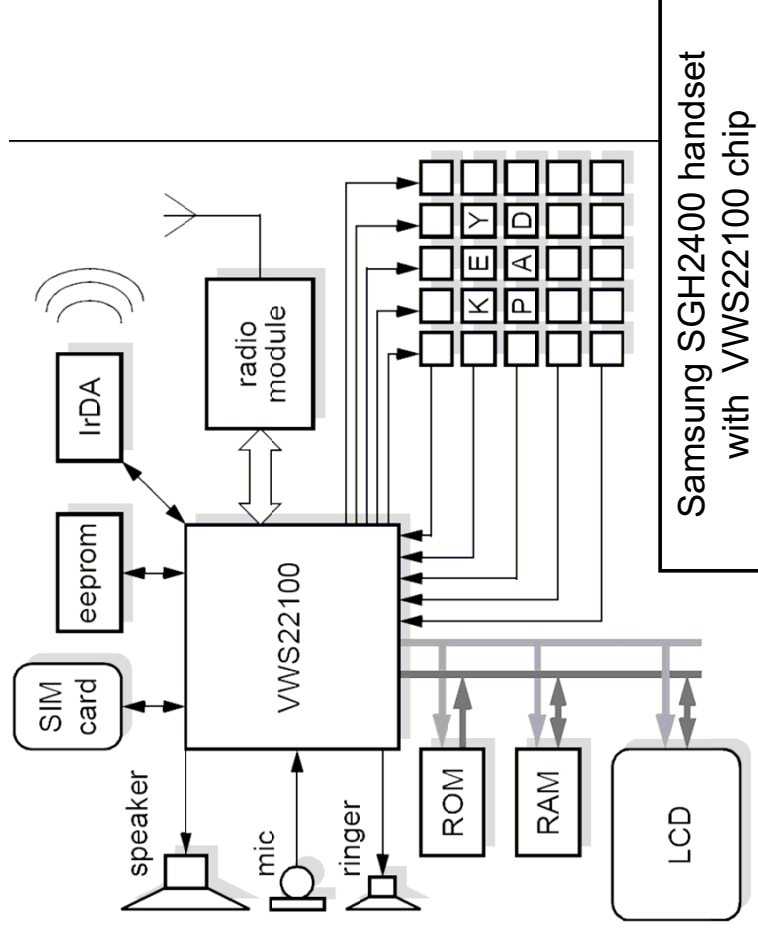
GSM chip

single chip GSM handset
SoC design:

VWS22100 chip from
VLSI Technology (now
part of Philips)



GSM mobile phone handset chip



Samsung SGH2400 handset
with VWS22100 chip

Functions of the VWS22100-chip

Handling of real-time data traffic:
With 16-bit Oak DSP core

- voice coding
- equalization
- channel coding
- echo cancellation
- noise suppression
- voice recognition
- data compression

Handling of protocols and user interface:

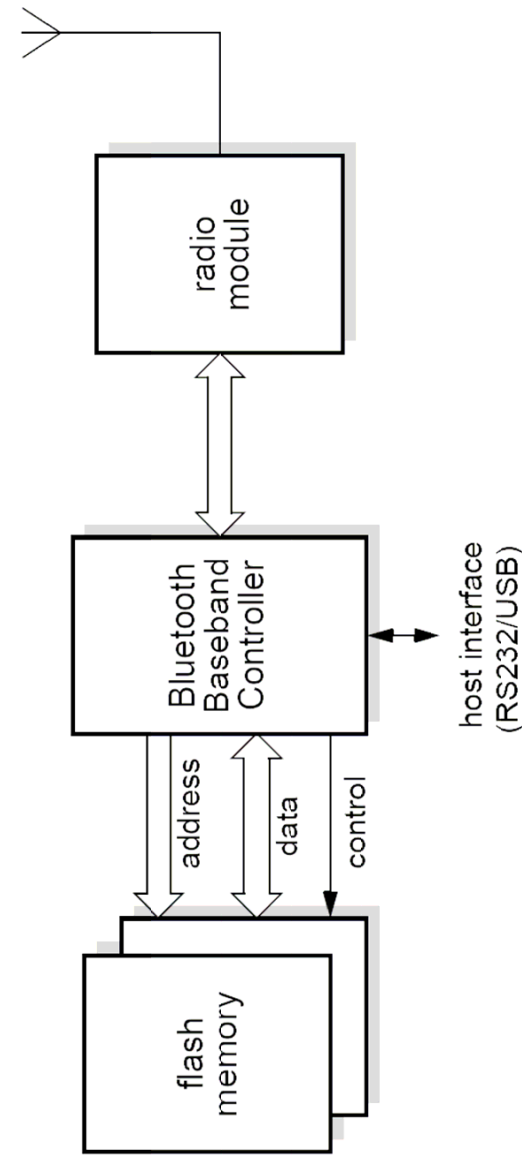
With ARM7TDMI core

- User interface
- GSM protocol stack
- Power management
- Peripheral interfaces
- Data applications

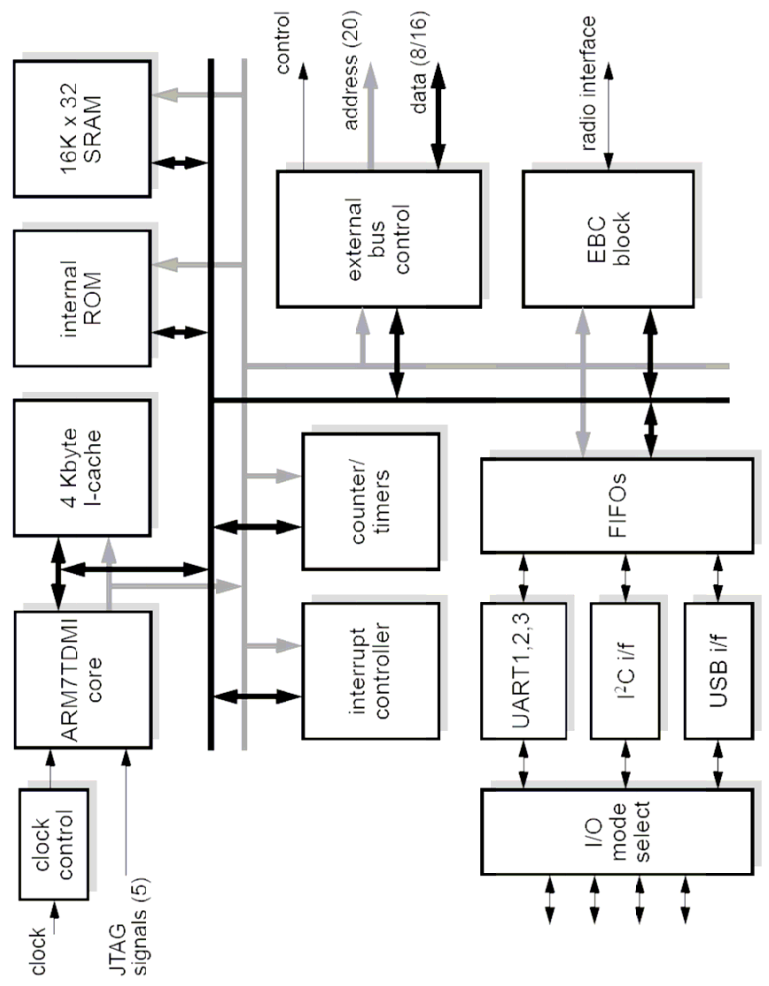


Bluetooth

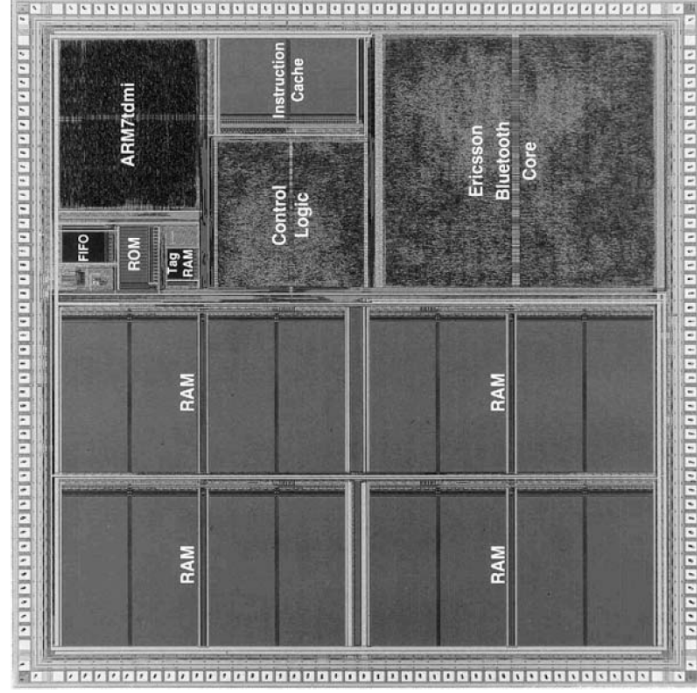
A typical Bluetooth system:



Bluetooth



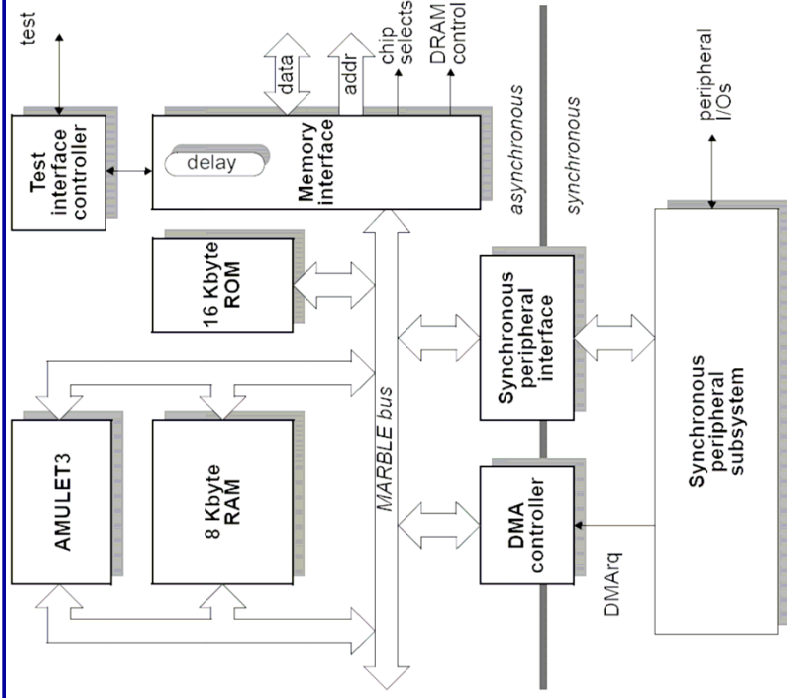
The Ericsson-VLSI Bluetooth chip



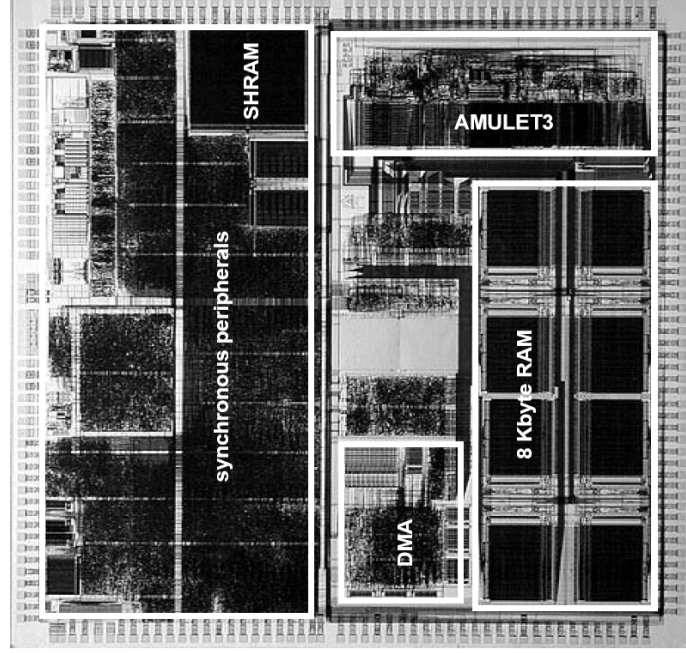
- 4,300,000 transistors on 20 mm² of silicon
- 64 Kbytes of static RAM
- 75 mW (high speed mode)
- 1 mW (standard mode)
- 12 MIPS

DRACO-Chip

Developed by
AMULET Group and
Hagenuk GmbH
for ISDN & DECT



DRACO - An Asynchronous SoC



- 100 MIPS AMULET3 ARM-compatible processor core with local 8 Kbyte dual-port RAM
- MARBLE asynchronous on-chip bus
- 32-channel DMA controller
- 16 Kbyte ROM
- programmable external memory interface
- bridge to the synchronous bus used to support the synchronous peripherals



SoC – Conclusions (I)

Progress in computing is largely technology driven, and integrated circuit technology is still progressing apace:

- current estimates suggest CMOS can continue to shrink until about 2010-2015
- this will enable billion transistor SoCs
- what will happen to the industry when / or / if CMOS progress ends?



SoC – Conclusions (II)

The argument for integrating as much of a system as possible onto a chip is compelling:

- performance, power, cost, size, weight,...

SoC integration is already a reality, and is transforming the costeffectiveness of mobile phones, pagers, MP3 players, digital cameras, PDAs, and so on.



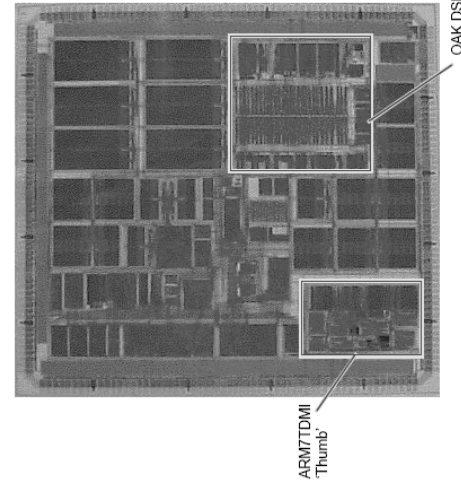
SoC – Conclusions (III)

What will the billion transistor chips of 2010 enable?

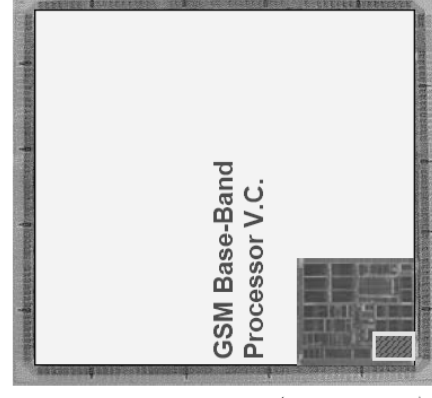
- symmetric multiprocessor systems-on-chip
- almost any of today's consumer products on a chip that includes all the system memory
- generic CPU/memory/FPGA/analog chips that can be configured to implement many lower volume SoC applications



Thank You



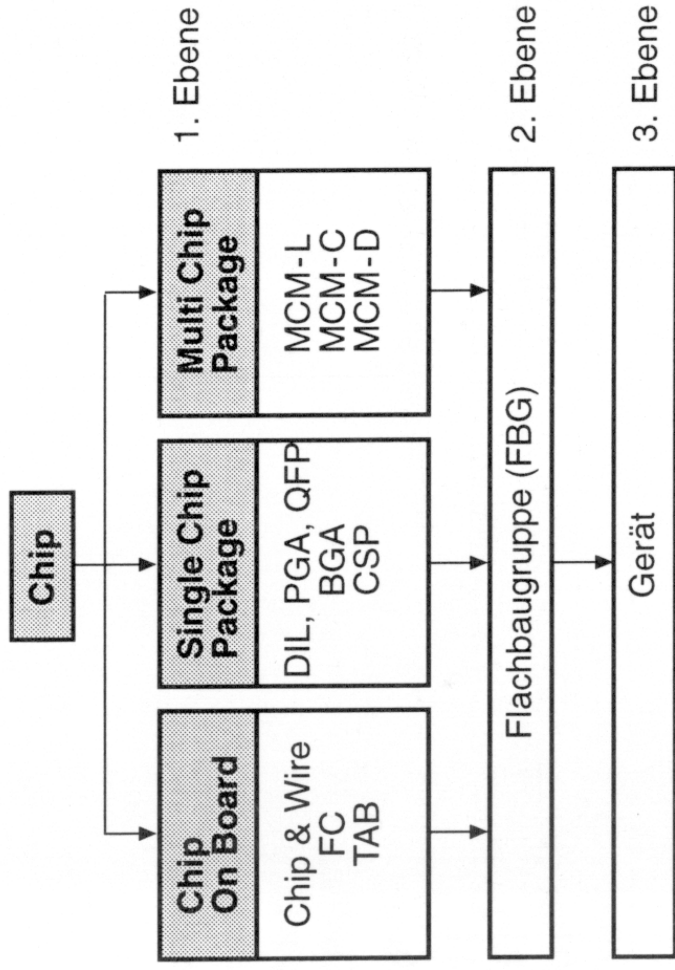
1996 0.35 micron GSM chip



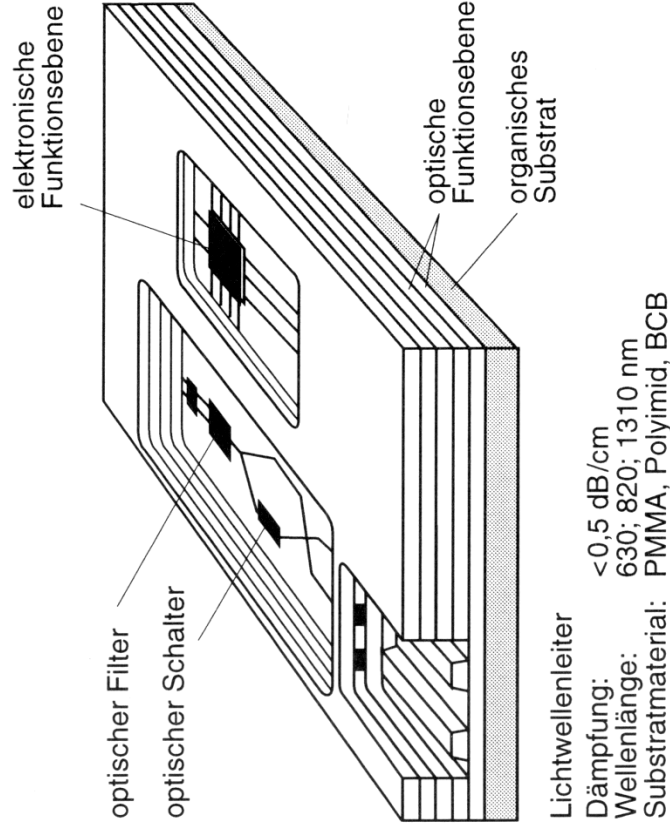
2003 0.12 micron SoC chip



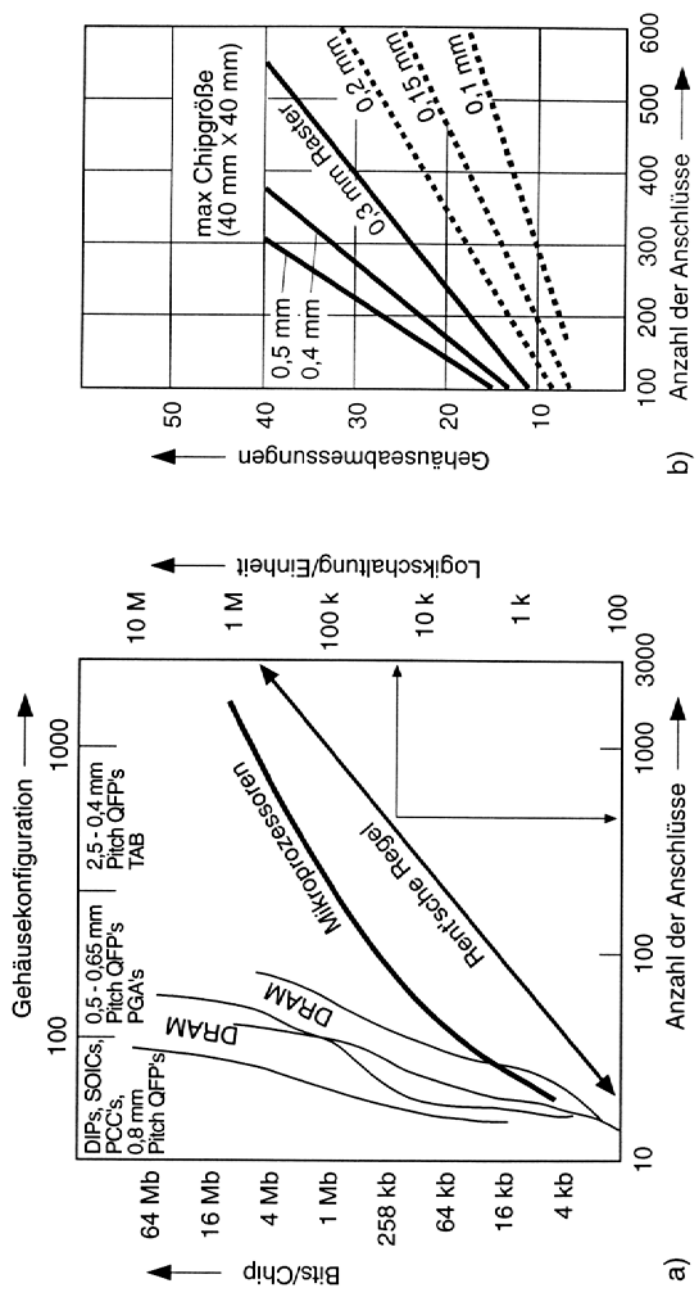
7. Aufbau und Montage



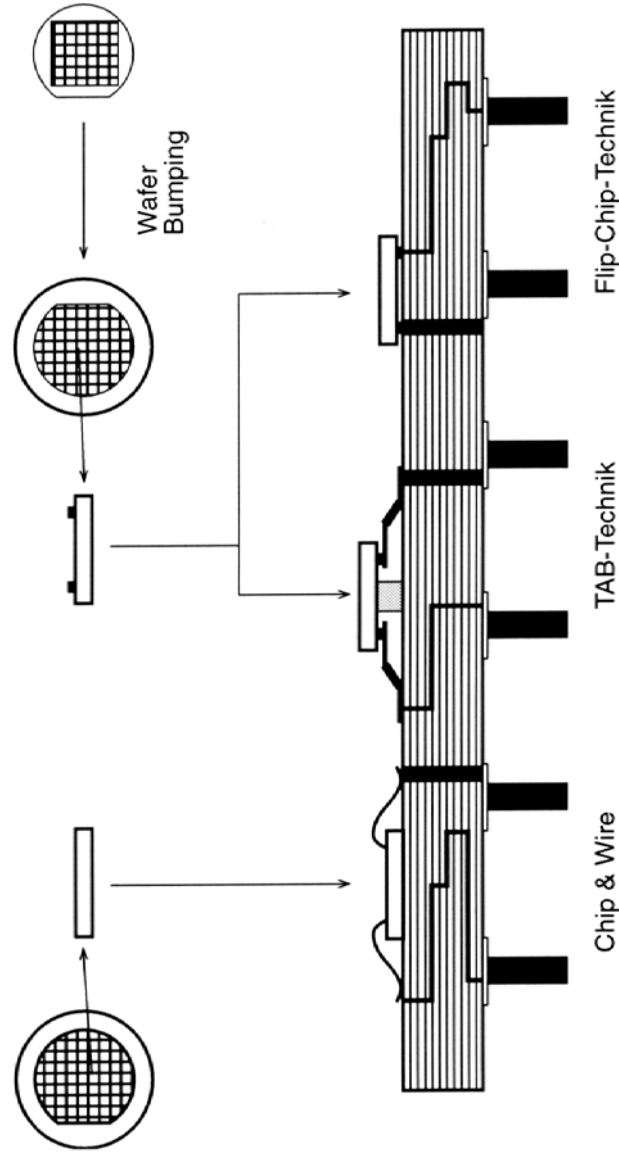
7.1. Montage



7.1. Montage



7.1. Montage



Anforderungen an Montage

Design

- Elektrische Verbindungen zu externen Schaltungsteilen
- Material zum Schutz des Chips vor Feuchtigkeit, Korrosion, Wärme, Vibration, mechan. Schock
- Abführung der Verlustleistung
- Leistungsfähigkeit, Zuverlässigkeit, Performance, reliability und Service
- Kosten

➤ Herstellungsfragen

- Chip-Separation
- Verbindung Chip - Gehäuse
- Einkapseln des Chips
- Chip Test

➤ Material

- Keramik und Plastik



Rent'sche Regel

Determine the number of Input/Output leads.

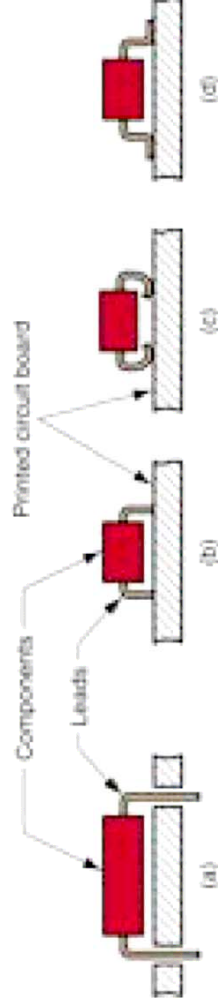
$$n_{i/o} = c n_c^m$$

where

$n_{i/o}$ = # I/O leads required

n_c = # of devices in the IC

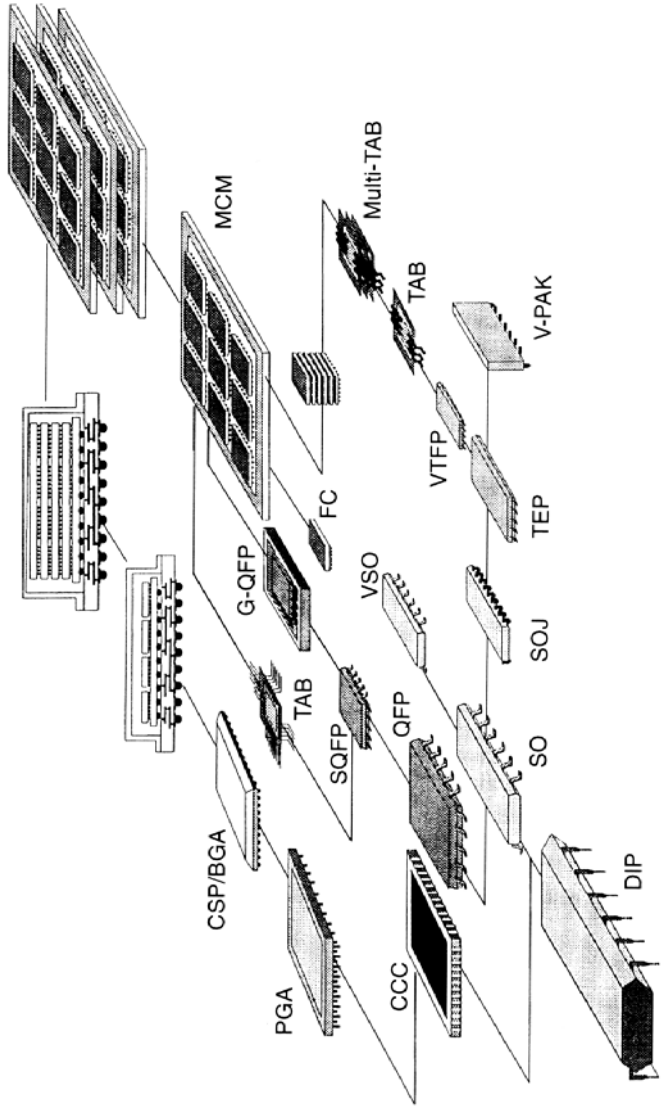
$c, m = 4.5, 0.5$ for modern VLSI



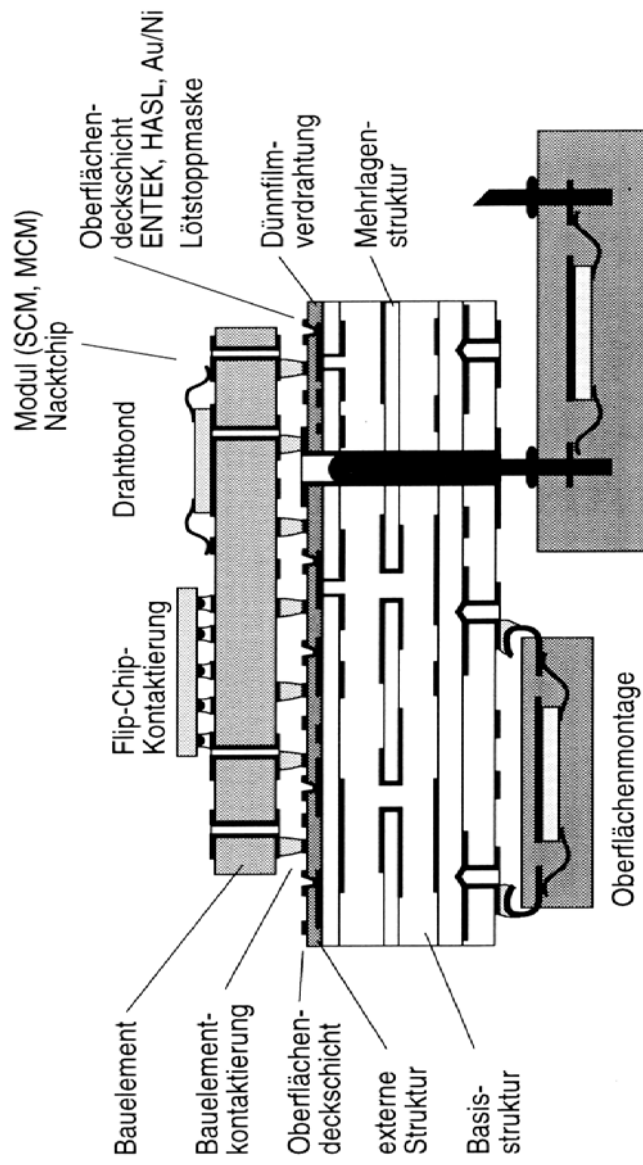
(a) through-hole, and several styles of surface mount technology: (b) butt lead, (c) "J" lead, and (d) gull-wing



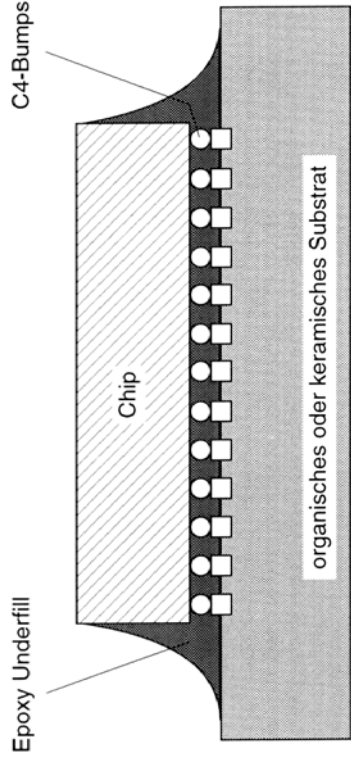
Montage-Systeme



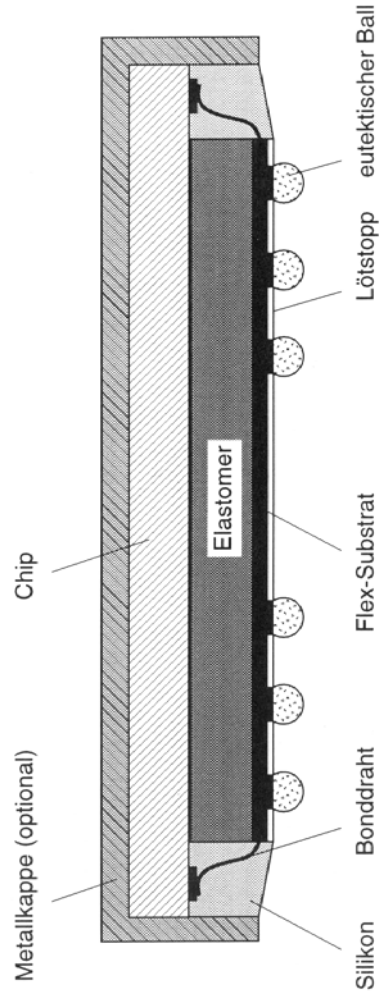
Montage-Beispiel



Flip Chip

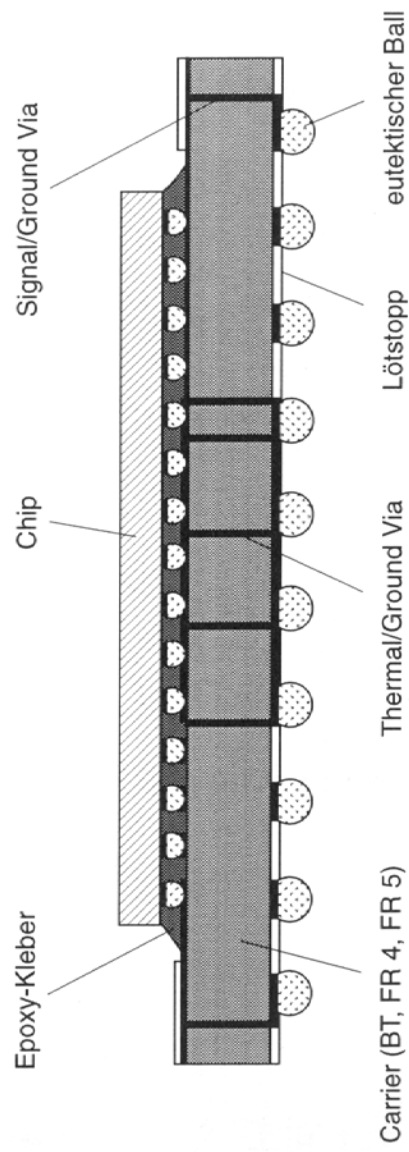


Chip Size Package

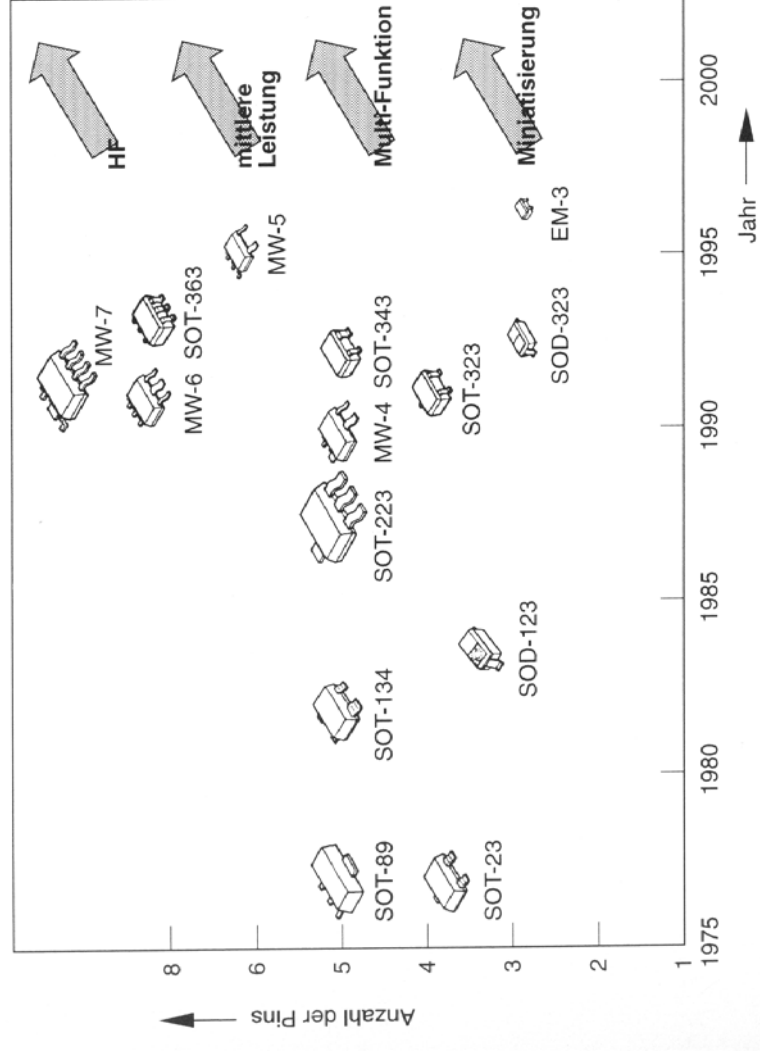


SLICC

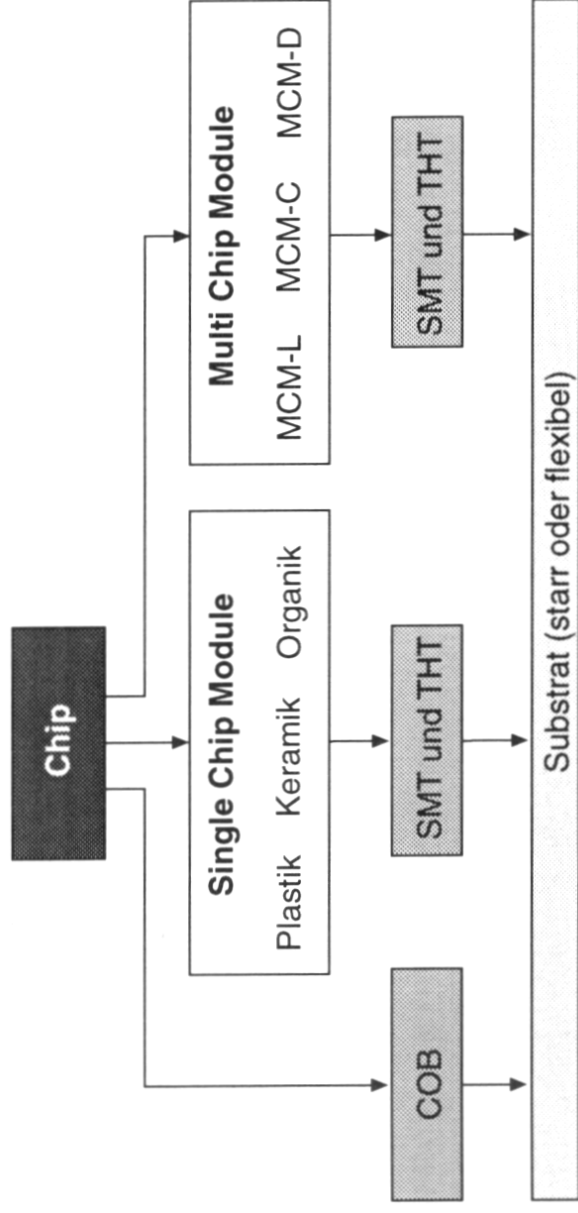
(Slightly Larger than an IC Carrier)



Diskrete Bauelemente



7.2. Montagevarianten



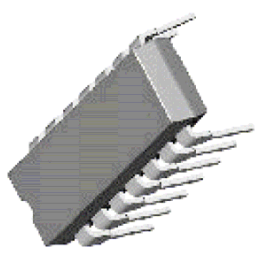
Montage-Hierarchie

Level	Beschreibung der Verbindungsart
0	Verbindungen (Intraconnects) auf dem Chip
1	Chip–Gehäuse Verbindung für Gesamt-IC (z.B., Dual-in-Line Gehäuse)
2	IC- Gehäuse zur Platin
3	Platine zur Montageplatte; „card-on-board“ – Gehäuse
4	Verkabelung im Gerätegehäuse

Platinen (Printed Circuit Board – PCB)



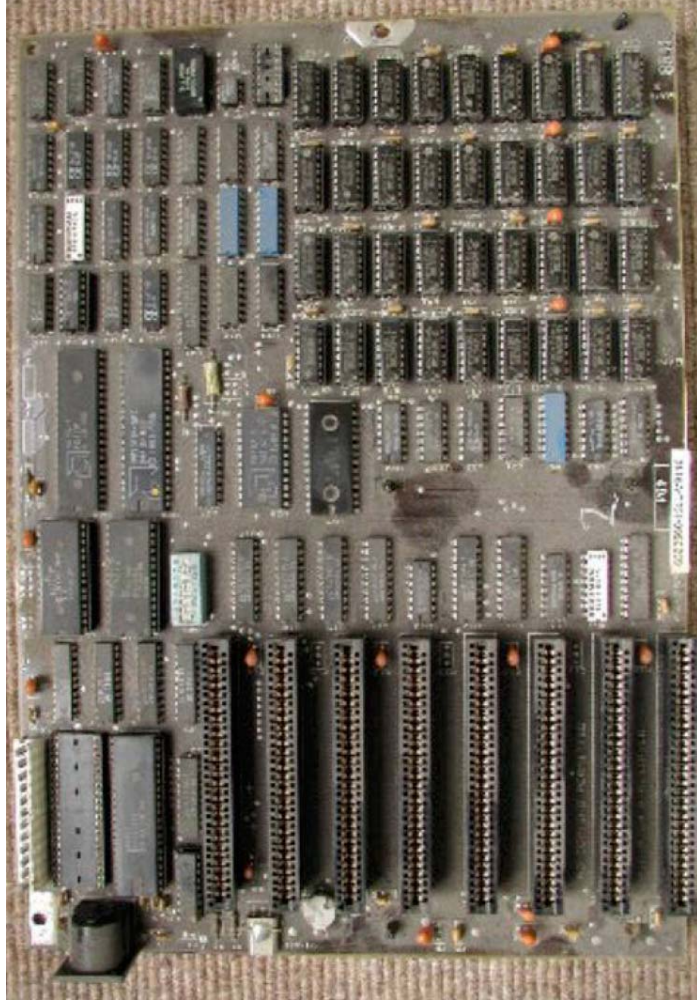
pin-through-hole



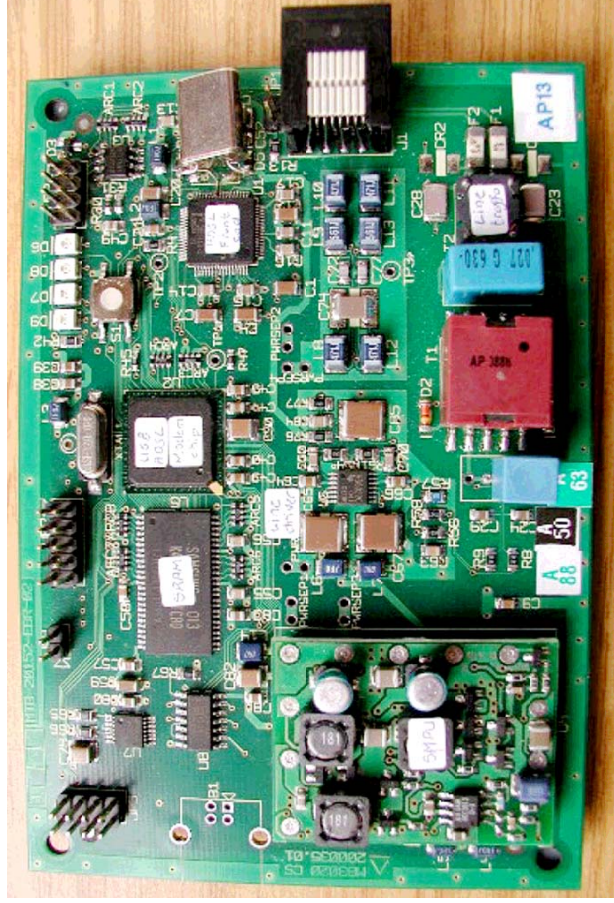
- billigste Montage-Technik
- Mehrebenen-Laminat: Glasfaser-Epoxy, Polyimide, etc.
- starke Kupfer-Leiterbahnen für Starkstrom
- Einseiten- und Doppelseitenmontage
- bis zu 8 Lagen möglich



IC-Montage auf Platinen (1981)



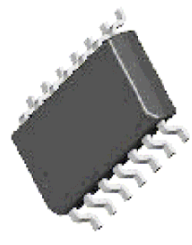
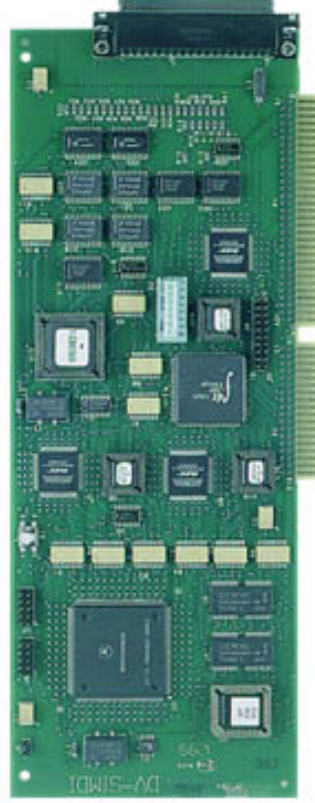
IC-Montage auf Platinen (2000)



Niedrige
Packungsdichte
mit
verschiedenen
IC-Gehäusen



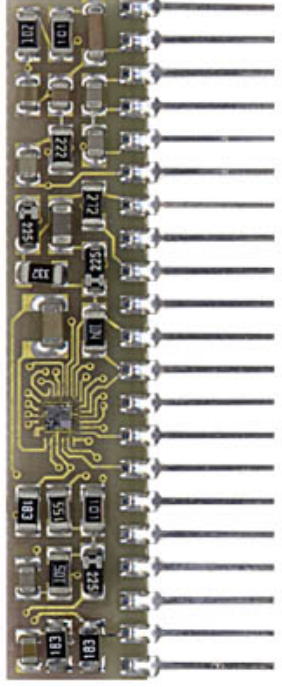
SMT (Surface Mount Technology)



- 10 fache Reduzierung der Abmessungen gegenüber PTH
- große Materialauswahl: *Laminates, Alumina (96% Al₂O₃), Aluminum Nitride (AlN), Flex*
- Einseiten- und Doppelseitenmontage
- Einzellagen- oder Mehrfachlagen-Platinen möglich
- verbessertes Signal-Rauschverhältnis mit keramischen Material



Chip-On-Board

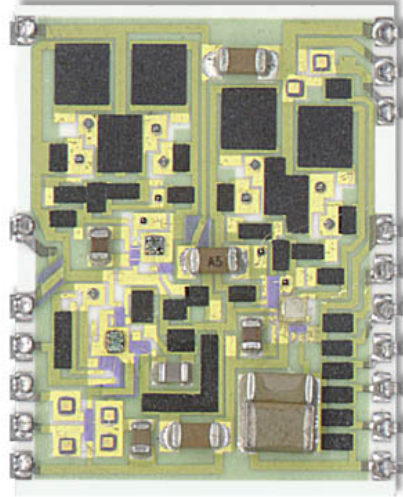


Weitere Platzersparnisse gegenüber der SMT-Montage

- Einseiten- und Doppelseitenmontage
- Einzellagen- oder Mehrfachlagen-Platinen möglich
- Starre oder flexible Ausführungen möglich
- komplette Anpassung des Designs an Kundenwünsche möglich



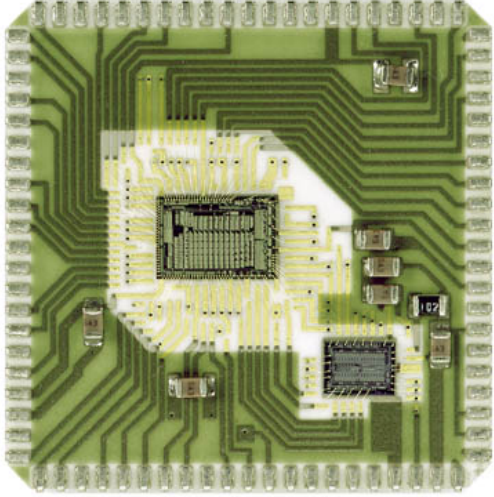
Hybrid-Montage



- Weitere Platzersparnisse gegenüber der SMT- und Chip-On-Board - Montage
- breite Materialpalette: Alumina (Al_2O_3), Aluminum Nitride (AlN), and Beryllia (BeO)
- sehr kompakt und geringe Masse
- großer Temperaturbereich
- sehr gute Abführung der Verlustwärme
-Alumina (Al_2O_3) High Level ~ 1 Watt per inch per degree C
-Aluminum Nitride (AlN) Higher Level ~ 7 Watts per inch per degree
- Funktionelle Modularität
- verbessertes Signal-Rauschverhältnis gegenüber den Platinenlaminaten



Multi-Chip Modules (MCM)



- reduzierte Abmessungen und Gewicht -- MCMs reduzieren Systemgröße
- kleinste Abmessungen und Gewicht im Vergleich zu allen anderen Montagetechniken
- Alumina (Al₂O₃), Aluminum Nitride (AlN), Beryllia (BeO), or laminate base materials
- Gute Abführung der Verlustwärme
- Multilagen-Verdrahtung
- Verbesserte Leistung – geringe Signallaufzeiten
- Die & wire; flip chip und Integrated Circuit Verbindungen möglich

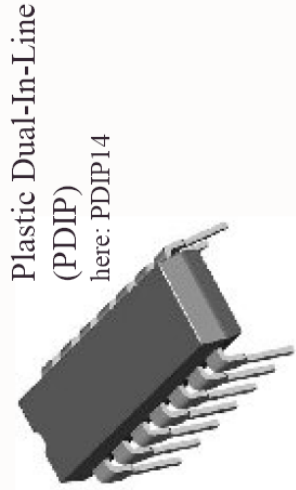
IC Gehäuse (I)

- **Dual in-line Gehäuse (DIL)**
 - am meisten verbreitet, in PTH und SMT verfügbar
- **Quadratisches Gehäuse**
 - Anschlüsse sind um den quadratischen Umfang gleich verteilt
- **Pin Grid Array (PGA)**
 - Zweidimensionales Array von Pins unterhalb des quadratischen Chips
 - quadratische Matrix der Pins maximiert die Zahl der Anschlüsse
 - gesamte untere Gehäusefläche nutzbar, außer der Montagefläche für den

IC-Chip

IC Gehäuse (II)

IC Packaging/Popular IC Packages



Ball Grid Arrays (BGA)



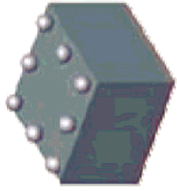
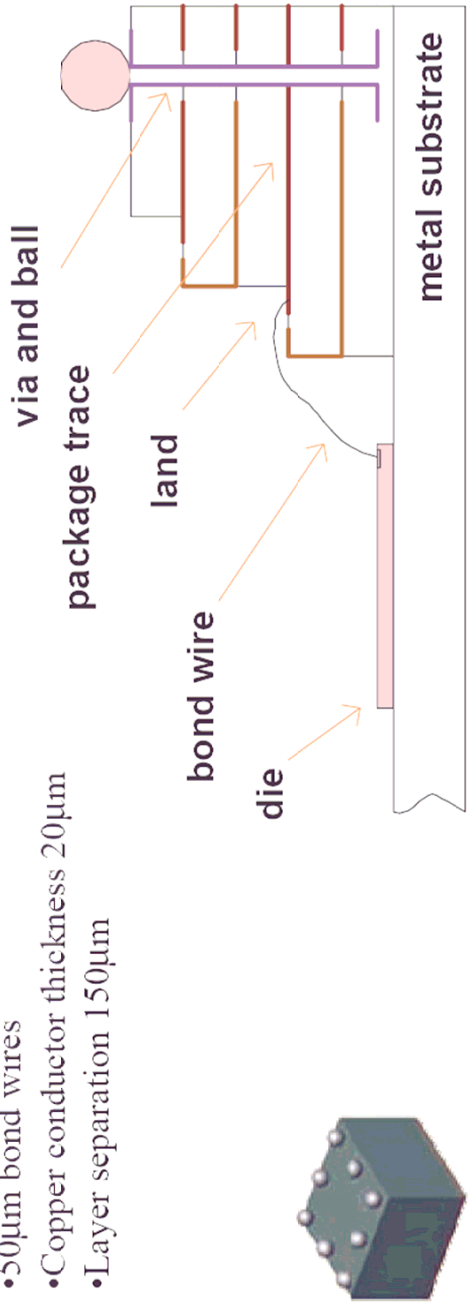
- Bild: BGA54
- Pinzahl >1700
- IC-Gehäuse für VLSI und low-profile applications
- Chip-scale package (CSP)
- Dimensions:
8.0mm x 5.5mm x 1.4mm
- Pin-to-pin: 0.8mm
- niedrige Induktivität



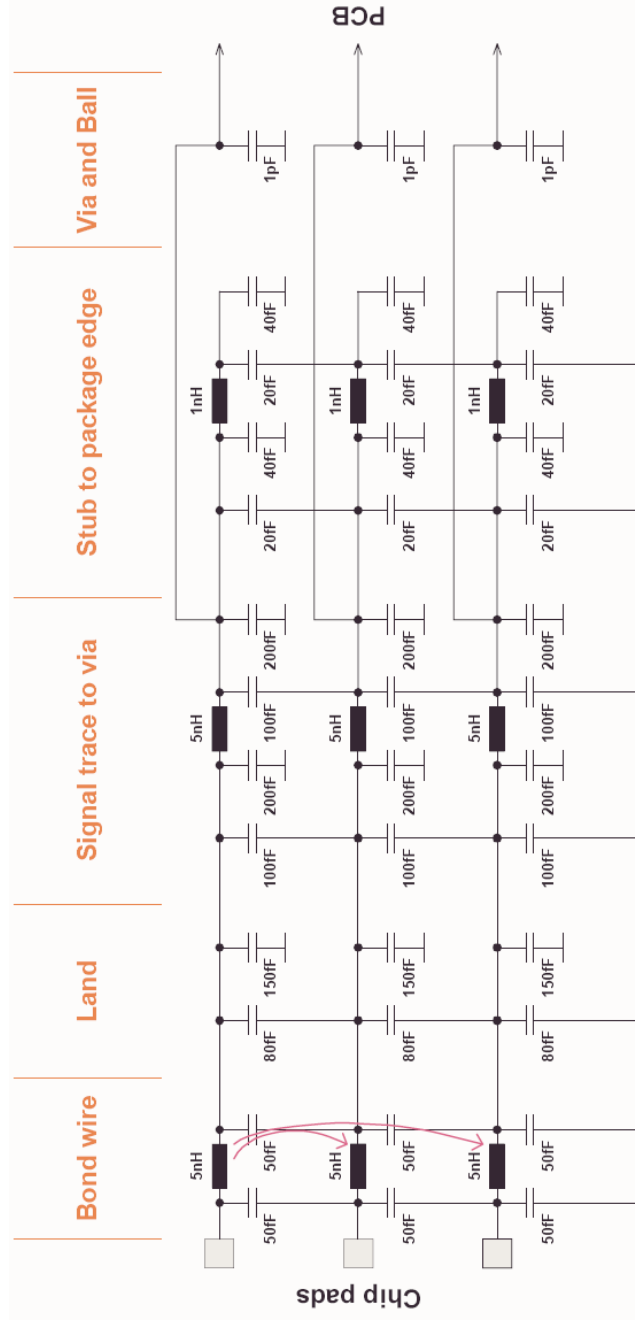
Aufbau BGA

Physical construction of a BGA

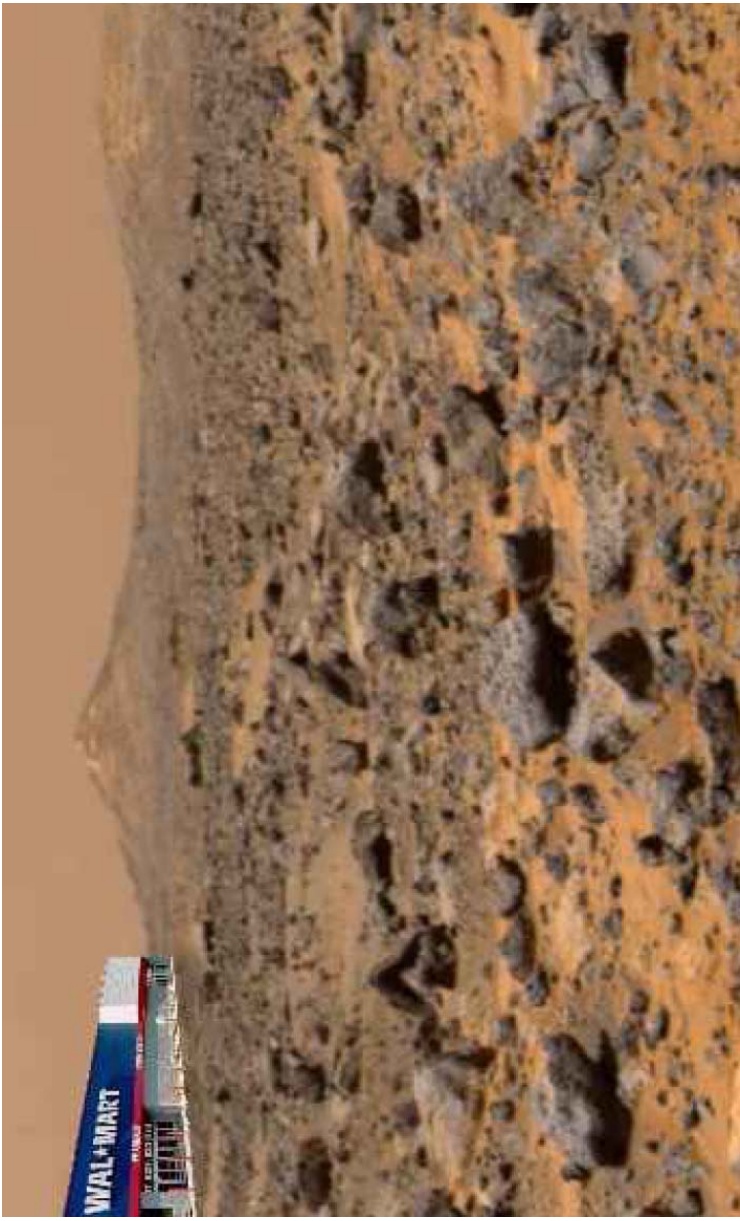
- Shown: Type-II BGA (cavity-down design)
- Interconnect: multi-layer laminated construction
- Die bonded onto a metal heat slug
- Solder balls make connection to a PC board
- 50µm bond wires
- Copper conductor thickness 20µm
- Layer separation 150µm



BGA-Ersatzschaltbild



8. RFID – Radio Frequency Identification



8. From Logistics to Consumer Goods



- EPC: electronic product code for consumer goods



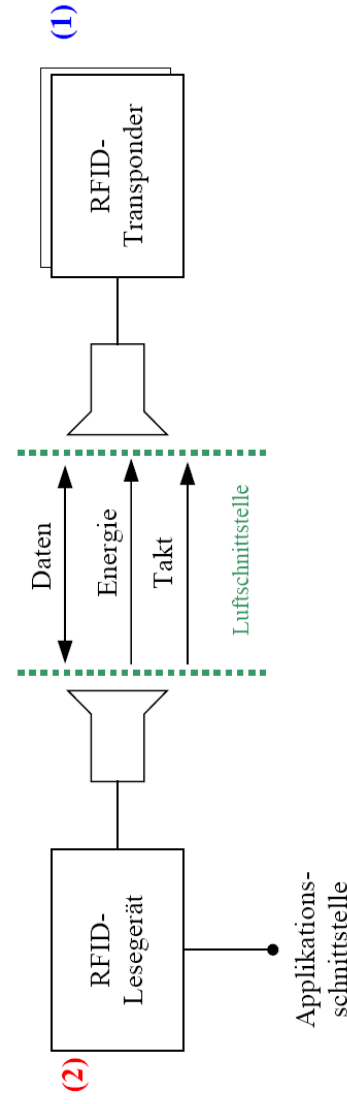
8.1. Herausforderungen

- Flexible
- Thin
- Low Cost
- Innovations needed for **new products**:
 - ◆ **Materials** – to enable technology
 - ◆ **Technology** – to enable mass production
 - ◆ **Production** – real mass production processes



8.1.1. Grundlagen: Aufbau

Komponenten eines RFID-Systems (1)

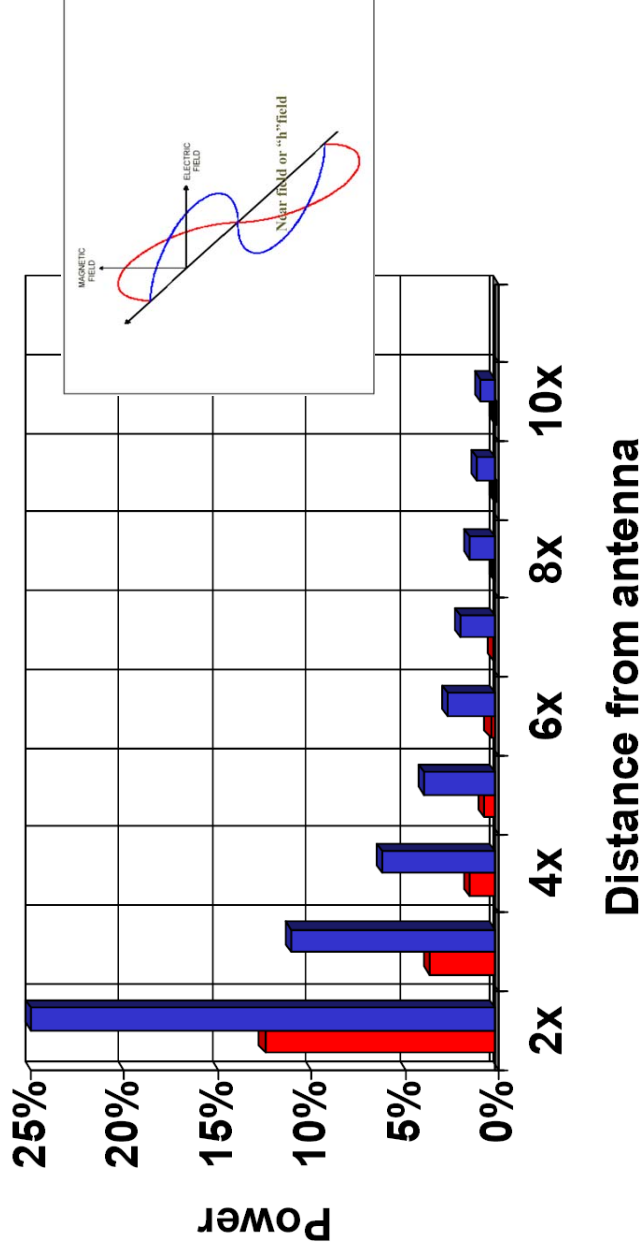


Ein **RFID-System** besteht immer aus zwei Komponenten:

(1) dem **Transponder** (oft auch als **Tag** bezeichnet)

(2) dem **Lesegerät**

8.1.2. Grundlagen: Leistungsabfall

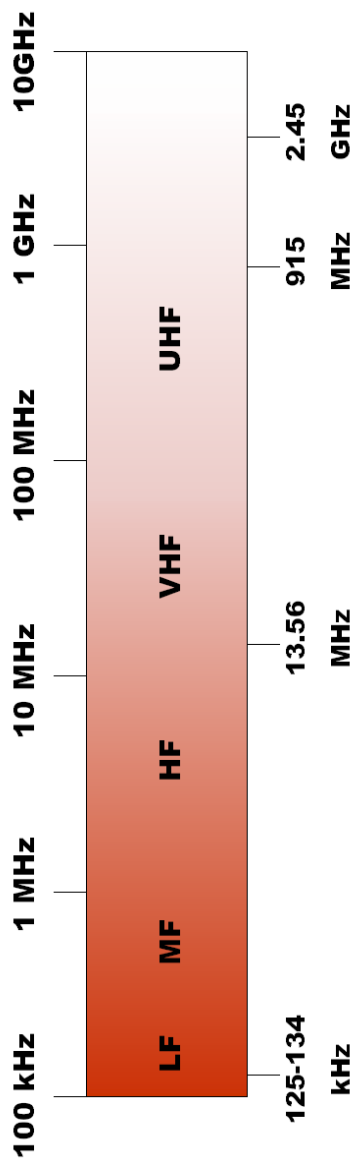


8.1.3. Grundlagen: Frequenzbereiche (I)

- RFID-Systeme unterliegen den Vorschriften des Post-/Telekommunikationswesens
- **Freigegebene Frequenzbereiche**
 - ISM-Frequenzbereiche (*Industrial-Scientific-Medical*)
 - Frequenzen unter 135 kHz
- **Frequenzbereich auch abhängig vom jeweiligen Einsatzbereich**
 - hohe Frequenz: höhere Übertragungskapazität, höhere Störanfälligkeit
 - niedrige Frequenz: niedrigere Übertragungskapazität, niedrigere Störanfälligkeit

8.1.3. Grundlagen: Frequenzbereiche (II)

Radio Frequencies Spectrum



8.1.3. Grundlagen: Frequenzbereiche (III)

Low Frequency (125 – 134 kHz)

Used in Access control, livestock, race timing, pallet tracking, automotive immobilizers, wireless commerce

- Inductively coupled devices
- Antenna coil has many turns
- Read range (near contact to 1 meter)
- Memory storage from 64-2k bits
- Limited data rate due to a lower bandwidth



8.1.3. Grundlagen: Frequenzbereiche (IV)

High Frequency (13.56 MHz) – Smart Labels

Used in supply chain, wireless commerce, ticketing, product authentication

- Inductively coupled devices
- Fewer antenna turns than LF device
- Read range from proximity to + 1.5 meters
- Higher data transfer rate than LF



8.1.3. Grundlagen: Frequenzbereiche (V)

Ultra-High Frequency – UHF (900+MHz)

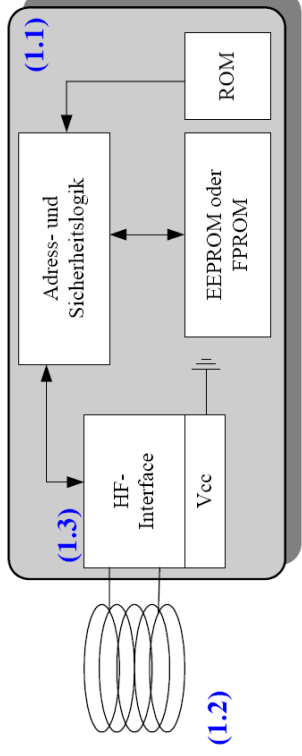
Supply chain, toll tags, RTLS, emerging technology, applications still in development

- RF communication uses propagation coupling
- Smaller reader antenna design than LF or HF
- Read distance (1m - 10m)
- High data transfer rate
- More complex reader electronic components



8.2.1. RFID-Transponder

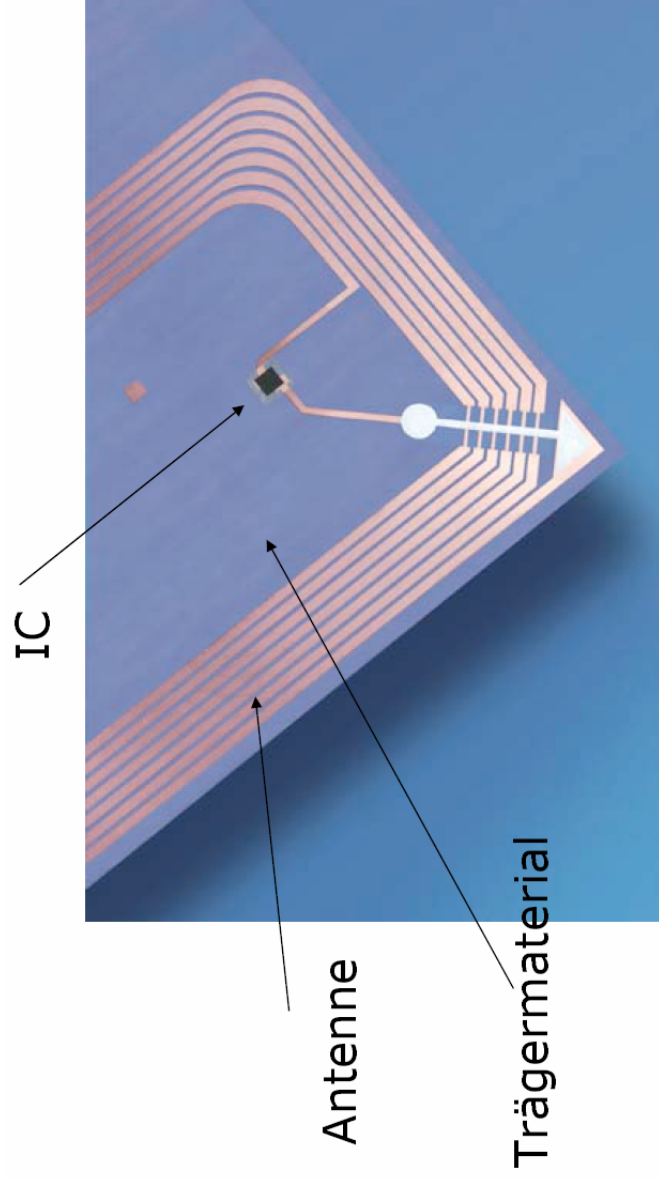
Komponenten eines RFID-Systems (2)



RFID-Transponder:

- (1.1) Mikrochip: Adress- und Sicherheitslogik, Speicher
- (1.2) Koppelement: Überbrückung der Luftschnittstelle
- (1.3) HF-Interface: Analog-/Digital-Schnittstelle

8.2.1. RFID-Transponder



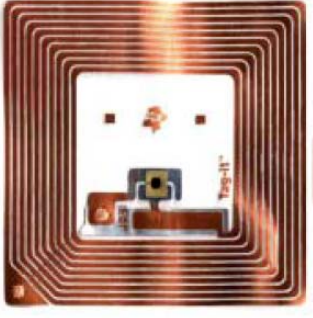
8.2.1. Grundlagen: RFID-Transponder



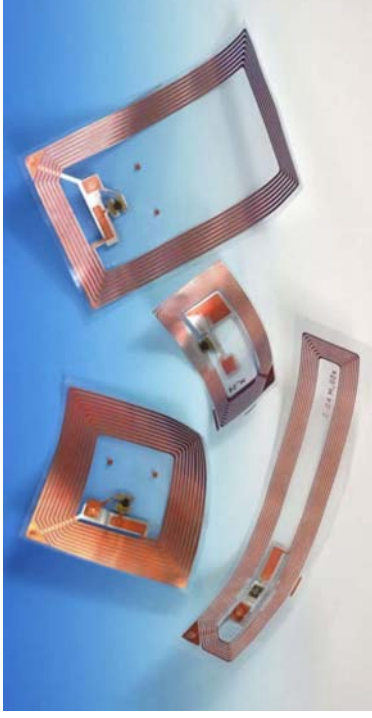
Kontaktlose Chipkarte



Glas- und Diskbauforn

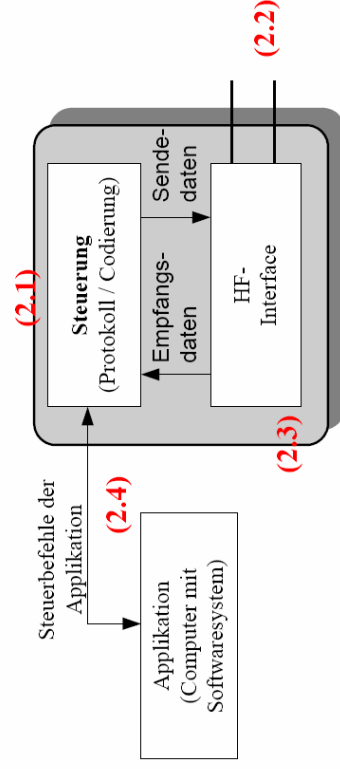


Smart Label



8.2.2. Grundlagen: RFID-Lesegerät

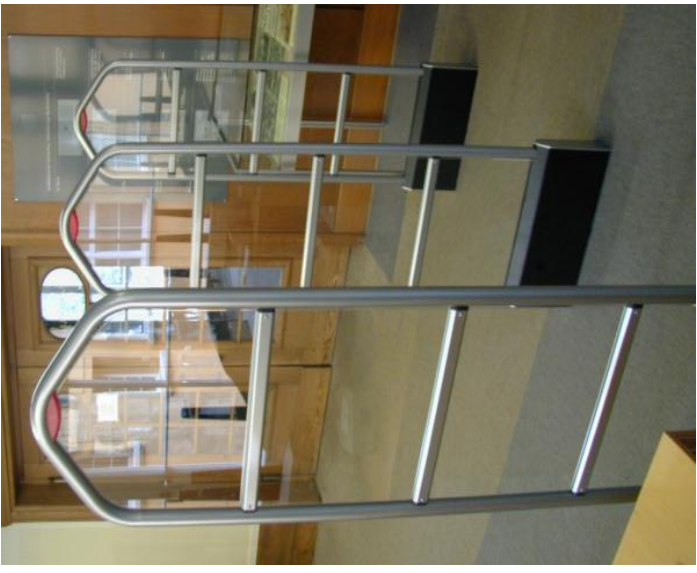
Komponenten eines RFID-Systems (3)



RFID-Lesegerät:

- (2.1) Steuerungseinheit:** Kommunikationsablauf, Codierung & Decodierung
- (2.2) Koppelement:** Überbrückung der Luftschnittstelle
- (2.3) HF-Interface:** Analog-/Digital-Schnittstelle
- (2.4) Applikationsschnittstelle**

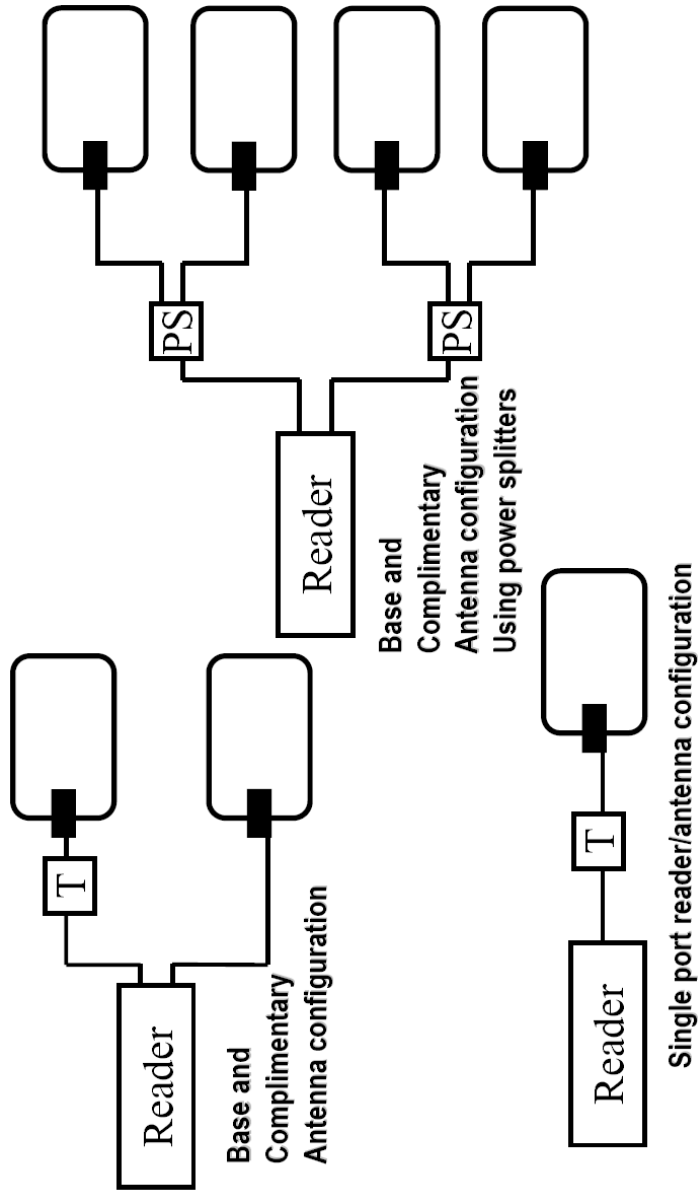
8.2.2. Grundlagen: RFID-Lesegeräte



8.2.2. Grundlagen: RFID-Lesegerät

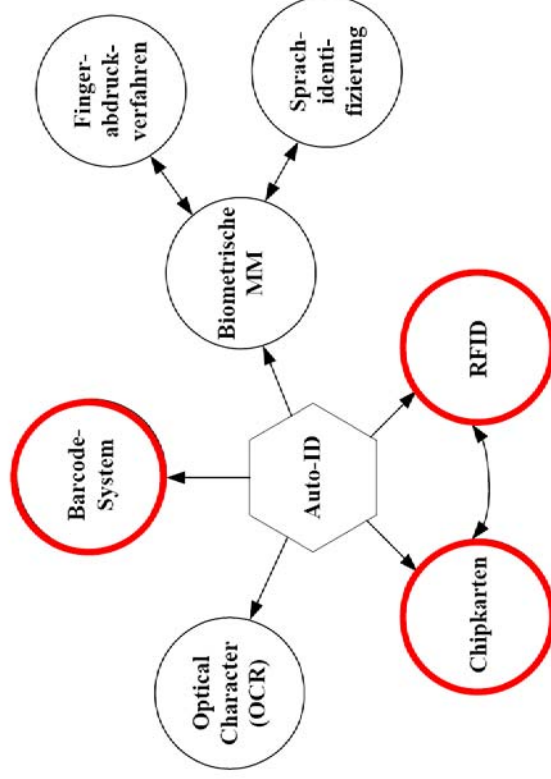


8.2.3. Grundlagen: Antennenkonfigurationen



8.3. Vergleich mit anderen EPC-Verfahren

Abgrenzung von anderen AutoID-Verfahren



8.3. Unterscheidungsmerkmale

<u>Betriebsart</u>	<u>Energie</u>	<u>Reichweite</u>	<u>Speicher</u>	<u>Bauform</u>
Voll- und Halbduplex	Passive Transponder	Close Coupling 0 bis 0,01 Meter	Read Only	Disks und Münzen
Sequenziell	Aktive Transponder	Remote Coupling 0 bis 1 Meter.	Write Once	Glasgehäuse
		Long Range über 1 Meter.	Read / Write	Kontaktlose Chipkarten
				Smart Labels



8.4. Lesegerät-Transponder-Interaktion (I)

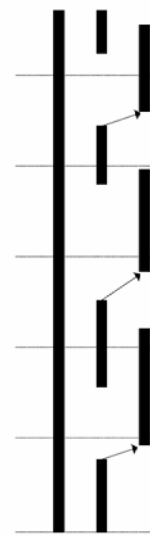
Betriebsart

Vollduplexverfahren (FDX):

Energieübertragung:

Senden:

Empfangen:

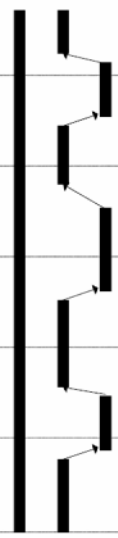


Halbduplexverfahren (HDX):

Energieübertragung:

Senden:

Empfangen:

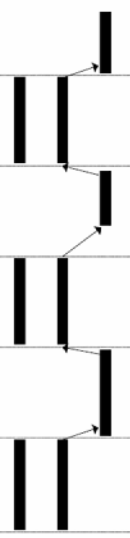


Sequentielles Verfahren (SEQ):

Energieübertragung:

Senden:

Empfangen:



8.4. Lesegerät-Transponder-Interaktion (II)

Duplexverfahren (FDX, HDX)

- Energieübertragung bricht während Datenübertragung nicht ab
- **Vollduplexverfahren:** Datenübertragung bidirektional
- **Halbduplexverfahren:** Datenübertragung unidirektional
- Vorteil: mehr Übertragungskapazität
- Nachteil: mehr Störfrequenzen, geringere Reichweite

Sequentielles Verfahren (SEQ)

- Energieübertragung bricht während Empfang von Daten ab
- Datenübertragung unidirektional
- Vorteil: weniger Störfrequenzen, höhere Reichweiten
- Nachteile: geringere Übertragungskapazität

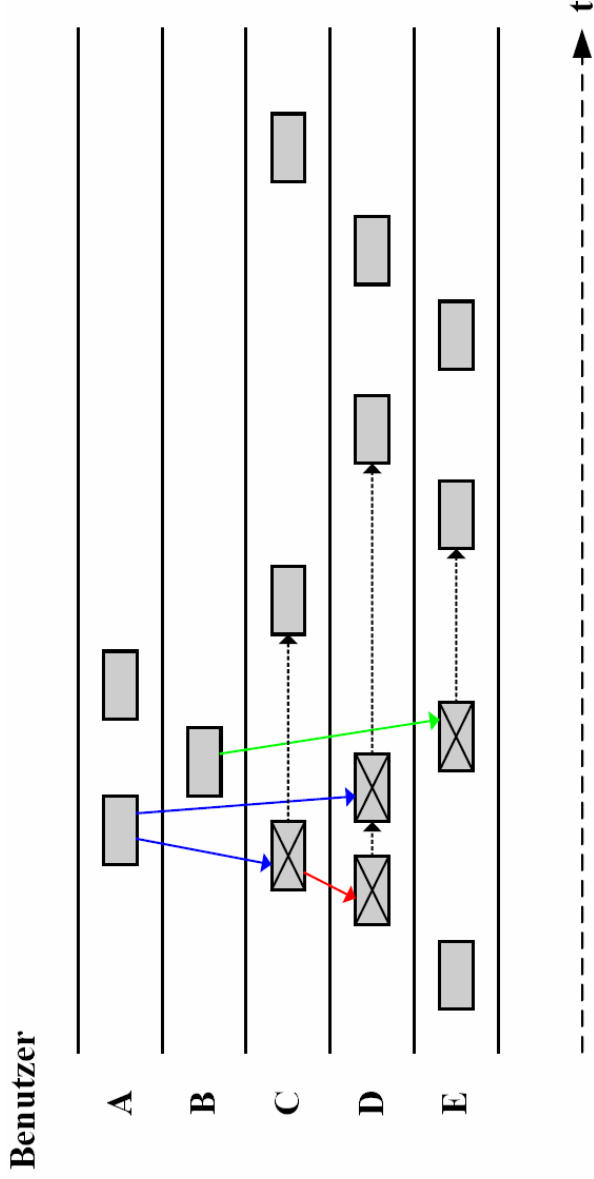


8.5. Datensicherheit

- **Probleme bei der Datenübertragung:**
 - (1) Korruption einzelner Datenpakete
 - (2) Konkurrenz um einen gemeinsamen Kommunikationskanal (Broadcasting)
- **Lösung dieser Probleme:**
 - (1) Erkennen der Korruption durch Prüfsummenverfahren
(z.B. Paritätsprüfung, LRC-Prüfverfahren)
 - (2) Faire Aufteilung durch Vielfachzugriffsverfahren
(z.B. ALOHA-Verfahren, CSMA-Verfahren)

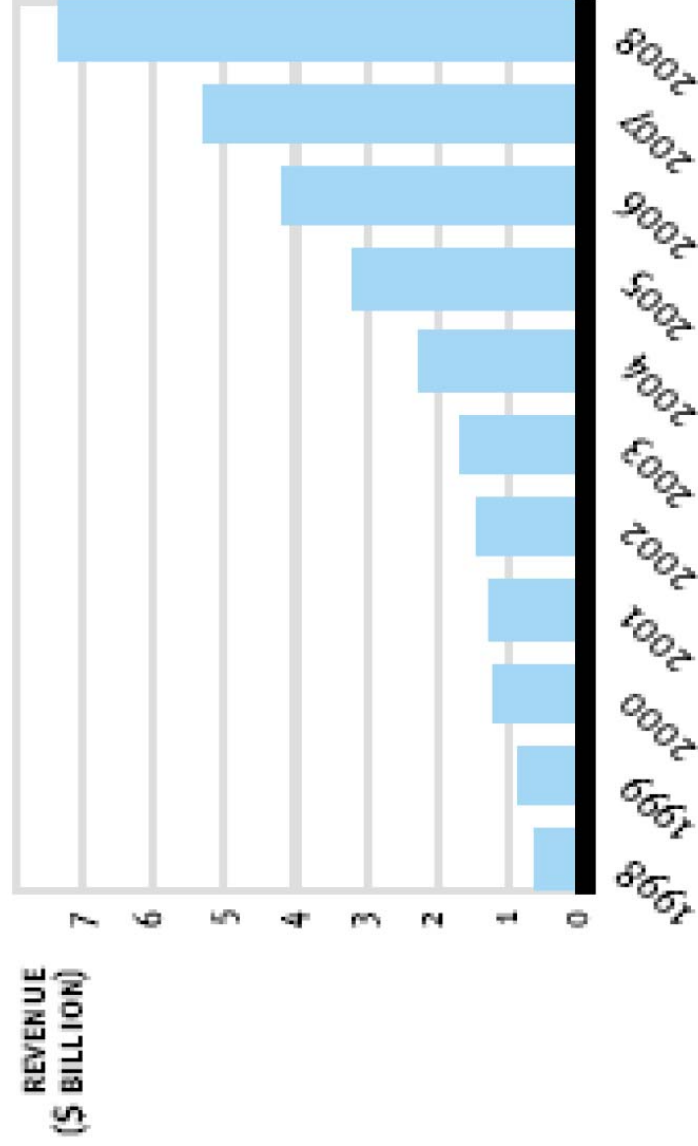


8.5. Vielfachzugriffsverfahren

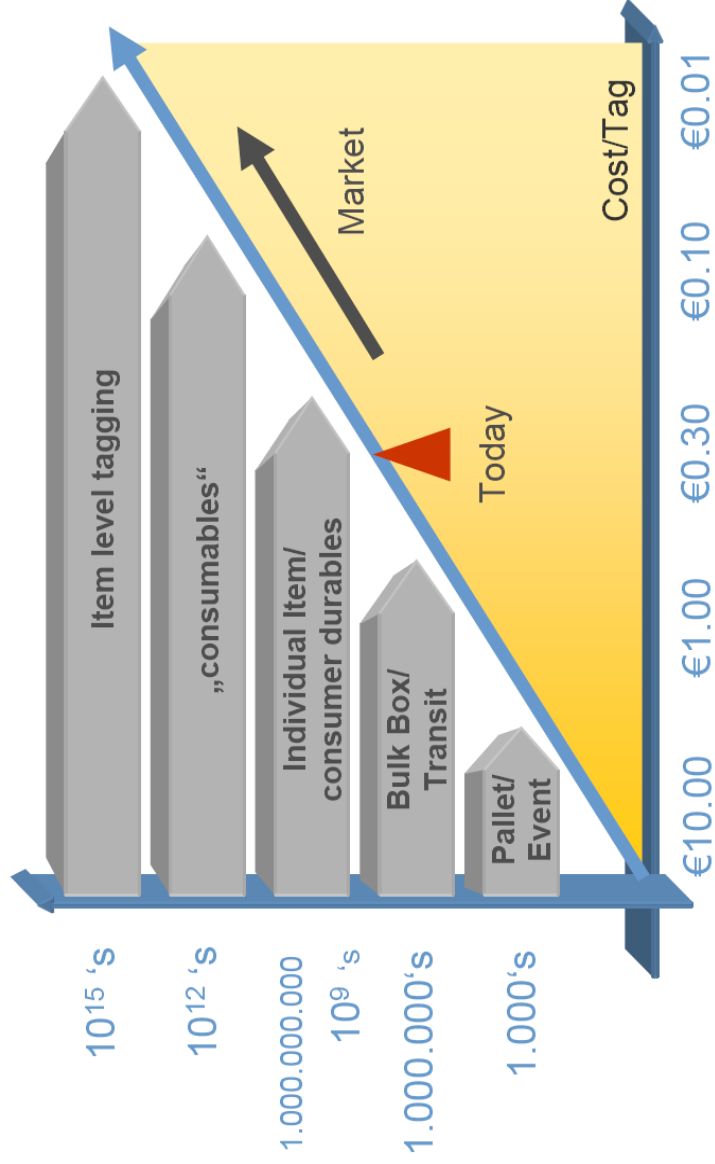


Vielfachzugriffsverfahren am Beispiel des ALOHA-Verfahrens

8.6. RFID-Marktentwicklung



8.6.1. Preisentwicklung



Source:
AUTO-ID Center



Universität Karlsruhe (TH)

Institut für Mikro-und Nanoelektronische Systeme



25

8.6.2. Anwendungen der RFID-Technologie

- **Beispiel 1: FutureStore Initiative der MetroAG**
 - Übergreifender Einsatz von RFID im B2B- und B2C-Bereich
 - Potentiale:
 - Kostensenkung: Inventurkostensenkung, Bestellkostensenkung
 - Umsatzsteigerung: flexibleres Sortiment, kein Out-Of-Stock
- **Beispiel 2: SmartHome**
 - Vernetzung von Haushaltsgeräten durch häusliche Infrastruktur (WLAN, LAN)
 - Kommunikation und Interaktion von Haushaltsgeräten
- **Beispiel 3: Öffentlicher Sektor**
 - Neugestaltung der öffentlichen Verkehrssysteme



Universität Karlsruhe (TH)

Institut für Mikro-und Nanoelektronische Systeme



26

8.6.2. Einsatz von RFID (I)

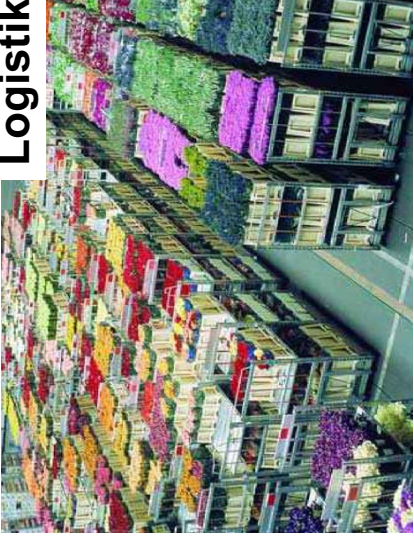
Produkt-
markierung



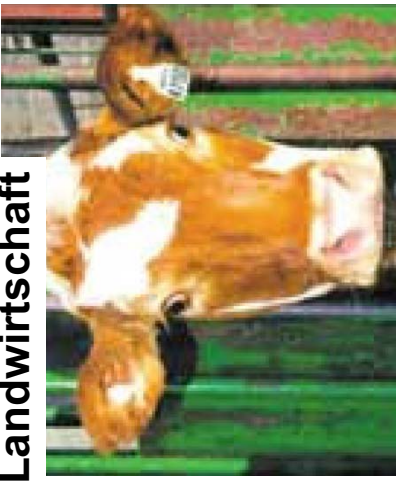
Chip-Identifizierung



Logistik



Landwirtschaft



8.6.2. Einsatz von RFID (II)

Maut,
Parken



Zugangskontrolle



Eintrittskarten



Sicherheit



8.6.2. Einsatz von RFID (III)



Tanken

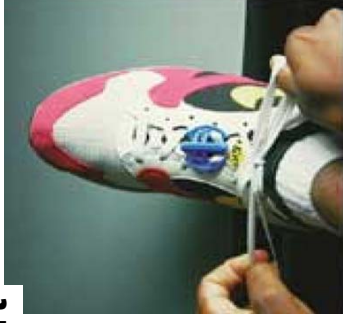


Einkäufe

Bibliothek



Sport



8.6.2. Einsatz von RFID (IV)

- New applications with
Displays being
 - ◆ flexible
 - ◆ simple
 - ◆ Inexpensive
- **Smart objects** for Marketing,
Gaming, Pharma, ...,
if logics is combined with
 - ◆ Sensors
 - ◆ Batterie, solar cell
 - ◆ Display / optical elements
 - ◆ Memories



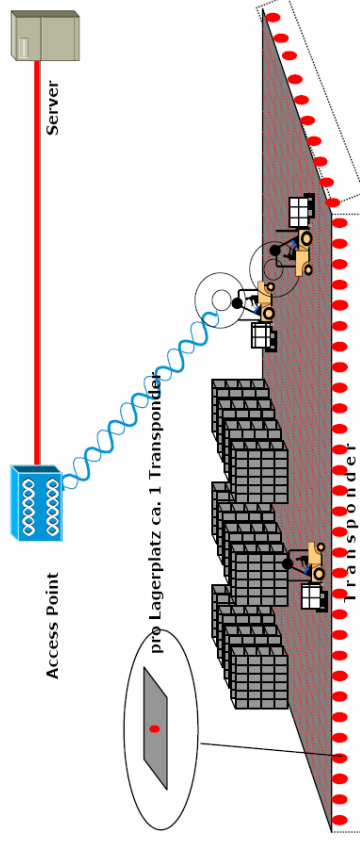
8.7. Kritische Reflektionen

- **Probleme**
 - immer noch mangelhafte Normierung
 - RFID-Fachwissen in kleinen Spezialfirmen konzentriert
 - Rentabilität erst bei Einsatz über gesamte Supply Chain
 - Auswirkungen auf privaten Bereich
- **Potentiale**
 - Optimierung von Geschäftsprozessen
 - Neue Konzepte bei der Umsetzung betriebl. Basisfunktionen (z.B. Verrechnung)
 - Umsatz für das Jahr 2005 auf 2650 Millionen US\$ prognostiziert
- **Zwischenbilanz**
 - nachhaltiges Interesse an der Weiterentwicklung der RFID-Technologie

8.8. Logistik mit RFID (I)

Wirkung

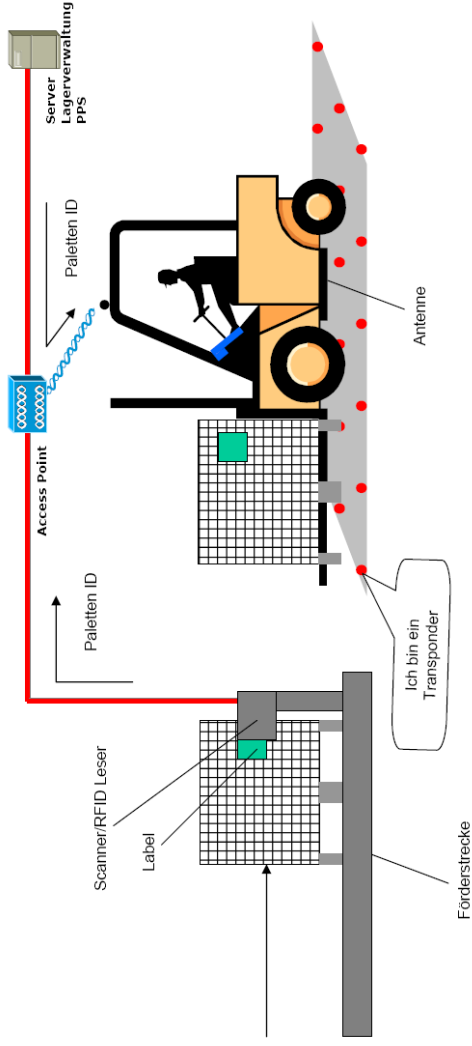
- Steuerung aller staplergeführten Prozesse im Lager.
- Beleglose Prozesse.
- Blocklager wird zum Hochregallager.



8.8. Logistik mit RFID (II)

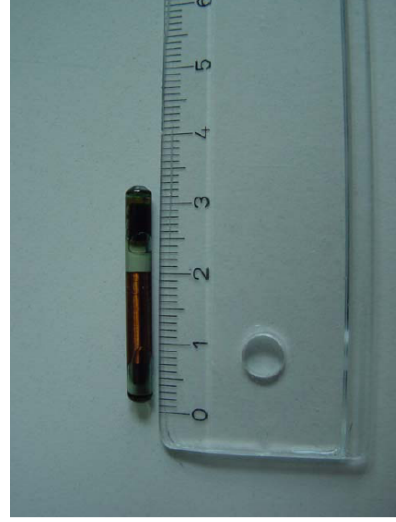
Prinzip

- Echtzeitkontrolle der Staplerposition über Transponder im Boden.
- Kenntnis der Beladung (Schnittstelle zu PPS, Sensorik)
- Kenntnis der Position der Ware im Lager



8.8. Logistik mit RFID (III)

Transponder

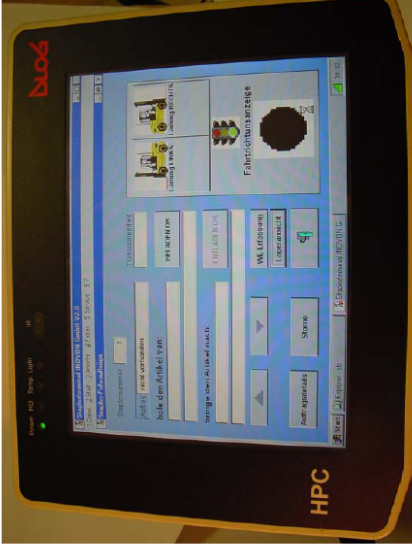


- 200 Mio. Stück im industriellen Einsatz
- 10 Jahre Herstellergarantie
- Loch im Boden mit 5 mm Durchmesser, versiegelt mit Epoxydharz, Ausstattung der Hallen während laufendem Betrieb

8.8. Logistik mit RFID (IV)

Staplerterminal

- Terminal, Win-XP
- Touchscreen, Farb-TFT 10,4"
- Funk-LAN(Kommunikation mit Server)



8.8. Logistik mit RFID (V)

Antenne und Lesegerät

- Industriell vielfach bewährte Komponenten
- Flache, robuste Antenne unter Stapler montiert.
- Kaum Einschränkung in der Bodenfreiheit
- Elektronik zur Ansteuerung in getrennter Einheit.



8.8. Logistik mit RFID (VI)

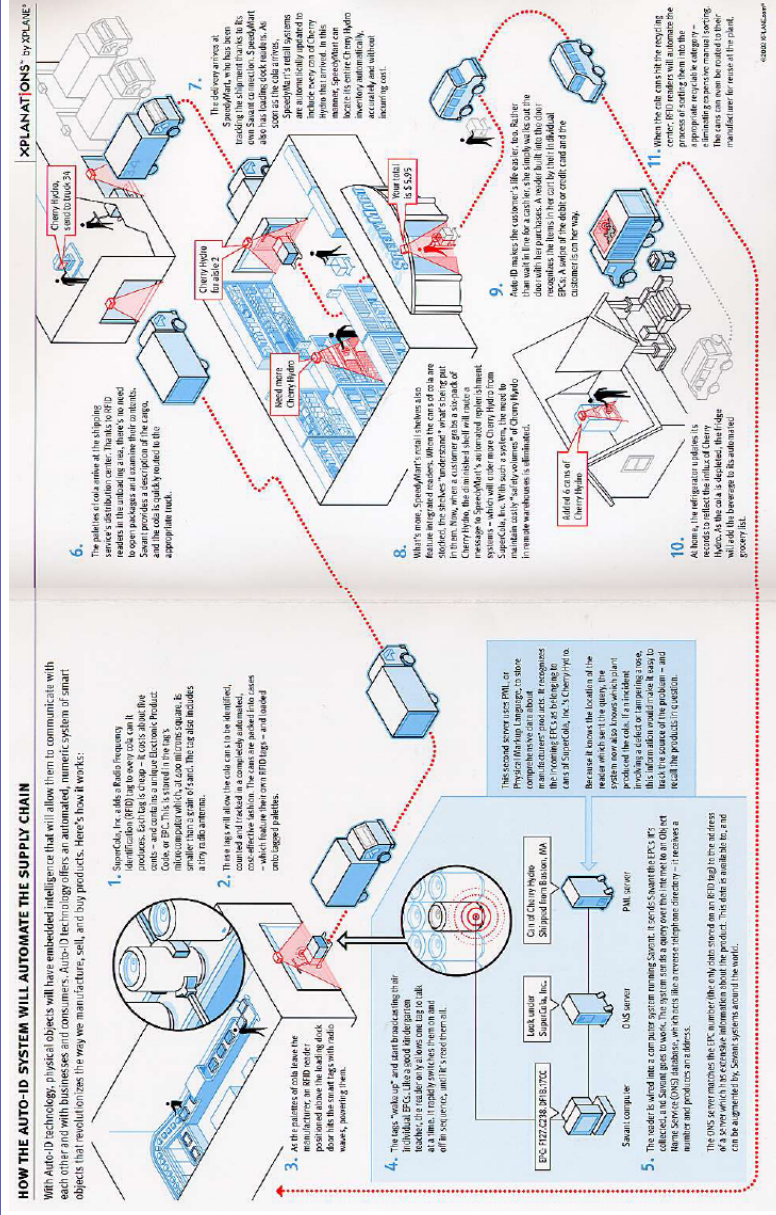
Sensorik - Beladung,



- Sensor unempfindlich gegen Verschmutzung.
- Erkennung der Palettenzahl und Position (x-, y-, z-Richtung).
- Automatische Erkennung der Aufnahme und Ablage.



8.8. Logistik-Kette mit RFID (VII)



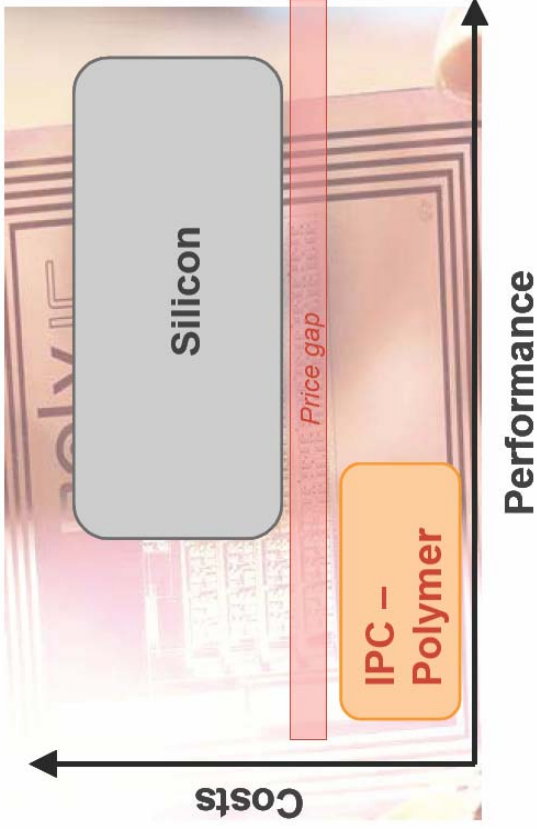
8.9. Polymer Elektronik

IPC (Integrated Polymer Circuits)

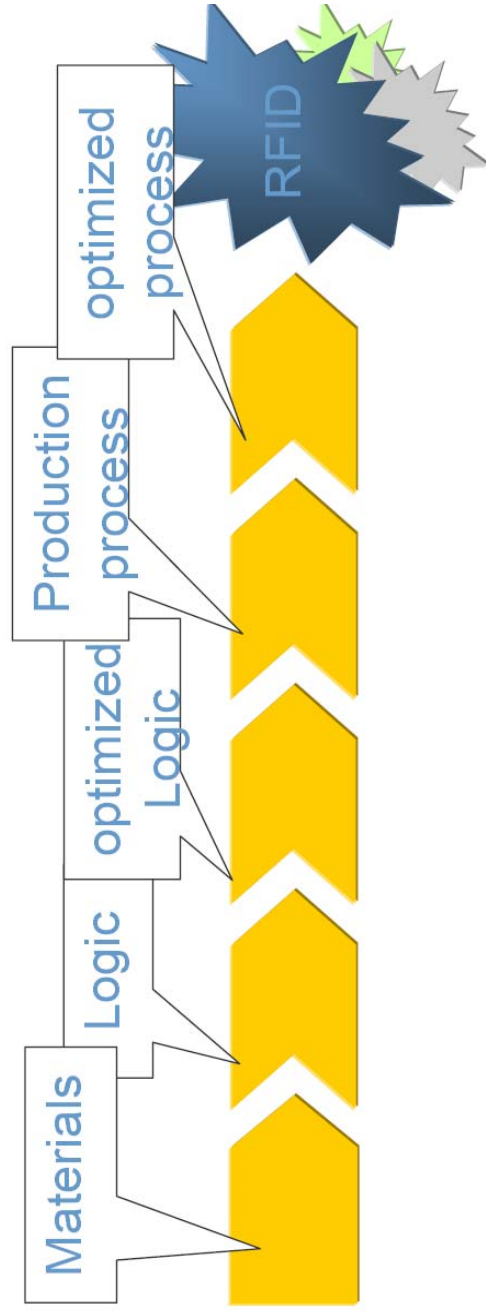
Electronic Circuits based on

- conducting
- semiconducting
- insulating

Polymers or other fluid Materials



8.9. Polymer Elektronik - Roadmap

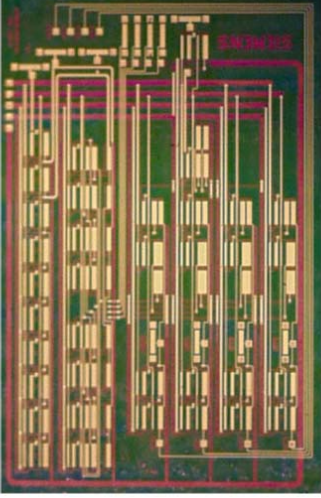


- Not really a sequential step approach
- Parallel steps and optimization necessary

8.9. 4-Bit-Transponder Chip

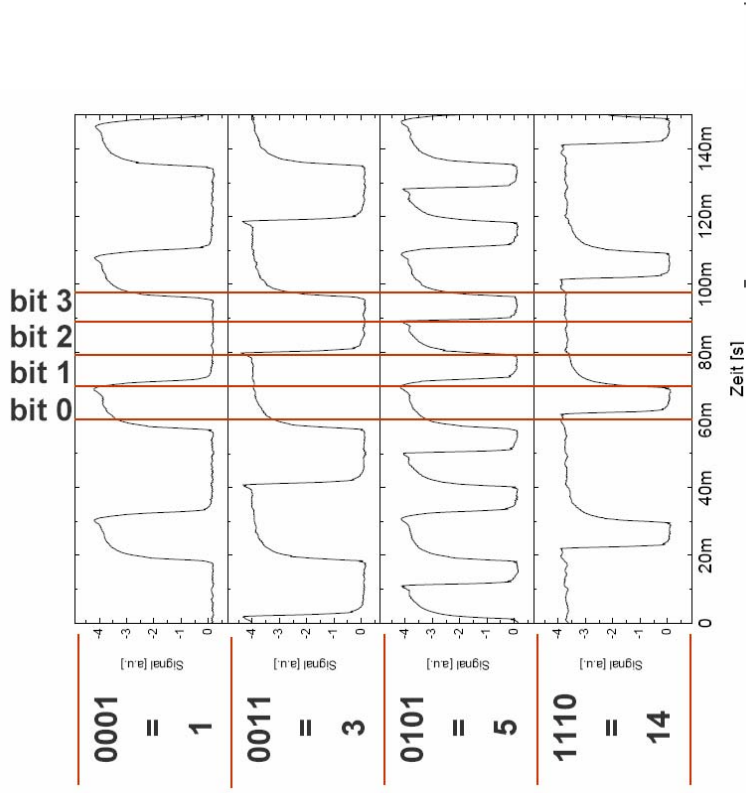
Results:

- Clear and stable clock and data signals
- Speed: 10 ms / bit



Data:

- Area: 10 mm x 7 mm
- Transistors: 183
- Vias: 180



8.9. Roadmap – Polymer RFID

- Learning about infrastructure and system solutions in demonstrator and prototype phases
- Product development from simple solutions in closed markets towards global standards in open markets

